

國立清華大學 電機工程學系
實作專題研究成果摘要

**A Vcm-based 11-bit 20MS/s Noise Shaping SAR
ADC with 4× Passive Gain**

一具有四倍增益之雜訊整形的共模電壓基底每
秒兩千萬次採樣之十一位元的連續漸進式類比
數位轉換器

專題領域：系統領域

組 別：B539

指導教授：謝志成 教授

組員姓名：薛芷凌、江品萱

研究期間：2025年1月至 2025年12月止，共12個月

摘要

類比數位轉換器 (Analog-to-Digital Converter, ADC) 為類比與數位領域之間訊號轉換的核心元件，其性能直接影響整體系統的解析度與功耗。傳統的 $\Delta\Sigma$ (Delta-Sigma) ADC 透過迴授與積分實現雜訊整形，能提供極高解析度，但因需高速運算放大器，功耗與面積往往偏高；相較之下，逐次逼近式 (SAR) ADC 具有低功耗與結構簡潔的優點，卻受到量化雜訊 (Quantization Noise) 限制而難以提升解析度。為結合兩者優勢，本研究引入雜訊整形 (Noise-Shaping) 機制於 SAR 架構中，使輸入訊號於多次取樣過程中能累積與平均量化誤差，進而有效提升信噪比 (SNR) 與解析度。

本專題參考 J. Liu 於 ISSCC 2020 所提出之 “A 90-dB-SNDR Calibration-Free Fully Passive Noise-Shaping SAR ADC with $4\times$ Passive Gain and Second-Order DAC Mismatch Error Shaping” 架構，並以 Capacitor Stacking 的方式實現四倍被動增益與殘差積分，達到一階雜訊整形， $NTF = 1 - 0.8z^{-1}$ 的效果。

在電路實作上，我們採用 Bootstrapped Switch 以確保取樣開關的線性度，並以 StrongARM Comparator 作為主要比較元件，在提升比較速度的同時維持低功耗。邏輯控制的部分我們採用非同步控制邏輯 (Asynchronous SAR Logic)，希望可以提升操作速度並提高採樣頻率。另外，我們也在電路中加入 VCDL (Voltage-Controlled Delay Line) 動態調整時序以兼顧準確度與穩定性。

本次的設計是以台積電 180 奈米 CMOS 製程實現，目標解析度為 11 位元。根據 Post-Layout 模擬結果，在取樣速率為 20Ms/s、Power Supply = 1.8V、Input Range = 91% 時，其消耗功率為 0.7mW，且其奈奎斯特頻率的有效位元 (ENOB) 約為 10.83 bits。另外，透過模擬我們也確認此電路在五個製程角 TT、FF、SS、SF、FS 下皆能維持穩定的轉換性能，解析度均超過 10.5 位元，展現本設計在不同製程變異下的可靠性。

綜合而言，本研究成功實現一具低功耗、高解析度且具雜訊整形功能的 SAR ADC。此設計驗證被動電容堆疊實現雜訊整形與增益的可行性，能有效抑制量化雜訊並提升解析度，同時保持電路結構簡潔與低功耗。然而，因為 Capacitor Stacking 會受限於電容面積而無法達到高階的雜訊整形，因此，未來的研究可著重在搭配其他電路架構實現更高階的雜訊整形，以達到更高效能的 ADC。

1. Background

隨著行動裝置、物聯網感測系統與智慧穿戴設備的普及，對於低功耗且高解析度類比數位轉換器（Analog-to-Digital Converter, ADC）的需求持續上升。傳統 $\Delta\Sigma$ (Delta-Sigma) ADC 透過回授與積分實現雜訊整形，可提供極高解析度，但因需高速運算放大器而導致功耗與面積皆偏高 [7]。相較之下，逐次逼近式（Successive Approximation Register, SAR）ADC 以二分搜尋演算法為基礎，僅需比較器與電容式數位類比轉換器（CDAC）即可完成轉換，因此以簡單架構實現中高解析度並保持低功耗，成為近年主流架構 [6]。

傳統 SAR ADC 在提升解析度時會受到切換能量、電容匹配及比較器雜訊的限制。文獻 [2] 提出單調遞減式（Monotonic Switching）電容切換方法，以降低切換能量並改善線性度，而文獻 [3] 則透過合併式電容切換（Merged Capacitor Switching）結構進一步提升能量效率。儘管如此，當解析度達 10 bits 以上時，CDAC 殘餘電壓（residual voltage）通常僅有數 mV，使比較器的輸入雜訊與失配需求極為嚴苛。為改善比較精度與穩定性，研究者提出以共模電壓為基準的 Vcm-based SAR ADC 設計，其可有效抑制共模雜訊、降低切換誤差並提升匹配度 [1]。

2. Purpose

隨著解析度提升，量化雜訊（Quantization Noise）也逐漸成為限制 SAR ADC 效能的關鍵因素。文獻 [6] 指出，若能將雜訊整形（Noise-Shaping）概念引入 SAR 架構，可在保有低功耗特性的同時提升解析度。J. Liu 等人於 ISSCC 2020 提出一種被動式雜訊整形 SAR ADC，利用電容堆疊（Capacitor Stacking）實現四倍被動增益與殘差積分，不需額外放大器即可達 90 dB SNDR [1]。本專題便是以此架構為基礎，目的是以 0.18 μm 製程進行重新設計與優化，希望在取樣速率 20 MS/s、電源電壓 1.8 V 下，每個製程角的有效位元（ENOB）Pre-Sim 皆達到 11 bit，Post-Sim 均達到 10.5 bit 以上。

3. Method

3-1. Design Process

(1) Architecture Design & Specification Setting

確立電路架構與設計目標，並設定操作頻率、解析度與功耗等規格。

(2) Sub-Block Design & Analysis

根據規格確認子電路間的訊號互動與邏輯，調整電晶體尺寸參數。從 Pure SAR 進行功能驗證，再加入 Noise-Shaping 架構，保各子電路性能符合規格。

(3) Pre-Sim

以 HSPICE 驗證電路運作與時序表現，確保整體性能符合規格。

(4) Layout

使用 Custom Compiler 進行佈局設計，完成 DRC、LVS 與 PEX 驗證以確保設計正確。

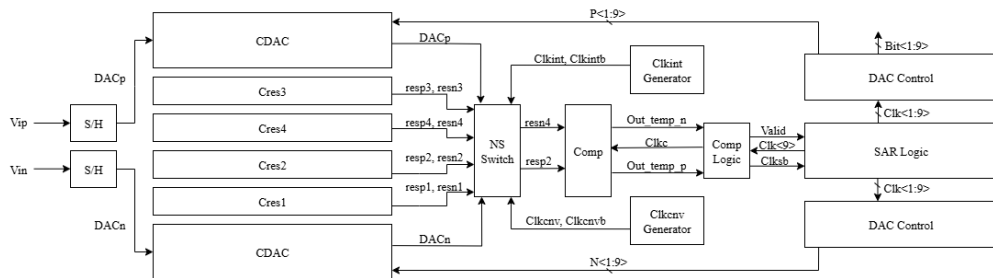
(5) Post-Sim

完成 Layout 後，進行 Post-Simulation 模擬並調整元件尺寸、電路佈局，確認電路實作性能與預期一致。

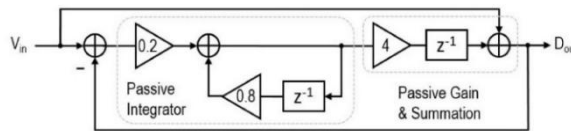
(6) Chip Tape-Out, Measurement & Improvement

確認設計的電路符合規格後，下線晶片製作，最後量測與改進整體電路。

3-2. System Design and Operating Principles



▲ Fig. 1: 11-bit ENOB Noise Shaping SAR ADC Block diagram

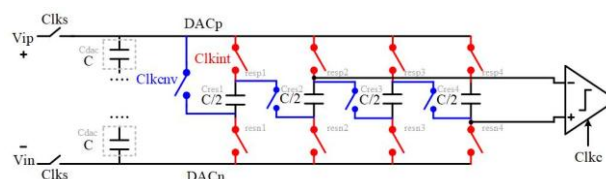


▲ Fig. 2: Signal Flow Graph [1]

我們的專題電路架構圖如 Fig.1 所示，整體 Signal Flow 如 Fig.2。

本設計採用差動輸入架構，輸入的類比訊號經由 S/H 電路，依據時脈 Clks 取樣至 CDAC 電容陣列的 Top Plate (DACp、DACn)，並在 Clks 為 Low 時維持採樣電壓。之後電路進入 Conversion 階段，此時 Clkcnv 會拉高以控制 Noise-Shaping 開關，使 DACp 與 DACn 會疊加前一輪的殘差電壓，接著 Clkc 拉起，使得 Comparator 開始進行比較，輸出 Outp 與 Outn。

接著，在 SAR Logic 中，我們使用 TSPC 來製造 Clk<1>到 Clk<9>。Comparator 輸出經 Buffer 後轉為 Outp 與 Outn，再由 NAND 產生 Valid 訊號作為 TSPC 的時脈輸入，確保每次比較完成後才觸發下一位判斷，實現 Asynchronous Clock Control。隨著 Outp 與 Outn 的結果不同，會使 DAC Bottom Plate 會切換電壓，改變 Top Plate 電位，再進行下一個 Bit 的判斷，完成 9-bit 的逐次逼近過程。

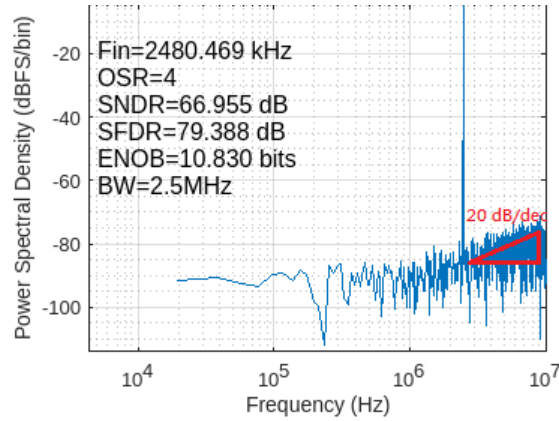


▲ Fig. 3: Schematic of Noise Shaping Structure

針對 Noise shaping 的部分，架構如 Fig. 3，主要是由兩組的 Cdac 以及四組的 Cres 所構成，其中 Cdac : Cres = 2 : 1，而 Noise shaping switch 我們利用 Transmission gate 實現，希望降低 Charge Injection 的影響。透過開關控制與 Capacitor Stacking 機制，可以實現一階的雜訊整形，並達到 $NTF = 1 - 0.8z^{-1}$ 。

最後，我們將 9 bit 的數位訊號讀進 MATLAB code 中，並由此驗證我們最終的 ADC 電路達到我們預期的表現。

4. Experimental Results



▲ Fig. 4: Post-Sim Circuit TT Corner FFT

Table 1

ENOB Performance

Unit: bit

Corner	input range	TT	FF	FS	SS	SF
Pre-Sim ENOB	95%	11.1741	11.1434	11.1828	11.3742	11.1898
Pre-Sim ENOB	91%	11.0916	11.1041	11.1608	11.1146	11.0540
Post-Sim ENOB	91%	10.8298	10.6832	10.8768	10.6402	10.7747

Table 2

Post-Sim Circuit Power Performance

Unit: W

Corner	TT	FF	FS	SS	SF
VDD_DL	1.30E-04	1.36E-04	1.27E-04	1.27E-04	1.35E-04
VDD_DM	3.55E-04	3.90E-04	3.67E-04	3.39E-04	3.64E-04
VDD_DR	1.57E-04	1.63E-04	1.52E-04	1.52E-04	1.62E-04
Comparator	3.13E-05	3.25E-05	3.20E-05	3.04E-05	3.09E-05
Noise Shaping	5.23E-10	4.16E-10	7.31E-10	8.07E-10	8.88E-10
Sample & Hold	8.89E-06	9.43E-06	8.96E-06	8.45E-06	8.77E-06
Vrefp	3.80E-09	1.78E-09	2.34E-09	3.79E-09	2.37E-09
Vcm	1.24E-05	1.00E-05	1.71E-05	1.47E-05	7.10E-06
Total Power	6.95E-04	7.41E-04	7.05E-04	6.72E-04	7.08E-04

在 Fig.4與 Table 1顯示核心電路（不含 IOPAD）於 Pre-Sim 與 Post-Sim 的 ENOB 結果，可由 FFT 分佈觀察 Noise Shaping 的效果。最終在實體佈局後，電路最高可接受的輸入範圍為 91%，各製程角皆達 10.5 bits 以上。

Table 2為各個子電路的功耗分佈，SAR Logic 由 VDD_DM 供電，DAC Control P Part 與 N Part 分別由 VDD_DL、VDD_DR 供電，Vrefp 則是給傳遞 Vcm 的 Transmission Gate Body，整體功耗如表所示。Table 3則為 TT Corner 下電路接上 IOPAD 的功耗分佈。

Table 3
Core Circuit with I/O Pad Power Consumption at TT Corner

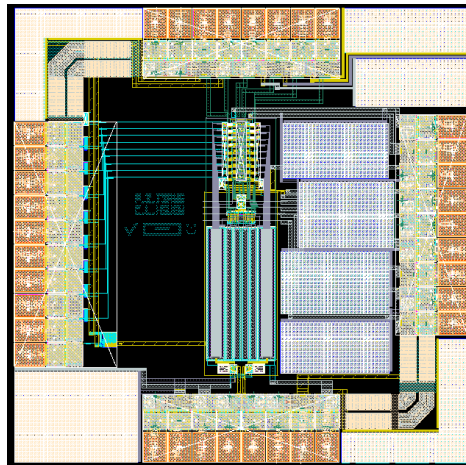
Unit:W

Chip Size	1200 × 1200(μm^2)
Transistor/Gate Count	975
Maximum Operating Frequency	20(MHz)
Power Dissipation	
Total power including PAD, ESD	2.4969m
VDD_SH	8.8626 μ
VDD_CMP	31.2509 μ
VRefp	9.3208n
Vcm	20.9550 μ
VDD_NS	303.3990p
VDD_Shield	441.7640p
VDD_DI	132.9707 μ
VDD_Dm	381.5995 μ
VDD_Dr	183.7803 μ
VDD_ED	1.7374m
VDD_EA	56.6448n

5. Layout

Chip Size: 1200 μm × 1200 μm

Number of pins: 35



▲ Fig. 5: Full Chip Layout

6. Specification Table

Table 4
Specification Table

Specification	Spec.	Pre-sim (TT)	Post-sim (TT)
Power Supply	1.8 V	1.8 V	1.8 V
Power Consumption	1mW	528 μW	695 μW
Sampling Frequency	20MHz	20MHz	20MHz
ENOB	> 10.5 bit	11.0916 bit	10.8298 bit

7. Conclusion

本研究成功設計並驗證一具具備雜訊整形功能的低功耗 SAR ADC，藉由在傳統架構中引入 Noise-Shaping 機制與 Capacitor Stacking 技術，達成高解析度與低功耗的平衡。模擬結果顯示，在 1.8 V 供應電壓與 20 MS/s 取樣頻率下，Post-Layout 的有效位元數 (ENOB) 可達 10.83 bits，功耗約為 0.7mW，且於各製程角皆維持超過 10.5 bits 的穩定表現。

本設計以被動增益與一階雜訊整形 ($NTF = 1 - 0.8z^{-1}$) 實現量化雜訊抑制，並透過 Bootstrapped Switch、StrongARM Comparator 與 Asynchronous SAR Logic 等關鍵子電路達成高線性度的轉換，此結果驗證被動式雜訊整形架構的可行性。

未來研究可進一步提升雜訊整形階數，或結合動態元件匹配 (DEM) 與數位校正技術，以降低 DAC mismatch 及系統雜訊影響，持續朝向更高解析度與更低功耗之 ADC 發展。

8. Reference

- [1] J. Liu et al., "A 90-dB-SNDR Calibration-Free Fully Passive Noise-Shaping SAR ADC With $4\times$ Passive Gain and Second-Order DAC Mismatch Error Shaping," in IEEE Journal of Solid-State Circuits, vol. 56, no. 11, pp. 3412-3423, Nov. 2021
- [2] C. -C. Liu, S. -J. Chang, G. -Y. Huang and Y. -Z. Lin, "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure," in IEEE Journal of Solid-State Circuits, vol. 45, no. 4, pp. 731-740, April 2010
- [3] V. Hariprasath, J. Guerber, S.-H. Lee and U.-K. Moon, "Merged capacitor switching based SAR ADC with highest switching energy-efficiency", Electronics Letters 29th Apr. 2010, vol. 46, no. 9.
- [4] B. Razavi, "The design of a bootstrapped sampling circuit," IEEE Solid-State Circuits Magazine, vol. 13, no. 1, pp. 7–24, Winter 2021
- [5] B. Razavi, "The design of a comparator," IEEE Solid-State Circuits Magazine, vol. 12, no. 4, pp. 8–25, Fall 2020
- [6] L. Jie, S. Hsieh, C.-H. Chan, S.-J. Chang, and Y.-Z. Lin, "An overview of noise-shaping

SAR ADC: From fundamentals to the frontier," IEEE Open Journal of the Solid-State Circuits Society, vol. 1, pp. 149–161, 2021

- [7] Schreier, Richard & Pavan, Shanthi & Temes, Gabor. (2017). Understanding Delta-Sigma Data Converters. USA: IEEE Press and Wiley

9. Review and Reflection

我們兩位組員都是在這個專題首次接觸較為完整的設計流程，雖然先前有修課，但從文獻查找、Behavior Model 分析 Spec、完成 Pre-Sim、Layout、驗證、Post-Sim 到畫 PCB、送下線申請等等，我們更加深刻體會到完成研究是多麼不易。

在專題的進行過程中，我們學會比較有方向性的配置各個 Block 的 Spec，並且清楚認識到積極討論的重要性。因為專題跨度涵蓋了學期與暑假，我們需要負責自己的部分、時常討論、更新進度來確保兩人都有跟上進度。當有各自的想法時也會分別測試、設立停損點與共同優化，這些都是我們認為這個專題裡不可或缺的寶貴經驗。

此外，ADC 架構繁多，從入門到實作出來需要經驗積累，我們在這份專題主要參考 ISSCC 2020 的論文電路基本架構並以 T18 製程實作 ss。雖然電路的細節、訊號處理是由我們自行完成，但整體電路表現有很大的進步空間，也希望未來我們能夠更加深入的鑽研，應用更多技術、實現新的發想。最後，我們非常感謝實驗室的學長們在繁忙的研究進度中撥空來和我們討論、釐清概念，由謝志成老師透過帶領我們進入 ADC 的領域，透過不斷的討論與改進，完成這次專題讓我們收穫良多。