

國立清華大學 電機工程學系

實作專題研究成果摘要

GaN Wideband Low Noise Amplifier

氮化鎵寬頻低雜訊放大器

專題領域：電子領域

組別：B586

指導教授：徐碩鴻

組員姓名：詹朋修 張豐展

研究期間：114 年 2 月 1 日至 114 年 11 月 15 日，共 10 個月

Abstract

With the continuous development of communication and satellite technologies, microwave-band receivers play an indispensable role. Among them, the low-noise amplifier (LNA), typically placed at the first stage of the receiver front-end. It must provide sufficient gain and a low noise figure in order to ensure that weak receiving signals can be properly amplified and interpreted. This is crucial for later operations like down-conversion and demodulations.

Compared with traditional semiconductor processes, GaN technology offers higher breakdown voltage, greater gain, and better reliability, making it suitable for high-frequency applications. So in this study, we use a 120-nm GaN process to design low-noise amplifier.

This work focuses on designing a wideband two stage LNA for 19–26 GHz (K-band) and one stage LNA for 33–37 GHz (Ka-band). The design flow includes architecture selection, biasing setting, and impedance matching. The objective is to achieve high gain, low return loss, and low noise figure while ensuring circuit stability to prevent oscillation.

After layout and post-layout simulation, the measured performance shows for two stage 19-26 GHz LNA, a gain (S21) of 17.7–19.9 dB, input and output return loss (S11/S22) of $\leq -7.5/-6.8$ dB, noise figure (NF) of 2.6–3.04 dB, chip area of 2×2 mm², and a total power consumption of 472 mW. for one stage 33-37 GHz LNA, a gain (S21) of 8.1–9.3 dB, input and output return loss (S11/S22) of $\leq -8.1/-9$ dB, noise figure (NF) of 3.41–3.7 dB, chip area of 1×1 mm², and a total power consumption of 155 mW. These results meet the expectations and they are suitable for communication systems.

摘要

隨著通訊與衛星感測技術的持續發展，微波頻段的接收端扮演著不可或缺的角色，其中的低雜訊放大器通常位在接收端架構中的第一級，需要有良好的放大效果與較低的雜訊指數，才能確保接收到的微弱訊號被正確的放大、解讀，以利於後續的降頻與解調操作。

GaN製程相比傳統製成有著較高的擊穿電壓、增益與可靠性，在高頻的表現優異，因此我們使用120nm GaN製成來設計低雜訊放大器。本研究針對 19–26 GHz 頻段(K頻段)與33-37 GHz(Ka頻段)設計低雜訊放大器，設計流程包含了架構選擇、偏壓設定、與阻抗匹配，期望能實現具有高增益、低反射率且雜訊指數低的放大器，同時要注意電路的穩定性使其不會發生震盪。

經過佈局後模擬所測得運作在19–26GHz之二階寬頻低雜訊放大器增益 (S21) 為 17.7–19.9dB，輸入和輸出回波損耗 (S11/S22) 為 $\leq -7.5/-6.8$ dB，雜訊指數 (NF) 為 2.6–3.04 dB，電路面積 2×2 mm²，功耗472 mW。運作在33–37 GHz之一階寬頻低雜訊放大器增益 (S21) 為 8.1–9.3dB，輸入和輸出回波損耗 (S11/S22) 為 $\leq -8.1/-9$ dB，雜訊指數 (NF) 為 3.41–3.7 dB，電路面積 1×1 mm²，功耗155 mW，適用於無線通訊系統。

目錄

報告內容	1
1. 背景或動機 Background/Motivation	1
2. 研究目的 Purpose	1
3. 研究方法 Method	
3. 1. 架構	1
3. 1. 1. Application & Specification	1
3. 1. 2. Schematic	1
3. 2. 元件尺寸與偏壓選擇	2
3. 2. 1. Transistor and TML	2
3. 2. 2. Bias	2
3. 2. 3. Bypass Capacitor	2
3. 3. 阻抗匹配	3
3. 3. 1. Input Matching	2
3. 3. 2. Interstage Matching	2
3. 3. 3. Output Matching	3
3. 4. 參數調整	3
3. 4. 1. S11, S22(輸入／輸出匹配)	3
3. 4. 2. S21(增益)	3
3. 4. 3. Noise Figure (雜訊指數)	3
3. 4. 4. Stability (穩定度)	3
3. 5. 佈局	4
3. 5. 1. Layout	4
4. 研究結果 Results	4
5. 總結 Conclusion	5
6. 參考圖片	6
7. 心得感想	9
8. 參考文獻Reference	10

1. 背景或動機 Background/Motivation

隨著5G、6G通訊與衛星感測技術或無人機感測技術的持續發展，更高的通訊頻段逐漸受到重視。在這些頻段中，系統對低雜訊、高線性度以及增益的需求更加嚴苛。傳統製程逐漸無法滿足更高頻段的需求，GaN電晶體具備高功率密度與高擊穿電壓的優勢，能在確保低雜訊的同時有著較好的線性度與增益。因此，本研究以GaN製程為基礎，針對19-26GHz頻段(K頻段)與33-37GHz頻段(Ka頻段)設計低雜訊放大器，期望在低雜訊、高增益與穩定度之間取得平衡，適用於通訊系統的接收端。

2. 研究目的 Purpose

本研究的目的是在於利用 0.12 um GaN on SiC製程，針對兩個通訊常用的頻段:K頻段和Ka頻段，分別設計並實現適用於這兩個頻段的低雜訊放大器。本研究希望在以下幾個面向中達到最佳化的平衡:1. 頻段內足夠且變化不大的增益 2. 較低的雜訊指數以確保放大後的訊號品質 3. 達成良好的輸出輸入匹配，減少能量耗損 4. 電路保持穩定避免震盪 5. 較小的電路面積與功耗。本研究期望能設計出具有以上表現的GaN低雜訊放大器，以驗證GaN製程在毫米波通訊系統中的優勢與可行性。

3. 研究方法 Method

3.1. 架構

3.1.1. Application & Specification.

此低雜訊放大器設計針對K頻段與Ka頻段，為18-27GHz與26.5-40GHz，本設計使用穩懋NP12-01 120nm GaN on SiC製程。

性能目標部分，將二階寬頻LNA的預期表現訂為頻率範圍為19-26GHz，雜訊指數NF設定為 ≤ 2.5 dB，增益Gain為 ≥ 15 dB，輸入與輸出回波損耗S11與S22皆為 ≤ -5 dB，晶片尺寸為 2×2 mm²，一階寬頻LNA的預期表現訂為頻率範圍為33-37GHz，雜訊指數NF設定為 ≤ 4 dB，增益Gain為 ≥ 8 dB，輸入與輸出回波損耗S11與S22皆為 ≤ -8 dB，晶片尺寸為 1×1 mm²。

3.1.2. Schematic

電路架構上選擇兩階與一階的common source with degeneration(參考fig.1,3)，common source有著較高的增益，負載使用傳輸線當電感，不使用電阻因此可以採用較低的Bias Voltage，以此降低功耗。在輸入、輸出端和兩階之間放置電容作為DC block，目的是為了讓交流訊號通過的同時阻止直流訊號，gate端偏壓電路使用傳輸線作電感用為Rf choke，在高頻時提供高阻抗，避免小訊號流向偏壓源，並且偏壓電路有著bypass電容隔離低頻與高頻的雜訊。

3.2. 元件尺寸與偏壓選擇

3.2.1. Transistor and TML

本電路使用2x50um的CPW電晶體，在source端加上傳輸線作為degeneration，相較電阻能在同樣增益下可以有著較好的雜訊表現。傳輸線在不同長度下具有電感和電容的特性使其可用在匹配網路中，有助於縮減電路的面積。

3.2.2. Bias

將兩階LNA的VDD都設為20V，接著觀察電晶體在不同gate偏壓下增益和雜訊的表現，最終選擇兩階的Vg同為-1.4V，電流大小為11.8 mA，整體功耗表現是0.472W，而一階的LNA則是選擇18V的VDD和-1.5V的Vg，電流大小為8.63mA，整體功耗表現是0.155W。

3.2.3. Bypass Capacitor

加入bypass capacitor的目是我們希望交流訊號在gate端不要流入偏壓源造成損失。電容阻抗是 $\frac{1}{j\omega C}$ ，在高頻時阻抗小因此有類似接地的效果，可以幫助隔離掉不想要的雜訊。電路透過兩個電容分別過濾掉低頻和高頻的訊號，小的電容對應到高頻(LNA運作頻率)，大的電容對應到低頻。

我們在設計時透過觀察此偏壓電路在不同頻率下的增益確認是否有達成隔離的效果，希望在低頻時S12(增益)小於-10dB，in-band時小於-20dB。

3.3. 阻抗匹配

3.3.1. Input Matching

我們透過觀察Noise circle和Gain circle得知最佳雜訊阻抗匹配點和最佳增益阻抗匹配點(50歐姆)，選取平衡兩者表現的阻抗點進行匹配。輸入端採用一般的L-section，是一個接地電容加上一個電感的結構(電感用傳輸線來實作以減少面積)。決定好架構後，利用ADS的模擬功能盡量降低第一級電晶體的S11參數，盡可能減少反射的同時有著較小的雜訊指數。一般寬頻放大器的標準需要整個頻寬數值越低越好，因其代表的是訊號被反射的比例，經過調整後我們的電路成功達到這個目標。

3.3.2. Interstage Matching

輸入端匹配完成後，在第一階輸出端加上DC block電容，觀察第二階電晶體的Noise circle和Gain circle，在二階低雜訊放大器中，第一階對於雜訊的影響是最大的，透過推導可得知第二階的雜訊對總雜訊的影響會除以前一階的增益，所以在選擇匹配點上可以選擇犧牲雜訊表現，匹配至增益較大的點，同樣透過L-section做阻抗轉移，從第一階電晶體的輸出阻抗轉移至匹配點。

3.3.3. Output Matching

因為在輸出端的電路較不影響雜訊表現，因此輸出阻抗匹配的目的是要將輸出端的電阻盡可能匹配到 50Ω ，以減少因為反射造成的能量耗損。相較於一階窄頻放大器採用一般的L-section結構，二階寬頻放大器採用 π -matching架構，多加了一顆接地電容，其好處是這樣電路可以得到較大的bandwidth。決定好架構後，利用ADS的模擬功能盡量降低第二級電晶體的S22參數，盡可能減少反射。經過調整後我們的電路成功達到二階放大器的S22小於-5dB，一階放大器則是小於-8dB這個目標。

3.4. 參數調整

透過ADS完成模擬與設計參數的調整：在確定LNA的整體架構後，藉由RF設計知識及模擬工具的輔助，可以觀察各項參數變動對電路效能的影響，並逐步調整各級電路元件以達到規格（SPEC）。

3.4.1. S11, S22(輸入／輸出匹配)

以 dB 為單位，分別表示LNA輸入與輸出的反射情況。設計目標為整個操作頻段內S11 與 S22 均小於 -5 dB。本設計的二級 LNA 在輸入與輸出匹配上皆表現良好，能有效降低反射損失並改善訊號傳輸效率

3.4.2. S21(增益)

以dB為單位，表示LNA的增益。由於寬頻放大器採兩級架構，期望獲得較高增益，因此設定設計目標為整個操作頻段 ≥ 15 dB(一階為 ≥ 8 dB)。此外依據帶寬定義，頻段內最大與最小增益的差值應 ≤ 3 dB。本設計的S21分別約落在 17.7–20 dB和 8.1-9.3dB，顯示本 LNA 具有穩定且足夠的放大能力

3.3.3. Noise Figure (雜訊指數)

可利用ADS內建雜訊分析功能獲得，對LNA而言屬關鍵參數；數值越低表示電路引入的額外雜訊越少。根據pre-simulation結果，設計目標為post-simulation的雜訊指數不超過 3.5 dB與4dB。我們成功設計出最大值分別僅有3.04dB與3.7dB 雜訊指數的電路，代表電路的雜訊足夠小。

3.3.4. Stability (穩定度)

利用ADS內建的穩定性分析功能計算，用以判斷電路是否在全頻段保持穩定。設計目標為在0.1 GHz–50 GHz的整個頻帶中，穩定性指標須大於 1，以確保電路運作不產生振盪。

3.5. 佈局

3.5.1. Layout

我們同樣使用ADS軟體將pre-simulation完成的電路進行Layout，並對完成的Layout進行電磁模擬(EM simulation)以評估其在實際佈局後的電路表現。

由於RF電路中寄生電容與寄生電感效應顯著，Layout版本的EM模擬結果通常與pre-sim有明顯差異，且EM模擬所需時間較長。為了減少反覆調整所耗費的時間，我們採取分段式Layout的策略：

1. 先將pre-sim中設計出的各元件或模組分成若干小區塊。
2. 逐一完成每個小區塊的Layout後，對該區塊進行EM模擬。
3. 將EM結果回饋至schematic，重新模擬並比較與原本pre-sim的差異，再據此調整該區塊的參數以維持原有效能。
4. 重複上述流程直至每個小區塊都優化完成，最後再將所有小區塊組合為完整的Layout。

在RF設計上，當兩條傳輸線靠在一起時會產生電感，可能造成增益降低或是雜訊升高的現象，使schematic模擬和layout模擬的結果有差異。因此layout時要注意傳輸線之間的距離，但這樣做會需要犧牲面積。

雜訊對於輸入端的電路較敏感，因此輸入端盡量減少線路彎曲。整體電路對稱也有助於電磁模擬的表現，而在轉彎處傳輸線會使用弧形以降低電荷效應，但是會因此減少感值，所以需要增加傳輸線的長度補齊。

4. 研究結果 Results

將佈局完成後，使用ADS電磁模擬整個電路的表現，觀察是否符合預期。模擬結果：二階寬頻低雜訊放大器，在19-26GHz頻段內，增益(S21)為17.7-19.9 dB，輸入和輸出回波損耗(S11/S22)為 $\leq -7.5/-6.8$ dB，雜訊指數(NF)為2.6-3.04 dB。一階寬頻低雜訊放大器，在33-37 GHz頻段內，增益(S21)為8.1-9.3 dB，輸入和輸出回波損耗(S11/S22)為 $\leq -8.1/-9$ dB，雜訊指數(NF)為3.41-3.7 dB。

5. 總結 Conclusion

以上的模擬結果皆達成並優於預期性能，在472mW和155mW的功耗下完成所希望的雜訊、增益、反射損耗等目標，在整個設計流程中，佈局是最繁瑣且複雜的，因為實際的模擬結果時常和預期的不同，不同區塊間會互相影響，需要透過不停地疊代在找出最佳的元件尺寸的同時有著較小的面積，未來優化方向可朝向思考其他佈局方式減小面積或是降低VDD使功耗下降，與線性度間取得更佳的平衡。實驗結果驗證了Ga_N製成電晶體在良好匹配下低雜訊及高增益方面的表現，並可應用在K頻段與Ka頻段毫米波通訊系統中，下表格為與其他文獻之比較。

參考圖片

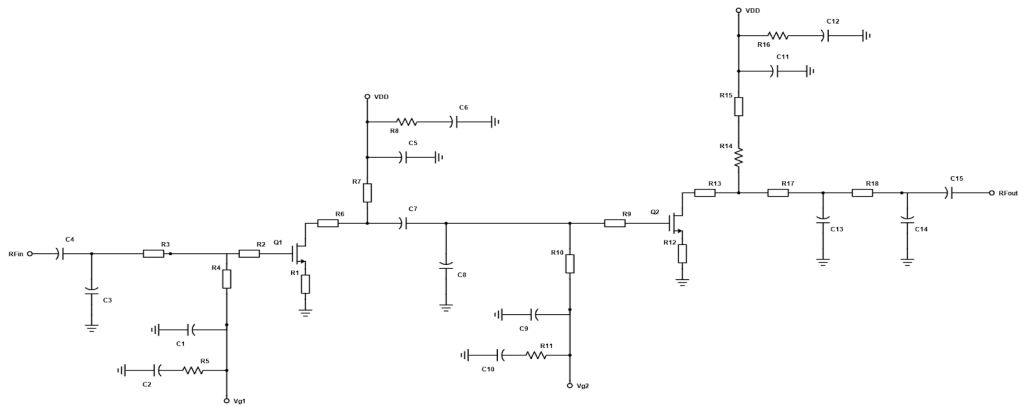


Fig.1 寬頻二階LNA架構(19-26GHz)

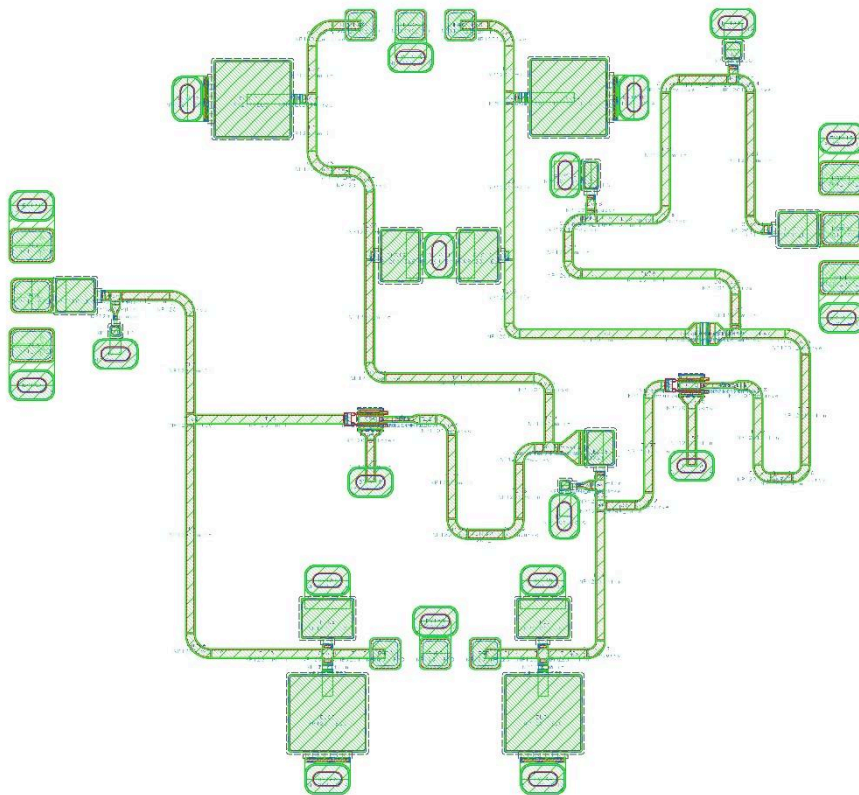


Fig.2 Layout of 19-26GHz two stage LNA

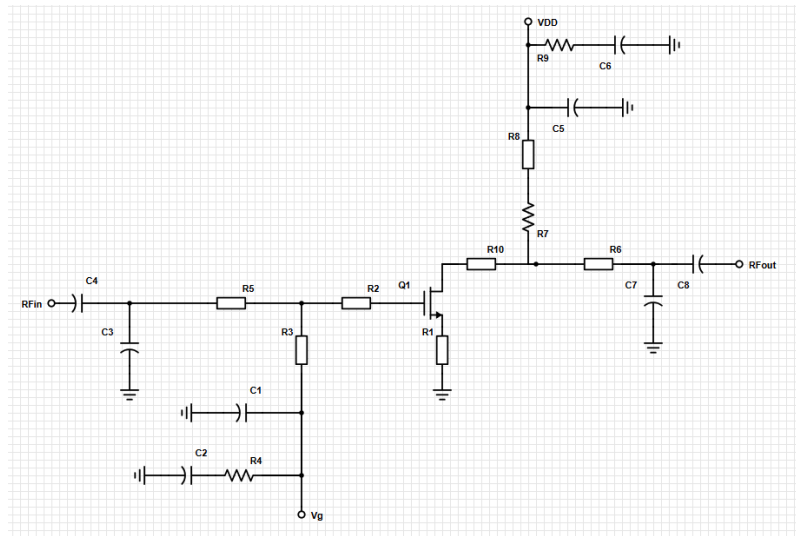


Fig.3 寬頻一階LNA架構(33-37GHz)

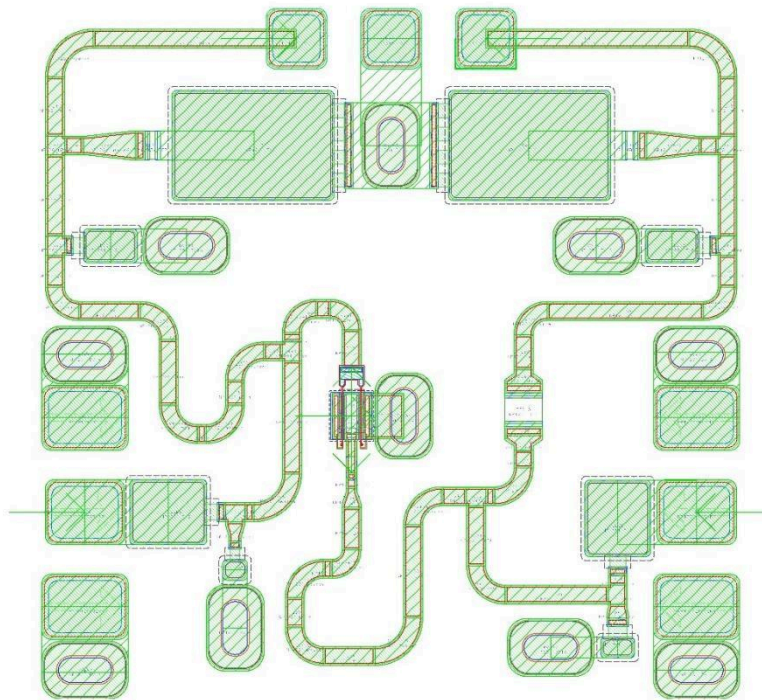


Fig.4 Layout of 33-37GHz one stage LNA

Table 1
與相關論文的GaN LNA比較表

Ref.	Process	Freq. [GHz]	NF [dB]	Gain [dB]	I/O RL [dB]	OP1dB [dBm]	OIP3 [dBm]	DC [W]
[1]	0.15um GaN/SiC	25-31	2.35	15-17	$\geq 8/10$	17.4	24.2	0.3
[2]	0.15um GaN/SiC	25-31	2.4-2.9	≥ 21	$\geq 12/10$	19.1	28.5	0.3
[3]	0.15um GaN/SiC	27-31	3.7-3.9	14.4-19.6	$\geq 10/5$	NA	NA	0.64
[4]	0.15um GaN/SiC	25-35	≥ 3	≥ 20	≥ 10	NA	NA	0.36
[5]	0.1um GaN/Si	33-38	2	26	$\geq 7/10$	20	28.4	0.564
This Work (Two stage)	0.12um GaN/SiC	19-26	2.58-3.04	17.7-19.9	$\geq 7.5/6.8$	15.7	18.8	0.472
This Work (one stage)	0.12um GaN/SiC	33-37	3.41-3.7	8.1-9.3	$\geq 8.1/9.8$	13.2	12	0.155

心得感想

由於電機系大學部關於射頻電路的課程較少，所以RF這個專題題目對於我們兩個來說都是非常陌生的領域。為了有能力設計出高頻的低雜訊放大器，我們花了很多時間在學習所需的知識，我們第一個學期幾乎都在觀看相關課程及論文，且由於課程難度不低，因此我們也花了很多時間理解。此外，我們也沒有用過advanced design system(ads)這個模擬軟體，因此學習並上手這個tool又是一個新的挑戰。

在接觸這個專題題目之前，我一直以為射頻電路和類比電路是類似的東西，但實際做過整個射頻電路的設計後，我才發現他和類比電路有非常大的不同。首先就是電晶體的數量，射頻電路通常都不多，以我們做的低雜訊放大器為例，電路架構通常都只有1-4顆電晶體，相較於類比電路而言非常少。其次是設計的方法，類比電路可以透過調整電晶體的尺寸、加上電容或電阻等方式來設計。射頻電路則是透過調整電容大小和傳輸線長度來設計，且很難精確的控制調整幅度，因此設計上會比類比電路複雜。最後就是像S參數，noise figure，穩定度等等參數，我是在接觸這個專題後才學習到這些參數的物理意義，這是因為高頻電路的分析非常複雜，因此需要採用和一般類比電路不同的分析方式，才能設計出好的表現。這些參數非常重要，且對我們來說是個全新的知識，因此學習和實際使用這些參數來分析電路都花了我們不少時間。

最困難的部分就是布局(layout)，也是最花時間的地方。前文有提到schematic電磁模擬和layout電磁模擬的結果會不一樣，有時結果差很多的話就要花很多時間「通靈」出到底哪一部分出問題。我們遇到最大的問題是layout電磁模擬的穩定度暴跌，且找不到原因。因為一次模擬要跑很久，我們花了兩天才發現是共用接地會讓電路不穩定，修改設計後才成功做出表現不錯的電路。

雖然剛開始接觸RF時對於這個領域非常陌生，且在學習、設計和布局上都有遇到問題，但我們做完之後還是很有成就感。也因為是一個完全陌生的題目，這個專題除了讓我們對RFIC這個領域有初步的認識，也讓我們學會了閱讀論文和做研究的方法。相信這些經驗對於我們未來在研究所會大有幫助。

參考文獻Reference

- [1] S. -Y. Chen, C. -S. Wu, L. -Y. Lee, T. -H. Chen, Y. -M. Chen and H. Wang, "25 - 31-GHz Low Noise Amplifiers in 0.15- μm GaN/SiC HEMT Process", 2022 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp. 27- 29, 2022.
- [2]H. B. Ahn, H. -G. Ji, Y. Choi, S. Lee, D. M. Kang and J. Han, "25-31 GHz GaN-Based LNA MMIC Employing Hybrid-Matching Topology for 5G Base Station Applications", IEEE Microwave and Wireless Technology Letters, vol. 33, no. 1, pp. 47-50, Jan. 2023.
- [3]M. Rudolph, N. Chaturvedi, K. Hirche, J. Wurfl, W. Heinrich, and G. Trankle, "Highly rugged 30 GHz GaN low-noise amplifiers," IEEE Microw. Wireless Compon. Lett., vol. 19, no. 4, pp. 251–253, Apr. 2009.
- [4]S. D. Nsele et al., "Ka-band low noise amplifiers based on InAlN/GaN technologies," in Proc. Int. Conf. Noise Fluctuations (ICNF), Jun. 2015, pp. 1–4.
- [5] C. Florian, P. A. Traverso, and A. Santarelli, "A Ka-Band MMIC LNA in GaN-on-Si 100-nm Technology for High Dynamic Range Radar Receivers," *IEEE Microw. Wireless Compon. Lett.*, vol. 31, no. 2, pp. 161–164

- * 本專題使用穩懋製程
- * 本專題使用 ADS 軟體