

A 10-bit 20MS/s VTC-TDC assisted SAR ADC with

Merged Capacitor Switching Procedure

一個具有電壓時間轉換器與時間數位轉換器且使用合併電容開關程序每秒
兩千萬次採樣之十位元循序漸進式類比數位轉換器

組別：B474 指導教授：謝志成 組員姓名：吳政祐、林紹恩

摘要

在現代社會中，類比數位轉換器（ADC）的準確性和精度扮演著重要角色，因為先進技術正多樣化地蓬勃發展。因此，傳統的 SAR ADC（逐次逼近模數轉換器）隨著有效位元數的增加，其精度逐漸下降，面臨新的挑戰。

本文提出了一種全新的混合式10位元類比數位轉換器，旨在於相同解析度下提升有效位元數（ENOB）。此設計結合了兩種不同類型的 ADC 來將類比訊號轉換為數位訊號：傳統的 SAR ADC 用於前7位元之轉換，而 VTC（電壓-時間轉換器）與 TDC（時間-數位轉換器）進一步處理後3位元之轉換。VTC 首先透過生成兩個具有時間延遲的方波，將殘餘電壓從電壓域轉換至時域。接著，將此二方波送入 TDC，根據它們之間的延遲量轉換為數位訊號。

此混合式 ADC 有效降低了高解析度傳統 SAR ADC 中噪聲的影響，提升了有效位元數（ENOB）。測試結果顯示，由本文提及之 ADC 架構，在有效位元數方面優於傳統 SAR ADC。

1. 介紹

此專題基於研究類比數位轉換器，在現今世代對於高解析度訊號需求提升，我們希望研究出一個不降低採樣速度同時擁有高解析度之類比數位轉換器。因此我們在參考本實驗室多位學長姐們的電路架構後，提出一可行之新混合式類比數位轉換器。

在傳統 SAR ADC 的架構下，ADC 是通過 binary search 的方式，比較輸入兩端的電壓，再透過切電容使得剩餘電壓(residue)逐漸收斂，最終得到 Digital code。由於每次切電容的過程會使得 residue 以 V_{ref} 乘以等比級數 $1/2$ 減少，因此當 ADC 的位元數增加，在越低位元下解析時 residue 的量值會越來越少。若當 noise 之量級與 residue 量級接近，便會嚴重影響 ADC 解析度。因此我們於本架構提出一電壓時間轉換器，將原先殘存的小電壓線性轉換至時域，再透過時間數位轉換器將最終的 Digital code 轉換出來，完成一筆類比訊號的轉換。

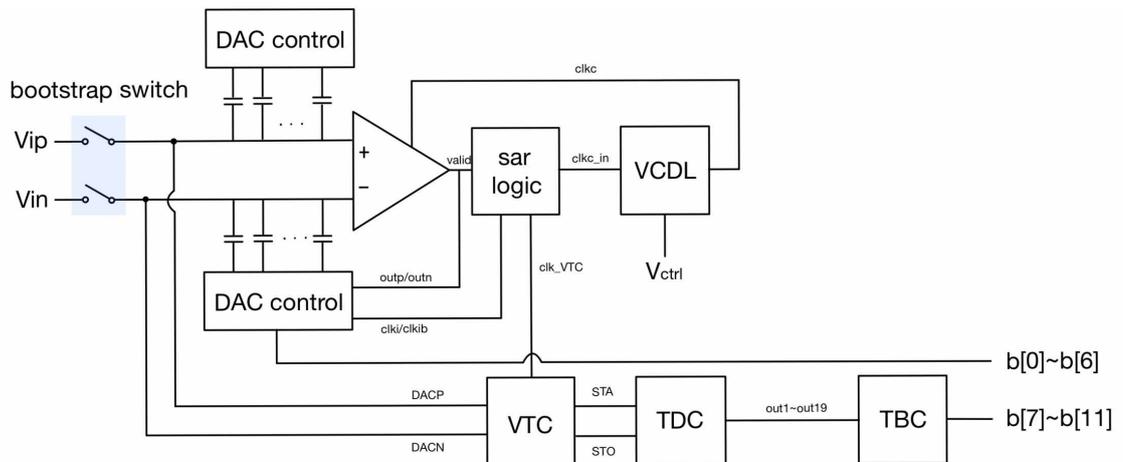
在本次專題中，我們成功實現了一個基於 T18 製程的10位元、20MHz SAR ADC 架構。所提出的設計將傳統 SAR ADC 作為 Coarse stage，並透過電壓-時

轉換器 (VTC)、時間-數位轉換器 (TDC) 共同作為 Fine stage，有效提升了整體性能。透過此架構實現了高精細度和抵抗雜訊，在不同 corner 下提了解析度與準確度。

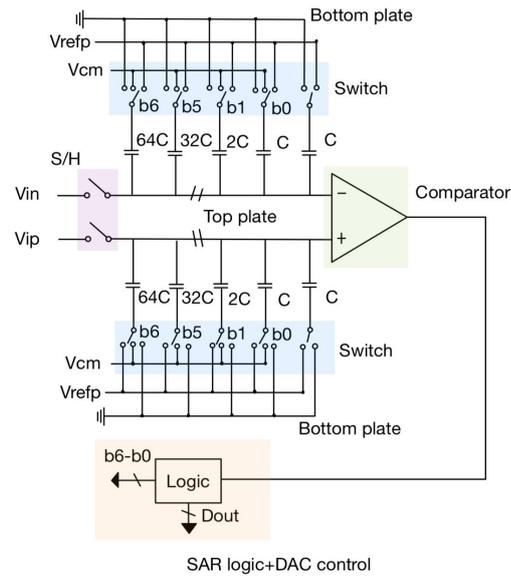
2. 操作原理

圖(1)為架構的 Block diagram，圖(2)為7bits pure SAR(coarse ADC)的內部結構圖，操作原理為 differential input signal 會先進入 S/H circuit，而在 clks 為 high 時，S/H circuit 會 sample data，clks fall 的時候 S/H 會將 data hold 住並會送給 comparator 比較 n 端與 p 端之電壓大小。

comparator 比較結束後產生的 valid 訊號會使 SAR-logic 產生操控 DAC_control 切換之 clki 與 clkib ($i=1\sim7$)，且 DAC_control 會根據 comparator 比較結果(outp、outn)來改變 bottom plate 電壓，而 top plate 會根據 CDAC 的電容比例進行電容分壓的電壓變化來完成一次比較，並重複上述流程直到7次比較完成並輸出7個 bit 結果，以此實現逐次逼近的比較方法。而當7bit 都比較完後，CDAC 兩端電壓會透過 VTC 轉換成兩個具有時間差的方波(STA/STO)，接著透過 TDC，將 STA 訊號不斷地經過固定大小的 delay 計算出 thermometer code，最後透過 TBC 將所計算出的 thermometer code 轉換成 binary code。



圖(1): SAR TDC 架構 Block diagram (自身構圖)



圖(2): Merged capacitor switching pure-SAR 架構

(資料來源：修改自參考文獻[2])

3. 模擬結果

(a) SAR TDC result

Corner(25°C)	TT	SS	FF	SF	FS
SPEC	ENOB>9.9	ENOB>9.9	ENOB>9.9	ENOB>9.9	ENOB>9.9
Pre-sim	10.0412	9.982	10.1365	9.9409	10.0017
Post-sim	9.9584	9.9825	10.0009	9.9128	9.9938

表(1):pre-sim 與 post-sim 之 ENOB 結果

根據表格所示，在 pre-sim 與 post-sim 中 SAR TDC 在 25°C，5 corner 的情況下 ENOB 均大於 spec 的 9.9bits。

(b) Power Dissipation(Core)

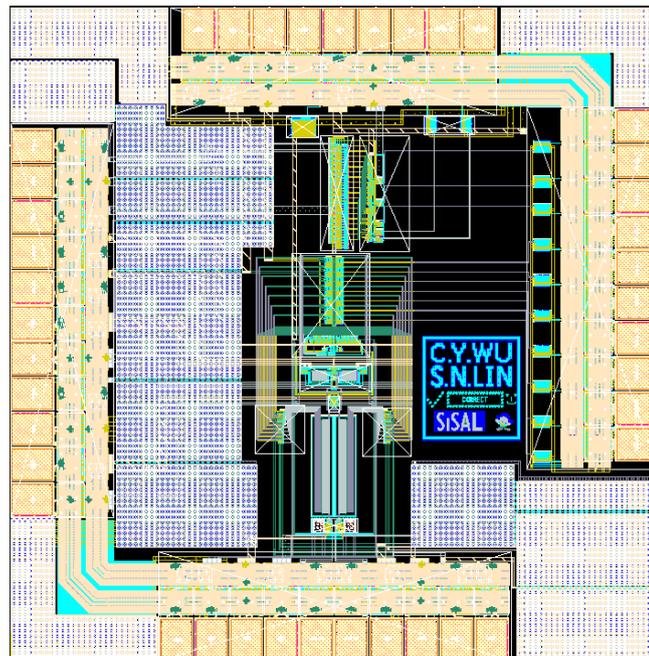
Power(TT corner)	Pre-sim	Post-sim
S/H	8.08 μ W	9.21 μ W
Comparator	29.54 μ W	47.37 μ W
DAC control(for switch)	67.48 μ W	102.45 μ W
Vcm	30.51 μ W	169.22 μ W
Digital	410.75 μ W	795.31 μ W
VTC	84.52 μ W	91.22 μ W
Current source(for VTC)	17.77 μ W	20.18 μ W
TDC	186.75 μ W	237.13 μ W
total	768.18 μ W	1472.09 μ W

表(2): pe-sim 與 post-sim 之 power 結果

4. 佈局圖

Chip Size: 1200 μ m \times 1200 μ m

Number of pins: 40



圖(3): Layout

5. 總結

本項目成功實現了一個基於T18製程的10位元、20MHz SAR ADC架構。所提出的設計將傳統SAR ADC作為Coarse stage，並透過電壓-時間轉換器（VTC）、時間-數位轉換器（TDC）共同作為Fine stage，有效提升了整體性能。透過此架構實現了高精細度和抵抗雜訊，在不同corner下提升了解析度與準確度。

與傳統SAR ADC相比，此架構加入VTC與TDC，將原先兩相近的剩餘電壓轉換至時域，由此抵抗雜訊對於高解析度ADC之影響。然而由於此架構對於VTC之線性程度以及Coarse stage 與 Fine stage 之間最小單位轉換比例有相當之要求，因此於更先進的製程當中可能會受到更嚴重的mismatch影響，進而導致整體設計難度上升。

總而言之，此混合架構類比數位轉換器對於日後高精細度類比數位轉換器提供一種實際可行之方案。

6. 參考文獻

- [1] C. C. Chen, Y.H. Huang, J. C. J. S. Marquez, C. C. Hsieh, “A 12-ENOB Second- Order Noise-Shaping SAR ADC With PVT-Insensitive Voltage-Time-Voltage Converter”, IEEE J. Solid-State Circuit, vol. 58, no 10, pp. 2897-2906, Oct. 2023.
- [2] M. Zhang, C. H. Chan, Y. Zhu, Rui. P. Martins, “A 0.6-V 13-bit 20-MS/s Two- Step TDC-Assisted SAR ADC With PVT Tracking and Speed-Enhanced Techniques”, IEEE J. Solid-State Circuits, vol. 54, no. 12, Dec. 2019.
- [3] C. C. Liu, S. J. Chang, G. Y. Huang, and Y. Z. Lin, “A 10-bit 50-MS/s SAR ADC with a monotonic capacitor switching procedure,” IEEE J. Solid-State Circuits, vol. 45, no. 4, pp. 731–740, Apr. 2010.
- [4] M. P. Ajanya, G. T. Varghese, “Thermometer code to Binary code Converter for Flash ADC”, International Conference on Control, Power, Communication and Computing Technologies, Mar. 2018.
- [5] Y. J. Chen, K. H. Chang and C. C. Hsieh, “A 2.02–5.16 fJ/Conversion Step 10 Bit Hybrid Coarse-Fine SAR ADC With Time-Domain Quantizer in 90

- nm CMOS”, IEEE J. Solid-State Circuits, vol. 51, no. 2, Feb. 2016.
- [6] C. P. Huang, H.W. Ting, S. J. Chang, “Analysis of Nonideal Behaviors Based on INL/DNL Plots for SAR ADCs”, IEEE Transactions on Instrumentation and Measurement, vol. 65, Aug. 2016.
- [7] V. Hariprasath, J. Guerber, S.-H. Lee and U.-K. Moon, “Merged capacitor switching based SAR ADC with highest switching energy-efficiency”, Electronics Letters 29th Apr. 2010, vol. 46, no. 9.
- [8] S. E. Hsieh (2018), “High Resolution ADC with Ultra-High Power Efficiency for IoT Application”, National Tsing Hua University, Taiwan.