A 13-bit 5 MS/s SAR ADC With kT/C Noise Cancellation

一個有熱雜訊消除的每秒五百萬次採樣之 13 位元循序漸進式類比數位轉換器

組別：A221　指導教授：謝志成　組員姓名：陳柏瑋、鄒忠穎

摘要

循序漸近式類比數位轉換器(Successive Approximation Register Analog-to-Digital Converter)因為同時具有較低功耗、較小面積以及中高解析度的性質，被廣泛應用在穿戴式裝置、感測器等領域。

熱雜訊(kT/C noise)是來自導體內部電荷載體的熱攪動導致的電子雜訊，與所施加電壓無關。熱雜訊會造成 ADC 的 ENOB(Effective Number of Bits)的下降，影響類比訊號轉換成數位訊號的正確性。不同於傳統 SAR ADC 以大電容克服熱雜訊干擾，本文提出的 kT/C noise Cancellation 架構以更小的電容面積達到較高解析度，此專題的消除熱雜訊電路架構參考[2]。

此專題使用 T18 製程架構出具有 13 位元以及 3 冗餘位元(redundancy bit)、5MS/s Sampling Rate 的 SAR ADC，透過電路模擬試圖對 40nm 製程解析度為 13 位元以及 3 冗餘位元、40MS/s 具有熱雜訊消除功能的 SAR ADC 設計進行深入分析，測試熱雜訊消除效果以及此架構的優劣。

SH(Sample and Hold)參考[1]中 bootstrapped switch 的架構，並利用在 SH 電路後多增加的 Pre-amplifier 與電容消除熱雜訊。為了測試此架構是否具有消除熱雜訊的功能，另外設計一個不具有 kT/C noise Cancellation 的 SAR ADC 作為對照組。輸入訊號則為一組共模電壓為 0.9V 頻率為 2.5M Hz 的反相類比正弦波訊號，在加入雜訊的電路模擬下比較兩個電路的 ENOB 表現。

在電路模擬中，隨著 preamp(Pre-amplifier)的 gain 變大，電路模擬的 ENOB 表現將上升。此結果的產生是由於此設計的電路架構下，大的 gain 可以更好的壓抑熱雜訊的干擾以及降低 preamp 與 comparator latch 的 input referred noise，但是帶來的缺點是需要更久的安定時間(settling time)，且相較於傳統的 SAR ADC，新增的 preamp 將會消耗更多的功率。

此設計架構下熱雜訊造成的訊號干擾被一定程度上的消除，但是 preamp 所消耗的功率會成為設計上的考量，需要從消除熱雜訊與功率消耗上取得一個平衡。

Introduction

一、 前言

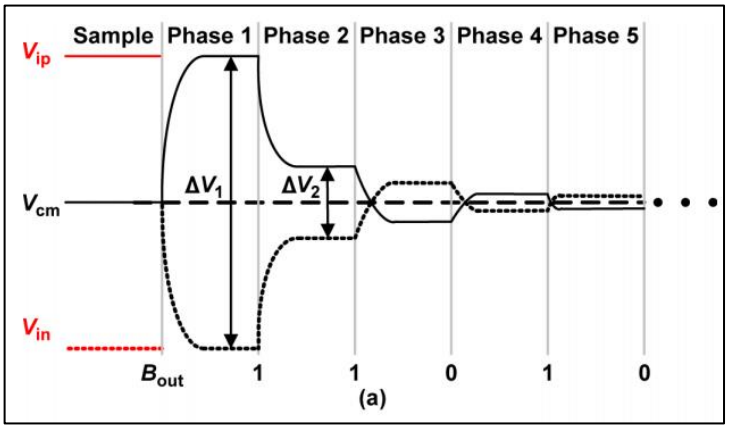
中高解析度的 ADC 經常受到來自元件造成的非理想效應導致性能表現下降，如本文主要對於熱雜訊(kT/C noise)的消除做設計。 熱雜訊來源於電容器上一定數量電荷的熱力學波動造成，一旦電容器與電路導體斷開連接，便會產生 signal power 為 kT/C 的熱雜訊儲存在電容上。 此熱雜訊將會對訊號產生干擾，降低 ADC 解析度。 本專題採用[2]之 kT/C noise Cancellation 電路架構，以降低熱雜訊所造成的干擾。本文將在後面章節討論 kT/C noise Cancellation 之電路原理與此架構之優缺點。

二、 原理與架構說明

2-1. SAR ADC 操作原理

SAR ADC 之比較原理為二進制逐次逼近的比較方式，且本次設計使用 differential pair 的架構，所以會有兩個輸入端。當不進行比較時 top plate 的兩端電壓會維持在V_{cm}，且本文之V_{cm}為一半的V_{DD}，V_{DD}為 1.8V。 SAR ADC 在一個轉換週期內分為兩個階段，分別為 sampling mode(取樣階段)以及 hold mode(保持階段)。Sampling mode 為 SH(Sample and Hold)電路從外部輸入電壓，此時 top plate 會隨著外部電壓而變化；Hold mode 則為 SH 電路關閉後，top plate 會保持在關閉當下取樣到的電壓，再由比較器進行逐次的比較，並且由 DAC control 電路在每次比較之後切換 bottom plate 電壓。

以圖(一)為例：第一次比較時(MSB)，當V_{ip}比V_{in}高時，V_{ip}會降低$V_{\mathrm{cm}}/2$，且V_{in}會增加$V_{\mathrm{cm}}/2$，bit0 輸出結果為 1。在第二次比較時可以看到V_{ip}還是高於V_{in}，所以V_{ip}再次降低$V_{\mathrm{cm}}/4$，反之V_{in}會再增加$V_{\mathrm{cm}}/4$，bit1 輸出結果為 1。第三次比較時V_{ip}則低於V_{in}，V_{ip}增加$V_{\mathrm{cm}}/8$，V_{in}則降低$V_{\mathrm{cm}}/8$，bit2 輸出結果為 0，其他次比較以此類推。



圖(一)SAR ADC 比較原理

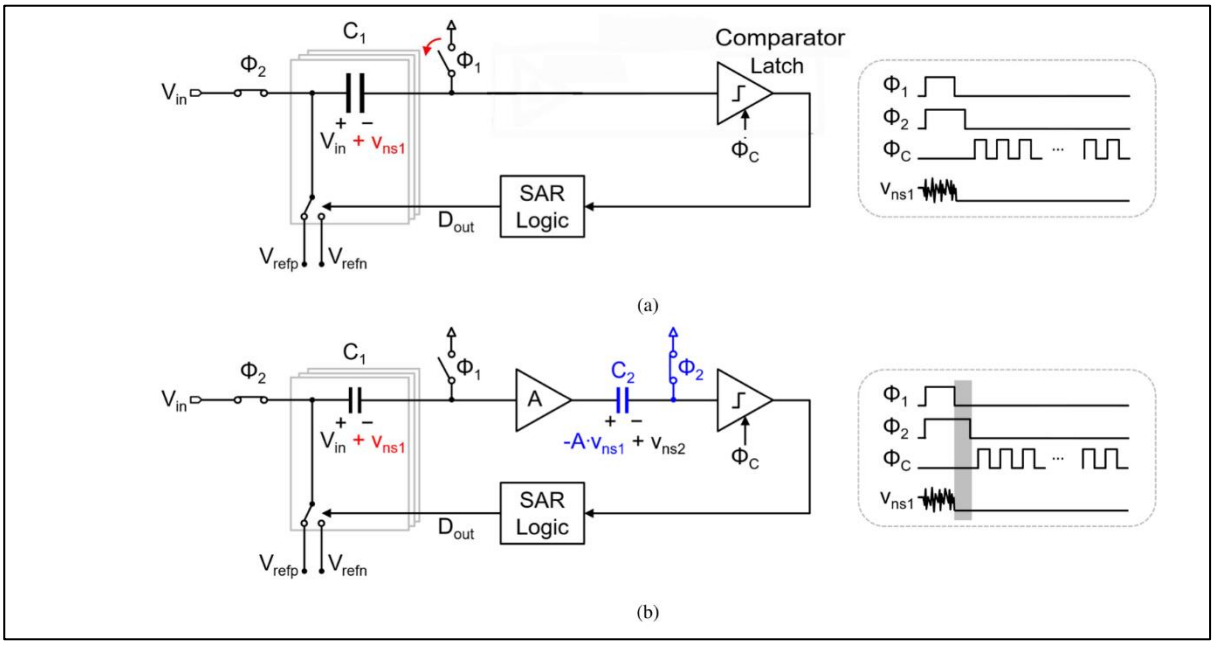
(資料來源：參考文獻[1])

(本專題使用 bottom plate sampling。

Top plate:comparator latch 輸入端; Bottom plate: vin, vip 輸入端)

2-2. kT/C Noise Cancellation 原理

SAR ADC 在 SH 電路中會由於電容與開關的切換產生熱雜訊影響比較結果，因此本架構針對此熱雜訊做處理，使 ADC 解出的數位訊號等效上沒有輸入端電容產生的熱雜訊訊號。圖(二)為 SAR ADC with kT/C noise cancellation 電路之架構，與傳統 SAR ADC 電路比較，此架構多了 preamp 的控制以及 preamp 後 C2 電容與$\emptyset_2$開關的控制。



圖(二)傳統架構(上)、kT/C Cancellation 架構(下)之 SH 電路
(資料來源：修改自參考文獻[2])

圖(三)將說明消除雜訊之原理，根據不同時脈$\emptyset_1$、$\emptyset_2$的控制分為三個階段說明：第一階段，也就是時間點t_1，$\emptyset_1$由 high 變為 low，preamp 前的開關 OFF，此時C_1電容 sample 到的電壓為$V_{in}(t_1)$與當開關 OFF 所導致的熱雜訊V_{ns1}，V_{os}則為電路因製程上的不匹配(mismatch)造成的一個 offset 電壓；第二階段為時間點t_2時，此時$\emptyset_2$由 high 變為 low，preamp 後的開關 OFF，連接V_{in}之開關也 OFF，停止訊號輸入。假設 preamp 的 gain 為 A，此時C_2電容 sample 到的電壓為$A[V_{in}(t_2) - V_{in}(t_1) - V_{ns1} - V_{os}]$加上由於開關 OFF 造成之熱雜訊$V_{ns2}$。對於最右邊的 comparator latch 來說，在本專題架構下 comparator latch 之輸入訊號量值則為$AV_{in}(t_2) + V_{ns2}$；第三階段為比較階段，comparator latch 開始進行每個 bit 的比較。當全部 bit 比較結束後，藉由電容跨壓會維持的特性，ADC 解出的D_{out}等效上是$V_{in}(t_2) + V_{ns2}/A$的類比訊號轉換成的數位訊號，可以看到V_{ns1}被完全消除且V_{ns2}被縮小 A 倍，由此達到熱雜訊消除的效果。

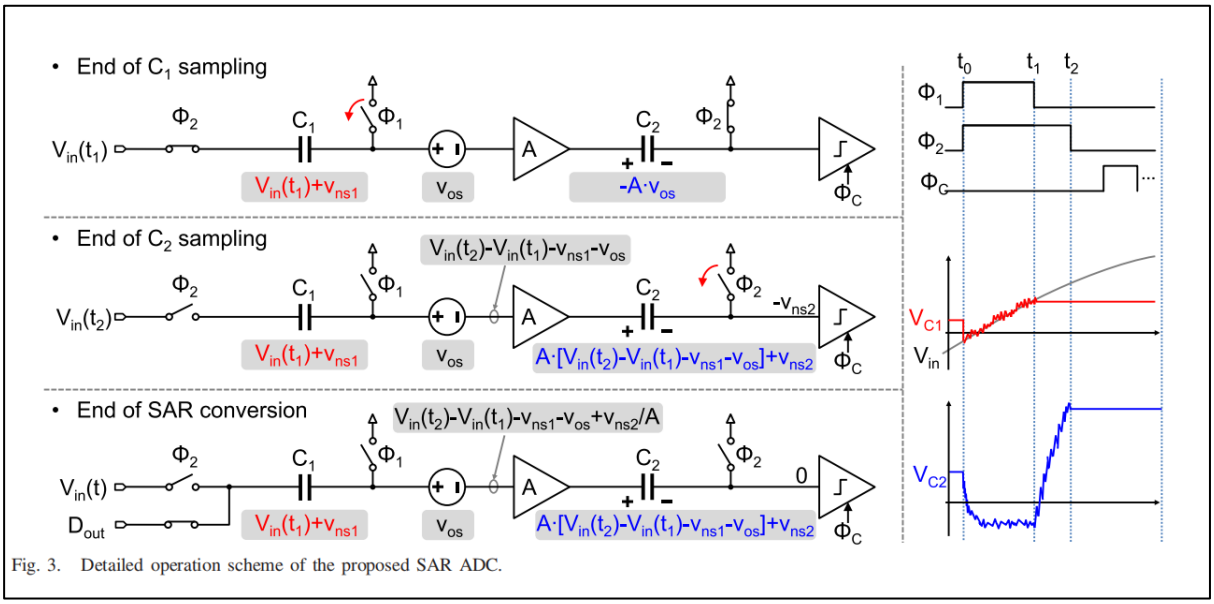
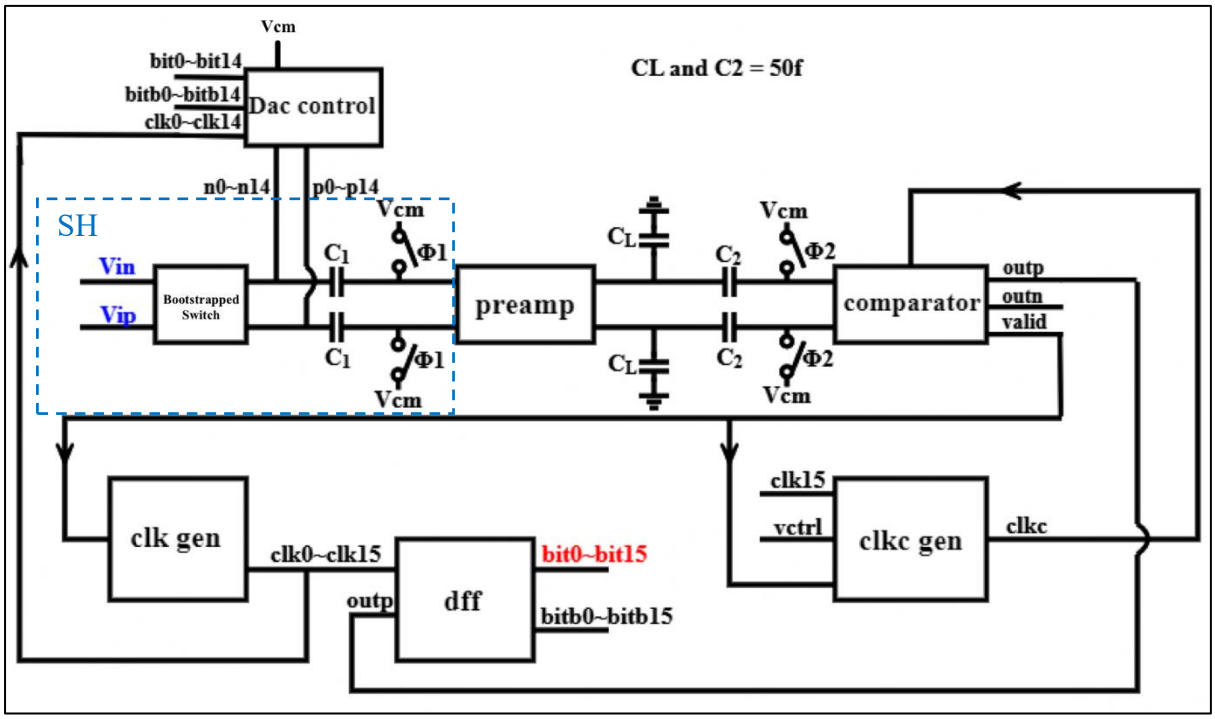


Fig. 3. Detailed operation scheme of the proposed SAR ADC.

圖(三) kT/C Cancellation 之原理

(資料來源：參考文獻[2])

三、 電路架構與時序



圖(四) 電路之 Total Block

(資料來源：自身構圖)

圖(四) 為全部電路之 Block Diagram，電路的外接輸入為 Vin，Vip 之差分信號(differential input)、vctrl，以及外接時序之控制。其中 vctrl 訊號為 clkc_gen 這個 block 的輸入，用不同電壓控制不同 corner 所需要的 clkc 訊號長短；電路之輸出為 bit0～bit15

共 16 個 bit，包含三個 redundant bits。SH(Sample and Hold)電路，用以取樣以及維持輸入訊號；DAC control 電路在每次比較完，切換 SH 中取樣電容的 bottom plate 電壓；preamp 電路則是設計用來消除熱雜訊之干擾，且有助於抑制 kickback noise 以及後端電路的 input referred noise；comparator latch 電路用來比較 n 端與 p 端電壓之大小並輸出結果；clkc gen 電路產生 clkc 的時序訊號決定 comparator latch 電路何時比較； clk gen 電路產生 clk0 到 clk15 的時序訊號控制 dff 電路輸出 bit0 到 bit15 之結果；dff 電路接收 comparator latch 輸出訊號與 clk gen 輸出訊號後輸出 bit0 到 bit15 之數位轉換結果。

以下為圖(四)電路操作流程，首先 input signal 由 SH 電路中的C_1取樣電容儲存，並透過 preamp 與 comparator latch 進行比較。comparator latch 逐次比較 n 端與 p 端電壓的大小，並將結果 outp 訊號送到 DFF 電路，另外產生 valid 訊號傳送到 clkc gen 電路與 clk gen 電路。當 clk gen 電路接收到來自 comparator 產生的 valid 訊號便依序開始產生 clk0 到 clk15 的時序訊號分別控制 DFF 電路與 Dac control 電路：當 DFF 電路接收到 clk0 到 clk15 的時序訊號時會根據 comparator latch 比較的結果輸出 bit0 到 bit15 的數位輸出訊號；Dac control 電路接收到 clk0 到 clk14 的訊號後則會跟據 bit0 到 bit14 的輸出結果切換 bottom plate 電壓，再根據每次切換所接的取樣電容大小根據電容分壓原理改變 top plate 之電壓，從而進行下一次比較，直到 16 次比較完成並輸出 16 個 bit 結果，以此實現二進制逐次逼近的比較方法。clkc gen 電路則產生 clkc 之時序訊號決定 comparator latch 正確的比較時間點，且根據 vctrl 訊號之輸入控制 clkc 訊號之長短，提供每次比較完到下一次比較前充分的安定時間(settling time)。

四、 模擬結果

Pre-sim:

Part 1 : ENOB of SH (input frequency = 2.5M and 1M Hertz, 1024points, 50°C)

表(一)	TT(fin=1M)	TT(fin=2.5M)
ENOB	16.05	15.85

Part2 : ENOB of SAR ADC at 5 corners without noise
(input frequency = 2.5M Hertz, 1024points, 50°C)

表(二)	TT	SS	FF	FS	SF
ENOB	13.2055	13.1053	13.0293	13.0134	13.1316
vctrl(V)	0.975	0.95	0.85	1.05	1.125

Part3 : ENOB of adding noise with kT/C noise cancellation design
(input frequency = 2.5M and 1M Hertz, 1024points, 50°C)

表(三)	TT(fin=2.5M)	TT(fin=1M)
ENOB	12.424	12.412
vctrl(V)	0.975	0.975

Part4 : ENOB of adding noise without kT/C noise cancellation design
(input frequency = 2.5M and 1M Hertz, 1024points, 50°C)

表(四)	TT(fin=2.5M)	TT(fin=1M)
ENOB	12.0387	11.9913
vctrl(V)	0.975	0.975

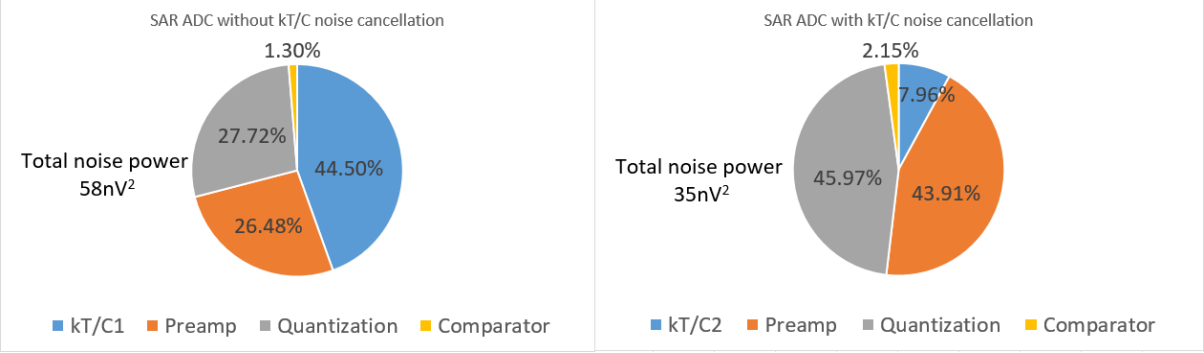
Part5 : ENOB of adding noise by matlab behavior model

表(五)	With kT/C noise cancellation	Without kT/C noise cancellation
ENOB	12.0871	12.55191

Part6 : Power consumption

表(六)	Total	Preamp	SH	Dac Control	Comparator Latch	Others
Power(mW)	0.4907	0.3452	0.0022	0.0221	0.0581	0.0631

Part7 : Noise comparison between SAR ADC with and without kT/C noise cancellation



圖(五) Noise reduction
(資料來源：自身模擬結果)

五、 結論

此架構能夠消除熱雜訊所造成的干擾，由模擬結果可以發現在相同大小取樣電容下此架構對比傳統的 SAR ADC 在加入 kT/C noise cancellation technique 後 ENOB 上升了大約 0.4。在傳統 SAR ADC 架構下，若想壓抑 kT/C noise 所造成的干擾需要更大的 input 取樣電容、所占的晶片面積與 input drive 以及 reference buffer，而此架構使用較少的額外電路達成 kT/C noise 消除之效果並減少 input 取樣電容之大小，減少所需面積。 此架構之顯著缺點則在於 preamp 所消耗的額外功率，由模擬結果，preamp 所消耗的功率佔全部電路所消耗功率的大約百分之七十。 總的來看本次參考論文所引述 40nm 製程的 kT/C Cancellation 架構在 T18 製程中也能達到熱雜訊消除的效果，功率消耗與解析度的取捨則需根據設計者的需求來決定。

六、 心得

鄒忠穎：

大二的時候對於製作晶片就有濃厚的興趣，所以在找專題時就非常希望可以找到晶片製作相關的實驗室，剛好謝志成教授的實驗室給了我這個機會，讓我能實際跑完一顆晶片的設計流程。做專題與平時修課的感覺是非常不同的，沒有老師一步步的教學，也沒有標準答案，大部分內容都需要自己摸索或者與夥伴、學長討論，並從發現的問題、參考論文與模擬結果中一點點的學習，也能在晶片的設計流程中更加深入了解到一顆晶片的規格、trade off，例如大的電流可以有更快的速度，但是相對的會使 MOS 的 size 更大，產生更大的寄生電容以及更多的功率消耗。從實際串接電路的過程中，使用一顆顆 NMOS、PMOS 實現各種電路，再用各種電路串接出一個完整功能的大電路十分的有成就感，我也透過這次專題更加確定自己想走 IC 設計這條路。最後謝謝我的專題隊友，透過犧牲自己的睡眠時間帶我飛；謝謝學長犧牲自己的研究時間，幫我們一起解決碰到的無解問題，偉大；謝謝教授，犀利的 meeting 過程讓我深知自己的不足。

陳柏瑋：

大二下，由於疫情關係 109 學年度下學期專題說明會取消，透過更早之前的專題說明會認識了 SiSAL 實驗室。聯絡謝志成老師、實驗室學長姐後，知道實驗室的專題內容為類比 IC 設計，會運用到電路學、電子學、訊號與系統、類比電路設計與分析、VLSI 等專業科目知識，完整執行一顆類比 IC 從設計到量測的流程。 原本的課程規劃，在大二已經修完電路學、電子學、訊號與系統，預計大三上修習類比電路設計與分析、VLSI，認為能夠配合修課並透過專題同時完成實務上的一項「作品」，對我來說，能夠更有目標的學習大三之後的課業，因此修了這門專題。

大三上，實驗室學長引導我們進行 SAR ADC 的模擬，運用 Hspice 模擬各個子電路、設計規格。參與專題的期間，體認到實務上的非理想效應，與課堂中的理論，形成強烈的對比，也因此我們的專題題目訂為「A 13-bit 5 MS/s SAR ADC With kT/C

Noise Cancellation」，針對 kT/C noise 進行改善。不同於傳統，透過大的取樣電容降低 kT/C noise，嘗試運用新穎的方法，抑制 kT/C noise 對輸入訊號的干擾。從原先的大的取樣電容模擬，到降低 10 倍電容；從 10bit 到 13bit SAR ADC 的模擬中遇到的困難都有賴於實驗室學長以及隊友鄒忠穎的幫忙，並配合每週實驗室的 meeting，接受謝志成老師的指導，逐步完成本次專題，實作出一顆有功能的 IC。最後再次感謝隊友鄒忠穎幫忙、謝志成老師、實驗室學長姐的指導。

七、 參考文獻

[1] C. Liu et al., ” A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure,” in IEEE Journal of Solid-State Circuits, VOL. 45, NO. 4, April 2010, DOI: 10.1109/JSSC.3020.2042254.

[2] J. Liu et al., “A 13-bit 0.005-mm2 40-MS/s SAR ADC With kT/C Noise Cancellation,” in IEEE Journal of Solid-State Circuits, VOL. 55, NO. 12, December 2020, DOI: 10.1109/JSSC.2020.3016656