

# A 13-bit 5 MS/s SAR ADC With kT/C Noise Cancellation

## 一個有熱雜訊消除的每秒五百萬次採樣之13位元循序漸進式類比數位轉換器



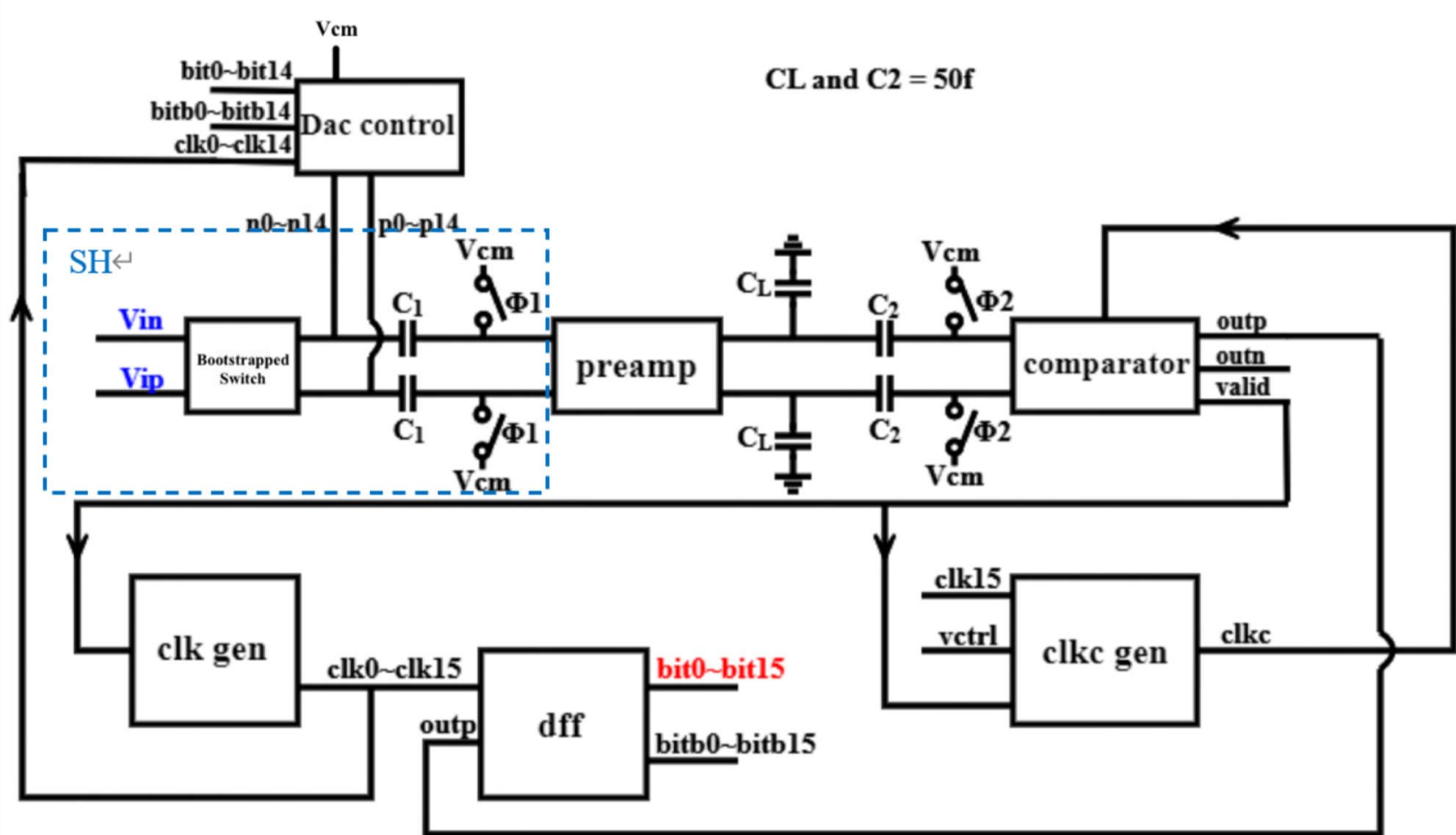
組別：A221 指導教授：謝志成 組員：陳柏瑋、鄒忠穎

### 前言

中高解析度的ADC經常受到來自元件造成的非理想效應導致性能表現下降，如本文主要對於熱雜訊(kT/C noise)的消除做設計。熱雜訊來源於電容器上一定數量電荷的熱力學波動造成，一旦電容器與電路導體斷開連接，便會產生signal power 為kT/C的熱雜訊儲存在電容上。此熱雜訊將會對訊號產生干擾，降低ADC解析度。本專題採用[2]之kT/C noise Cancellation 電路架構，以降低熱雜訊所造成的干擾。

### 電路架構

圖(一)為全部電路之Block Diagram，電路的外接輸入為Vin，Vip之差分信號(differential input)、vctrl，以及外接時序之控制。其中vctrl訊號為clk\_gen這個block的輸入，用不同電壓控制不同corner所需要的clk訊號長短；電路之輸出為bit0~bit15共16個bit，包含三個redundant bits。SH(Sample and Hold)電路，用以取樣以及維持輸入訊號；DAC control電路在每次比較完，切換SH中取樣電容的bottom plate電壓；preamp電路則是設計用來消除熱雜訊之干擾，且有助於抑制kickback noise以及後端電路的input referred noise；comparator latch電路用來比較n端與p端電壓之大小並輸出結果；clk gen電路產生clk的時序訊號決定comparator latch電路何時比較；clk gen電路產生clk0到clk15的時序訊號控制dff電路輸出bit0到bit15之結果；dff電路接收comparator latch輸出訊號與clk gen輸出訊號後輸出bit0到bit15之數位轉換結果。



圖(一) 電路之Total Block  
(資料來源：自身構圖)

### kT/C noise Cancellation 原理

SAR ADC在SH電路中會由於電容與開關的切換產生熱雜訊影響比較結果，因此本架構針對此熱雜訊做處理，使ADC解出的數位訊號等效上沒有輸入端電容產生的熱雜訊訊號。

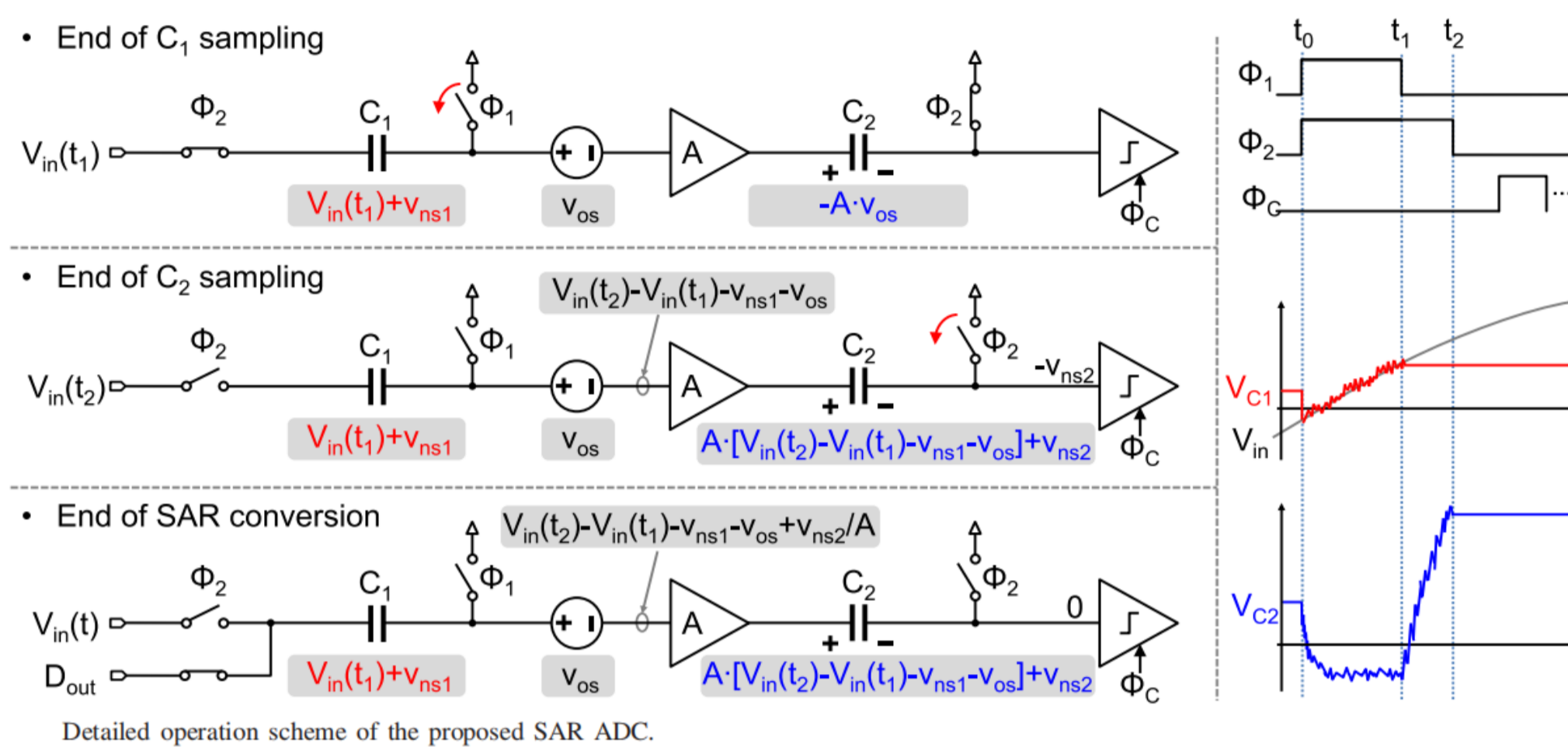
圖(二)將說明消除雜訊之原理，根據不同時脈 $\phi_1$ 、 $\phi_2$ 的控制分為三個階段說明：

第一階段，也就是在時間點 $t_1$ ， $\phi_1$ 由high變為low時，preamp前的開關OFF，此時 $C_1$ 電容sample到的電壓為 $V_{in}(t_1)$ 與當開關OFF所導致的熱雜訊 $V_{ns1}$ ， $V_{os}$ 則為因電路製程上不匹配(mismatch)導致的offset電壓。

第二階段為時間點 $t_2$ 時，此時 $\phi_2$ 由high變為low，preamp後的開關OFF，連接 $V_{in}$ 之開關也OFF，停止訊號輸入。假設preamp的gain為A，此時 $C_2$ 電容sample到的電壓為 $A[V_{in}(t_2) - V_{in}(t_1) - V_{ns1} - V_{os}]$ 加上由於開關OFF造成之熱雜訊 $V_{ns2}$ 。對於最右邊的comparator latch來說，comparator latch之輸入訊號量值則為 $A[V_{in}(t_2) + V_{ns2}]$ 。

### kT/C noise Cancellation 原理

第三階段為比較階段，comparator latch開始進行每個bit的比較。當全部bit比較結束後，藉由電容跨壓會維持的特性，ADC解出的 $D_{out}$ 等效上是 $V_{in}(t_2) + V_{ns2}/A$ 的類比訊號轉換成的數位訊號，可以看到 $V_{ns1}$ 被完全消除且 $V_{ns2}$ 被縮小A倍，由此達到熱雜訊消除的效果。



圖(二) kT/C noise Cancellation原理  
(資料來源：參考文獻[2])

### 模擬結果

(Sampling frequency = 5M, 1024points, 50°C)

Part1: ENOB of SAR ADC without noise

	TT	SS	FF	FS	SF
ENOB	13.2055	13.1053	13.0293	13.0134	13.1316

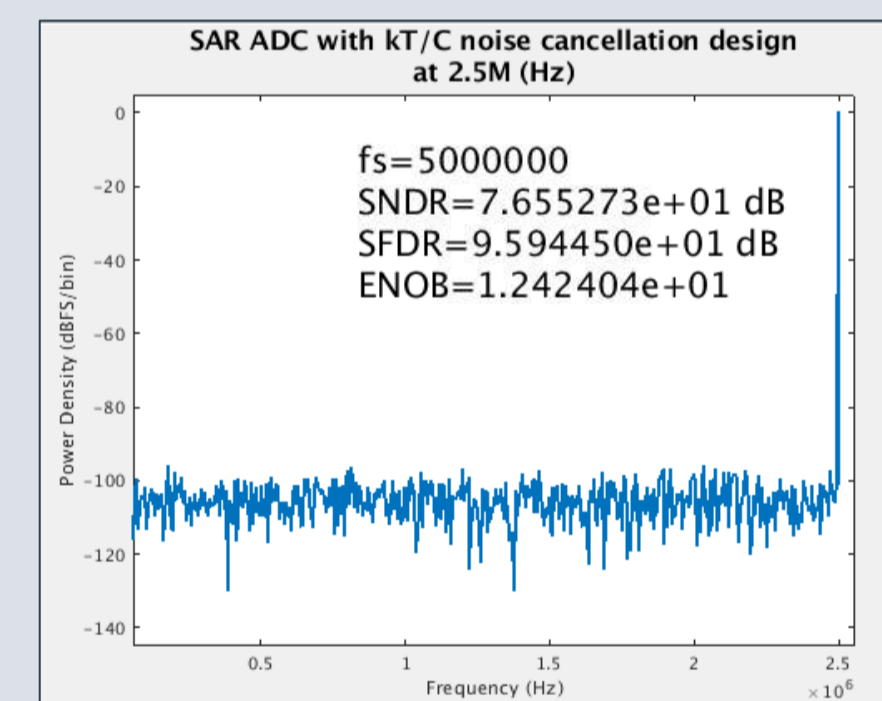
Part2: ENOB of SAR ADC with noise

i. Without kT/C noise Cancellation design

	TT(fin=2.5M)	TT(fin=1M)
ENOB	12.0387	11.9913

ii. With kT/C noise Cancellation design

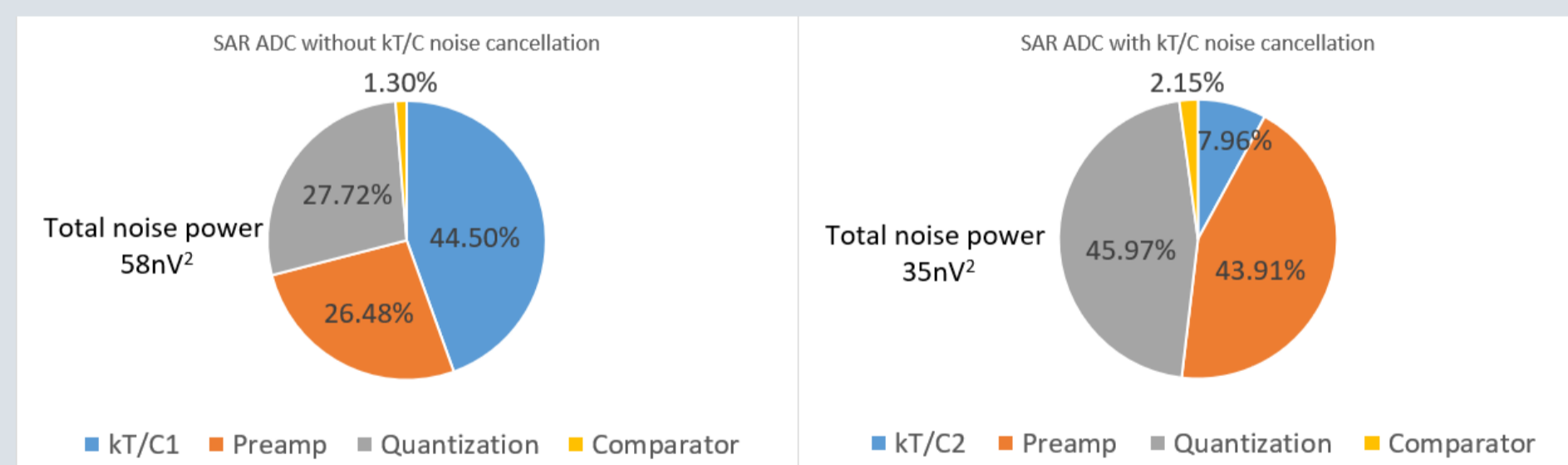
	TT(fin=2.5M)	TT(fin=1M)
ENOB	12.424	12.412



Part3: Power consumption

	Total	Preamp	SH	Dac Control	Comparator Latch	Others
Power(mW)	0.4907	0.3452	0.0022	0.0221	0.0581	0.0631

Part4: Noise comparison between SAR ADC with and without kT/C noise cancellation



### 結論

由模擬結果可以發現在相同大小取樣電容下此架構對比傳統的SAR ADC在加入kT/C noise cancellation technique後ENOB上升了大約0.4。傳統SAR ADC架構下，若想壓抑kT/C noise所造成的干擾需更大的input取樣電容、所占的晶片面積，而此架構用較少的額外電路達成kT/C noise消除之效果並減少input取樣電容之大小，減少所需面積。此架構之顯著缺點則在於preamp所消耗的額外功率，由模擬結果，preamp所消耗的功率佔全部電路所消耗功率的大約百分之七十。本次參考論文所引述40nm製程的kT/C Cancellation架構在T18製程中也能達到熱雜訊消除的效果，功率消耗與解析度的取捨則需根據設計者的需求來決定。

### 參考文獻

[1] C. Liu et al., "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure," in IEEE Journal of Solid-State Circuits, VOL. 45, NO. 4, April 2010, DOI: 10.1109/JSSC.2020.2042254.  
[2] J. Liu et al., "A 13-bit 0.005-mm<sup>2</sup> 40-MS/s SAR ADC With kT/C Noise Cancellation," in IEEE Journal of Solid-State Circuits, VOL. 55, NO. 12, December 2020, DOI: 10.1109/JSSC.2020.3016656