

國立清華大學 電機工程學系

實作專題研究成果摘要

A 64x64 CMOS Image Sensor Integrating
3T-APS and PWM Pixel Sensor Technology with
Single-Slope ADC and 10-bit Resolution

一個整合3T-主動式像素及脈衝寬度調變像素並
採用單陡坡類比數位轉換器與10位元解析度的
64x64互補式場效電晶體影像感測器

專題領域：系統領域

組 別：B449

指導教授：謝志成 教授

組員姓名：吳曼慈、陳奕禎

研究期間：2024年1月至2025年1月止，共12個月

一、 報告摘要

在深度學習演算法的影像處理中，線性響應 (Linear response) 至關重要，我們期望影像感測器 (image sensor) 的光照強度能與其輸出呈現線性關係。根據內部像素電路 (pixel circuit) 的輸出特性，影像感測器可分為電壓域 (voltage domain) 與時域 (time domain) 兩類。我們選擇 voltage domain pixel 中結構相對簡單的 3T-主動式像素感測器 (Three-transistor active pixel sensor, 3T-APS, 以下簡稱 3T pixel) 以及 time domain pixel 中常見的脈衝寬度調變像素感測器 (Pulse-width modulation pixel sensor, 以下簡稱 PWM pixel)。兩者各使用 64×32 個 pixel 組成一個 64×64 的像素陣列 (pixel array)，像素間距 (pitch) 為 $7 \mu\text{m}$ ，一幀時間 (frame time) 為 $806.4 \mu\text{s}$ 。在讀出電路中，將兩類 pixel 的輸出轉換為 10 位元的數位編碼 (digital code)，並採用滾動式快門 (rolling shutter) 模式進行讀出。研究目標是針對兩種電路進行優化，以實現最大線性範圍及填充係數 (fill factor)，並比較兩者在線性度與後續成像效果上的差異。

在 3T pixel 部分，其透過發光二極體 (photodiode) 將不同光照強度轉換為電壓，並利用源極跟隨電路 (source follower) 設計，將 pixel output 以 voltage domain 的形式讀出，因此會需要用到一個單陡坡類比數位轉換器 (Single-Slope ADC) 來將訊號轉換成 time domain。此外，由於每條列 (column) 都各自擁有一個 Single-Slope ADC，因此為避免各 column 間因 ADC 內部比較器 (comparator) 的偏移誤差 (offset mismatch) 而影響線性度表現，我們額外加上了自動偏移歸零校正機制 (Auto-Zeroing)，以校正各 column 的 offset mismatch。

在 PWM pixel 部分，亦是透過 photodiode 將光照強度轉為電壓，並且利用 pixel 本身內部 comparator 的設計將輸出以 time domain 形式讀出。其 comparator 採用反向遞減 (backward ramping) 操作方式，將 photodiode 電壓與參考電壓比較，並利用二極體連接 (diode-connected) 方式可使訊號不受製程參數 V_{th} 的影響，實現閾值變動消除 (Threshold variation cancelling, TVC)。此外，我們在傳統 PWM pixel 中增加了 diode-connected 的 NMOS，提升 comparator 的轉態電壓，使轉態時內部的 P、NMOS 更易操作於飽和區 (saturation region)，進而提升線性範圍。

在專題研究的過程中，我們完成了電路設計與優化，以及最終晶片 layout。在 layout 優化方面，我們在類比電路外圍加上 guard ring 來隔絕數位電路影響，並針對類比訊號的加入穩壓電容。另外，藉由補上 dummy 的方式，使各 column 間的寄生電容差異變小，以降低對於線性度表現的影響。模擬階段，我們利用最佳擬合法 (Best-fit method) 計算積分非線性曲線 (integral nonlinearity, INL) 作為線性度指標。在 post-sim TT corner 下，3T pixel 可達到 ± 1.66 LSB 的線性度，而 PWM pixel 則達到 ± 4.21 LSB 的線性度。目前晶片下線以及 PCB 板 layout 皆已完成，等待取得實體晶片後，將進行後續量測工作。

二、 報告內容

1. 研究背景

互補式場效電晶體影像感測器 (CMOS image sensor, CIS) 是現代科技中不可或缺的元件，廣泛運用於智慧手機、自動駕駛和醫療影像等領域，隨著科技進步，CIS 在高解析度、低功耗和小型化方面顯著提升，支持物聯網 (IoT)、人工智慧 (AI) 等應用的發展。其中，單位像素感測器 (pixel sensor) 有多種架構，3T-主動式像素感測器 (Three-transistor active pixel sensor, 3T-APS, 以下簡稱 3T pixel) 是一種傳統且成熟的技術，具有結構簡單和高信噪比 (SNR) 的優點，而脈衝寬度調變像素感測器 (Pulse-width modulation pixel sensor, 以下簡稱 PWM pixel)，則在過去研究中已具備低功耗優勢，同時擁有高動態範圍 (HDR) 及高影像品質的線性反應 (LR)。

2. 研究目的

在此專題中，我們保留 3T pixel 架構簡單的優點，並在傳統 PWM pixel 電路中額外加入一顆二極體接法電晶體 (diode-connected MOS)，藉此提高其線性度表現，最終將兩種不同的 pixel 整合在 64x64 的像素陣列 (pixel array) 上，同時考量到兩者在讀出電路的不同，希望比較兩種 pixel 在 1.8V 操作電壓下，以 10 位元解析度，其輸出線性度以及後續成像表現上的差異。

3. 研究方法

(1) 設計流程

- a. 了解 3T pixel 與 PWM pixel 電路特性及操作原理。
- b. 針對兩種 pixel 各自的特性和預計達成的規格，分析並決定架構。
- c. 根據系統所需規格進行各子電路的分析與設計。
- d. 利用 Hspice 完成 pre-sim，驗證電路各項規格符合預期。
- e. 使用 Cadence 逐步完成各子電路的佈局，並通過 DRC、LVS、PEX 檢測。
- f. 利用 Hspice 完成 post-sim，驗證電路與 pre-sim 結果相符。

(2) 架構簡介

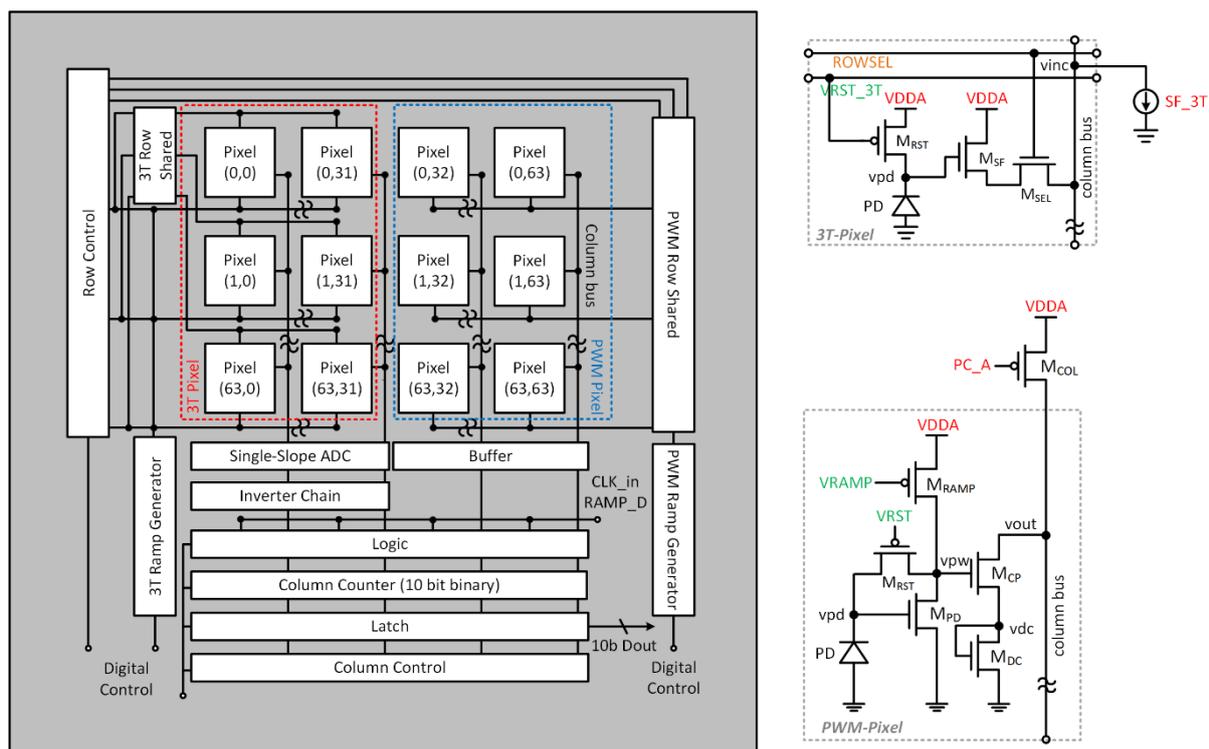


圖 1. 系統架構圖與 Pixel 內部電路

本次晶片架構含有 64x64 的 pixel array，分為左半部的 3T pixel 和右半部的 PWM pixel（各為 64x32 的 pixel array）。圖 1 左為兩種 pixel 內部電路架構，左上 3T pixel 由三個電晶體所組成，曝光結束時，透過 turn on Msel，使 M_{SF} 與 column bus 上的電流源形成 source follower，將 vinc 訊號讀出；左下則為 PWM pixel，M_{ramp} 與 M_{pd} 形成 pixel 內部比較器，可輸出 time domain 訊號 vout，此外，M_{dc} 為額外加入的 diode-connected MOS，有助於提高轉態電壓，增加 PWM pixel 線性操作區間。

(3) 讀出電路操作

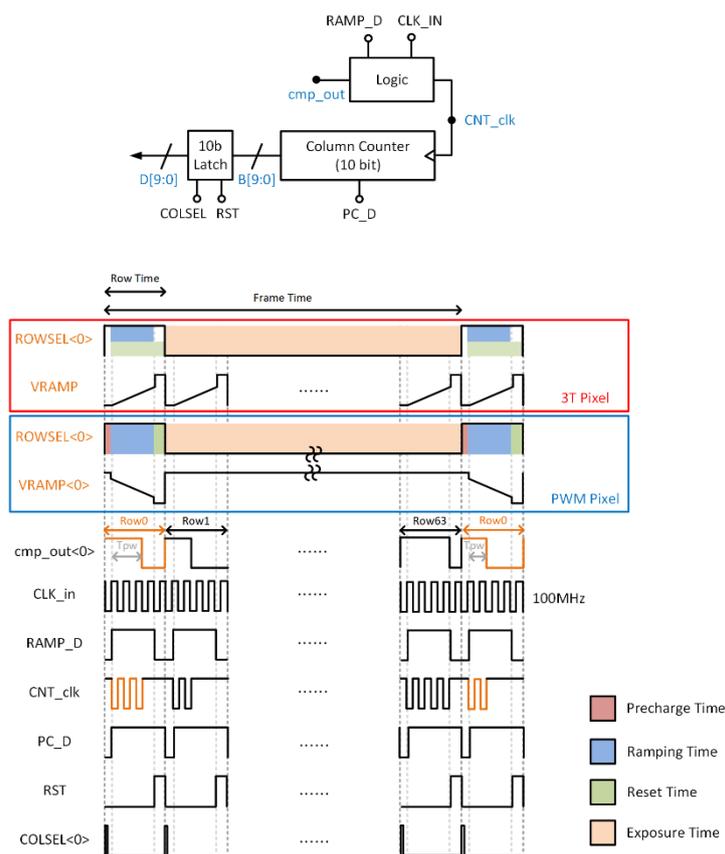


圖 2. 讀出電路操作時序圖

本研究採用滾動式快門（rolling shutter）的讀出方式，因此 $rowsel<n>$ 會依序選擇不同的 row 進行讀出操作，圖 2 以 row0 為例說明流程。

- 3T pixel 操作：3T pixel 的輸出為 voltage domain 訊號，我們使用 Single-Slope ADC 將其轉換為 time domain 的 pulse-width signal，其中 VRAMP 是一個輸入到 ADC 的向上 ramping 訊號。
- PWM pixel 操作：PWM pixel 直接將 VRAMP<n> 訊號輸入每個 pixel，並透過內部的比較器生成 pulse-width signal 作為輸出。
- Pulse width 與曝光強度變化：由於操作特性不同，3T pixel 的 pulse width 會隨曝光強度增加而延長，而 PWM pixel 則會隨曝光強度增加而縮短。

兩種 pixel 完成各自操作後，會分別產生每個 column 的 pulse-width signal，即 cmp_out 。後續的 column 讀出電路對 3T pixel 和 PWM pixel 皆相同。使用 100MHz 的時脈訊號，由 Logic 電路在 cmp_out 脈衝範圍內定義 CNT_clk，並通過 column counter 將其轉換為 10-bit code，結果儲存於 latch 中，最後透過 $colsel<n>$ 依序讀出 row0 中每個 column 的結果。

4. 研究結果

(1) 電路線性度

● 模擬方法

由於全電路的模擬需耗費大量運算資源，我們將 pixel array 簡化成 3x3 的九個點模擬，最終將結果標準化進行線性度比較。在 Hspice 模擬過程中，將 pixel 的 vpd 節點給定 50fF 的電容，並把範圍 14-62pA 的光電流 (Ipd) 均分成九等分，給予不同光電流來模擬 3x3 pixel array 的照光情形，最後將 9 個點分別讀出的 10-bit 輸出訊號，對光電流進行作圖，利用 Excel 與 Matlab 軟體，透過最小平方法找出迴歸直線作為理想直線，再計算出實際數據曲線與理想直線之間的最佳擬合 (bestfit) 微分非線性曲線 (differential nonlinearity, DNL)，以及積分非線性曲線 (integral nonlinearity, INL)，並對不同 corner 的 INL_bestfit 結果進行比較。

● 模擬結果

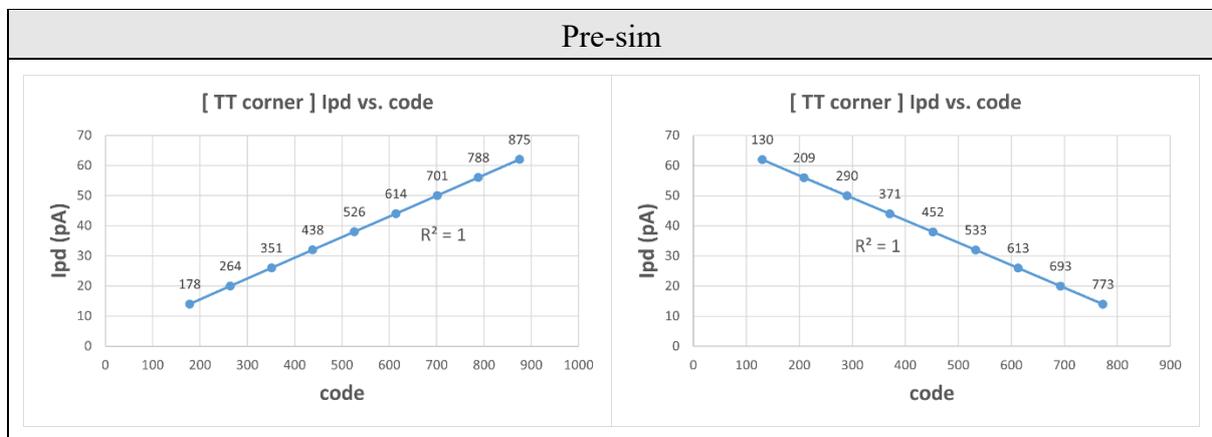


圖 3. Pre-sim : 3T pixel (左) 與 PWM pixel (右) 10-bit 輸出訊號隨光電流變化

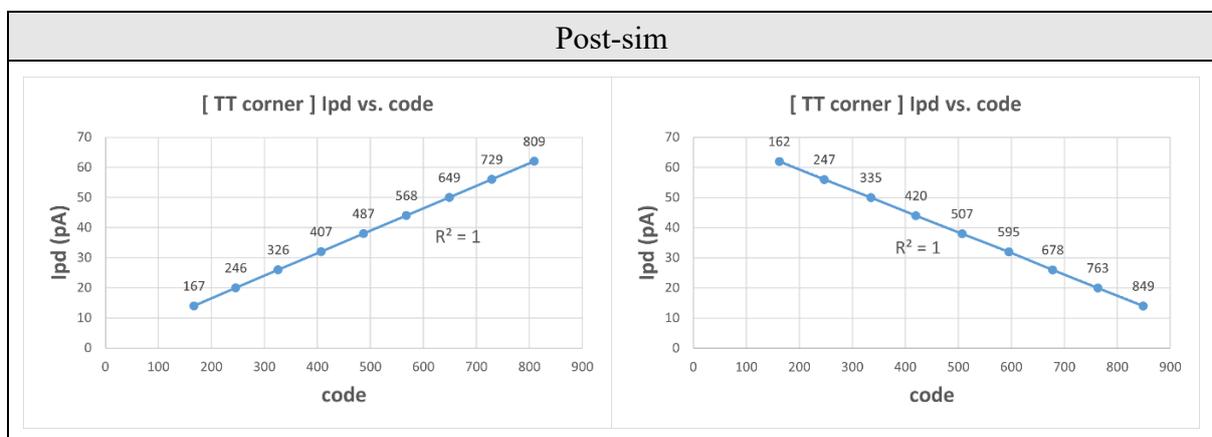


圖 4. Post-sim : 3T pixel (左) 與 PWM pixel (右) 10-bit 輸出訊號隨光電流變化

表 1. 3T pixel - pre-sim 與 post-sim 結果比較表

INL_bestfit (Unit : LSB)	TT	FF	FS	SF	SS
Pre-sim	±1.40	±3.02	±1.15	±5.22	±2.24
Post-sim	±1.66	±2.66	±1.25	±6.42	±2.62

表 2. PWM pixel - pre-sim 與 post-sim 結果比較表

INL_bestfit (Unit : LSB)	TT	FF	FS	SF	SS
Pre-sim	±1.52	±3.95	±2.71	±1.47	±3.31
Post-sim	±4.21	±4.43	±3.81	±3.92	±3.64

表 1 紀錄了 3T pixel 各 corner 下的以原點為中心的 INL 最大範圍，結果顯示不同光電流下所讀出的 code，在 TT corner 可達到±1.66 LSB 的線性度。比較表中 pre-sim 與 post-sim 的線性度可發現，post-sim 普遍較差，主要原因可能在於 3T pixel 架構中 column shared circuit 所用到的 single slope ADC，每條 column 中 OP 負端的寄生電容有著些微差異，影響 cmp_out 的 pulse 長度，導致表現不如 pre-sim。

表 2 紀錄了 PWM pixel 各 corner 下的以原點為中心的 INL 最大範圍，結果顯示在 TT corner 可達到±4.21 LSB 的線性度。比較 pre-sim 與 post-sim 差異，post-sim 結果皆較差，主要原因是我們在 pre-sim 中 column bus 有加上 200fF 的負載電容來模擬寄生電容的效果，但 post-sim 時實際寄生電容不到我們的預期，約為 100fF 左右，導致 PWM pixel 中的 pixel 輸出訊號 vout 被下拉的速度與預期的有所差異，進而影響到最終線性度的表現。

(2) 佈局平面圖

Chip Size : 1200 x 1200 μm^2

Transistor / Gate Count : 50996 transistors

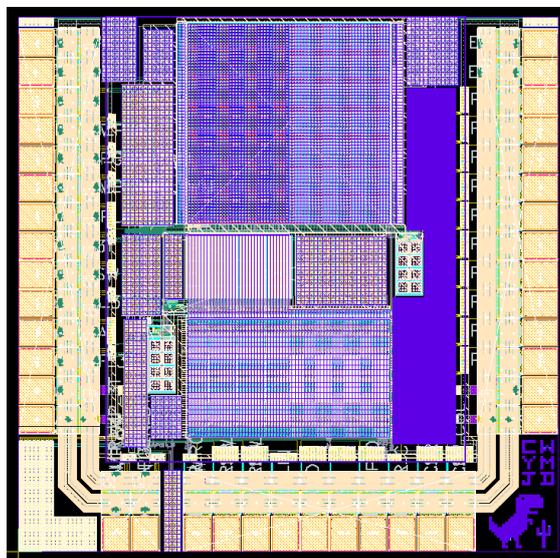


圖 5. 佈局平面圖

(3) 預計規格列表

表 3. 預計規格列表

	Spec	Pre-sim (TT)	Post-sim (TT)
CMOS Technology	0.18 um	0.18 um	0.18 um
Supply	1.8V	1.8V	1.8V
Pixel Array Size	64x64	64x64	64x64
Pixel Count	4096	4096	4096
Pixel Pitch (um)	7	-	7
Fill Factor	-	-	3T pixel : 34.19% PWM pixel : 13.63%
Counter	10-bit	10-bit	10-bit
Max. Frequency	≥ 100 MHz	100 MHz	100 MHz
Chip Size (mm ²)	≤ 1.2x1.2	-	1.2x1.2
Frame Rate (fps)	1240	1240	1240
Power Dissipation (uW)	-	2.001	2.447

5. 總結

表 4. 歷屆影像感測器設計比較表

	This work	110 上學年度	111 上學年度
CMOS Technology	0.18 um	0.18 um	0.18 um
Supply	1.8V	3.3V / 1.8V	3.3V / 1.8V
Pixel Array Size	64x64	32x64	64x64
Pixel Types	3T-APS + PWM (w/ diode-connected MOS)	3T-APS + PWM	PWM (w/ diode- connected MOS)

本專題成功設計並整合了一個3T-APS與PWM雙像素架構的CMOS影像感測器，使用0.18 μm製程技術與單陡坡類比數位轉換器，實現了10位元解析度的64x64 pixel array。相較於歷屆的專題研究，本次設計將全電路操作於1.8V，並在PWM pixel中加入diode-connected MOS，以提升線性度表現。透過比較不同pixel架構下的性能，3T pixel與PWM pixel在TT corner分別達到post-sim±1.66 LSB與±4.21 LSB的線性度。

兩種pixel類型各有優缺點：3T pixel具有簡單的架構設計，單一pixel的fill factor達34.19%，遠高於PWM pixel的13.63%，但因讀出電路需使用ADC進行電壓轉換，增加了佈局的面積需求；相對而言，PWM pixel的輸出為pulse-width signal，簡化了讀出電路並節省空間，但因PWM pixel的電路本身較3T pixel複雜，且為提升線性度加入了diode-connected MOS，進一步降低了fill factor。本研究結果驗證了3T pixel與PWM pixel在線性度、電路結構與佈局空間效率上的優劣，並為未來設計應用提供了參考。

三、心得感想

組員一：

這次的專題研究讓我收穫滿滿，從一開始的資料研究到晶片實現，感謝能有這個機會讓我深入體驗到類比電路設計的完整流程。在電路設計階段，我理解到設計並不是單純的數字或理論，而是反覆權衡、找到最佳平衡的過程，很感謝每次 meeting 時教授與學長姐給予的寶貴建議，讓我們可以更清楚設計方向。進到 layout 階段時，更是體會到每個細節都影響了最終結果，尤其是在電路佈局的優化上，學習到了許多以前課堂不曾深入理解的知識，此外，從 pre-sim 到 post-sim 的過程中，寄生效應帶來的變化更是讓我學到很多，對設計的細膩度有了全新的體會。整個專題讓我將理論和實踐結合起來，感受到影像感測器和類比電路的複雜和挑戰，同時也更確定了我對這個領域的興趣。最後，真的很感謝教授和實驗室的學長姐們，謝謝他們在關鍵時刻的幫助與指導，讓我們可以順利完成此次專題研究。

組員二：

在進行專題研究的一開始，我們先看了 CIS 課程相關的課本以及論文，學習了 CMOS image sensor 的相關知識。後續我們開始進行 pre-sim 後，為了理解電路的操作原理，我們也不斷地請教學長姐們，而他們也不厭其煩的回答我們並告訴我們需要注意的事，讓我們能夠更快的進入狀況。當我們在設計並且優化電路時，常常遇到一些不符合我們預期的結果，則需要不斷思考為什麼會有這樣的情形發生，如何跟我們前面所學進行連結並加以改正，才能設計出一個最佳的電路。我們也會在 meeting 時報告模擬的結果以及電路設計上的考量，確認我們自身的想法是否正確，而多虧老師以及博班學長們給予的反饋，我也逐漸掌握到了設計的方向。在完成 pre-sim 之後，我們便開始著手畫 layout 的部分這過程也是十分的艱辛，那陣子每天都需要花好幾個小時在這上面，但也學到了很多需要注意的事情，例如畫 guard ring、I/O PAD 以及分數位區和類比區等等，都是以前修 VLSI 畫 layout 時沒有的經驗。經過這個專題我真的覺得學到了很多，不僅培養我遇到問題思考並解決的能力，也對類比 IC 設計的基礎上累積了更多經驗。特別感謝教授以及實驗室學長姐們的耐心教導，多虧了他們的幫助，使我們能夠順利的完成這次的晶片下線。