

國立清華大學 電機工程學系

實作專題研究成果摘要

A 90nm Voltage Control Oscillator for
quantum computer's phase-locked loop

90 奈米製程下運用於量子電腦鎖相

迴路的壓控震盪器

專題領域：電子領域

組 別：B451

指導教授：徐碩鴻

組員姓名：王芑鈞、陳世衡

研究期間：113年 2 月 19 日至 113年 11 月 17 日止，共 9 個月

一、報告摘要

本專題為針對 PLL 電路架構中的 Voltage-Controlled Oscillator (VCO)進行討論，研究中討論到的 VCO 電路架構包含 push-pull VCO (class B VCO), class C VCO, 以及 push-pull class C VCO。

我們的 supply voltage 為 1.2V，power spec 在 2.5mW 以內，voltage swing 介於-0.35V~0.35V 之間，另外我們在震盪器的輸出端加上兩級的 buffer 與電容，增加 fan-out 的同時讓輸出的波形更加理想，還能夠增加 output power 確保往日後機台能量測到，而我們也在 output 端加上 1uF 的理想電容以便量測。

在我們所設計的電路中，最佳的 tuning range 大約為 2GHz，center freq 最高可以達到約 15GHz。

二、報告內容

1. 研究背景與動機

現代社會中，一台有著數百萬量子比特的量子計算機是熱門研究方向，其運用粒子的量子態能夠同時存在於兩個位置的特性進行計算，強大的運算能力讓量子電腦被視為下一個時代的運算工具，其中會透過 PLL 鎖相迴路作為校正 Local Oscillator，設計穩定量子態的控制電路。

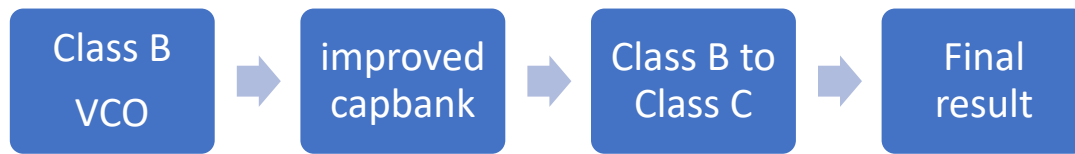
PLL 鎖相迴路是一種控制頻率以及相位的 feedback 控制系統電路，其功能為控制電路間讀取以及輸出間的傳遞訊號保持相位同步，當 PLL 偵測到相位發生改變後會經由 feedback 調節訊號間的相位差，直到重新同步訊號相位，這也是名為「鎖相」的原因。

此專題便是針對 PLL 電路架構中的 VCO 進行討論，目的為分析其架構，找出具有較低功耗以及 Noise 的 VCO 類型，並透過模擬觀察 power, phase noise, FoM 進行後續的驗證。

2. 研究目的

為理解壓控震盪器原理，以及在實作上會遇到的限制和困境，此專題從最基礎的 Class B VCO 架構開始做起，分析電路架構的同時，也認識到基礎架構的侷限性，查找論文並尋找改良的方案，最終我們的目標是在比較各種架構的優缺點後，挑選出最符合需求的架構進行實作，故各種改良架構方案為參考文獻所得，本專題主要目的為先驗證其可行性，再結合各種改良方案做出符合目標的最終電路架構，完成理論與實作結果間的對照分析。

3. 研究流程圖



4. 研究方法

(一) 驗證不同變容器架構下的 VCO 性能差異

製程變異會導致電容值波動，可能使震盪頻率偏離設計值，需透過足夠的 tuning range 確保頻率覆蓋。然而寄生電容限制了可變動的範圍，且較大的 tuning range 會增加 phase noise 與非線性問題。因此如何合理地去平衡 tuning range 與 low phase noise 是設計高效能 VCO 的關鍵，以下將逐一介紹此專題所嘗試的變容器架構：

1. MOS varactor

初始的設計使用 MOS varactor 調整控制電壓，改變 MOSCAP 的 gate 與 substrate 間的跨壓以調整 tank capacitance 和頻率。但此方式在 tuning range 與線性度表現上有限，故後續探索了其他方法調整諧振槽電容。

2. cap. bank – binary weighted array of switched capacitors

為改善前述問題，可在諧振槽中外接電容並串聯 NMOS 作為開關，將控制訊號接至 NMOS 的 gate 端控制開關狀態。一組此結構為一個 bit，根據所需調整範圍增加 bit 數，同步倍增電容值與 NMOS 尺寸，即可透過數位控制訊號調整震盪槽電容。

3. cap. bank – improved differential switched-tuning circuit

原先的 cap bank 架構中，諧振槽的一端至接地將經過兩個 NMOS，其在 NMOS 導通時會引入兩個 r_{ds0} 影響 Q 值。若改為 differential 的串接方式，在 transistor 本身對稱，且 source 與 drain 端電容相等的前提下，相同 size 即可使 Q 值提升至原架構的兩倍，同時改良後的架構在 power 的表現也相比原先有所提升。

(二) 驗證 Class B 與 push-pull Class C 間的 VCO 性能差異

設計 VCO 時，結合高頻譜純度（low phase noise）與低功耗是一大挑戰。而主要的 phase noise 來源為 core transistor 的 flicker noise，這種噪聲源於 transistor 中的捕陷效應，且與流過 channel 的電流 I_{ds} 成正比。若能提升 MOS 電流的利用效率，便能同時改善 phase noise 並降低功耗，所以此部分將針對不同架構 VCO 去探討其電流轉換率（dc-to-RF conversion）的關係：

1. Class B (push-pull) VCO

Class B 架構是最簡單且常用的 VCO 設計，但其 phase noise 和 FOM 表現並不理想，主要原因是其 differential pair 的架構在震盪周期內會週期性進入 triode 區域。當輸出電壓一端下降、另一端上升時，MOS 的 V_{ds} 逐漸減少，而 V_{gs} 增加，當 V_{ds} 小於 $V_{gs} - V_{th}$ 時，元件進入 triode 區域，使輸出端與地之間形成低阻抗的放電通路，降低了整體 Q 值。同時 MOS 在一個週期內的導通時間約占一半（即導通角為 180° ），較長的導通時間降低了 dc-to-RF conversion，使得整體性能受限。

2. push-pull Class C VCO

相比 Class B VCO，Class C 架構透過偏壓 V_{bias} 控制 MOS gate 的電壓，限制 V_{gs} 的震盪幅度，合理選擇輸出電壓的 swing 即可避免 MOS 在震盪周期中進入 triode 區域，也就是說 MOS 的工作區間僅在 turn off 與 saturation 間切換，產生週期性的脈衝電流，提升 dc-to-RF conversion，此特性有效改善了 Class B 結構中較長導通時間對性能的影響。

此外，Class C VCO 中常見的 tail capacitance (C_{tail}) 可穩定 tail current source 的 common mode source voltage，減少高頻噪聲的影響，進一步提升 phase noise 表現。然而過大的 C_{tail} 可能引發 slewing 現象，導致震盪信號的中斷或不穩定，適當選擇 C_{tail} 的大小，既能提升穩定性又能避免此問題，是設計中的重要考量。

5. 研究結果

(一)變容器性能差異

1. 實驗方式

此階段的主要目的是透過比較與驗證，評估原始 varactor 架構、傳統 capbank switch 架構以及 Improved Capbank Switch 架構的改進是否能實現預期目標，包括提升 tuning range、降低 phase noise 和減少功耗。

為進行橫向比較，我們在其餘架構保持不變的前提下，將震盪器中的可變電容部分以三種架構分別做替換，並以中心震盪頻率約10GHz 為基準。透過 ADS 執行 tran、HB 和 HBnoise 模擬，獲取震盪器的功耗、phase noise 和 tuning range，進一步計算其 FOM（Figure of Merit）與 FOMT（Figure of Merit for Tuning）。

2. 實驗結果

Work items	Original structure	3-bit Capbank Switch	3-bit Improved Capbank Switch
VDD(V)	1.2V	1.2V	1.2V
Total current(mA)	0.70	0.56	0.50
Power(mW)	0.84	0.67	0.60
frequency(GHz)	9.39~10.75	9.42~10.77	8.44~11.11
Phase noise(dBc/Hz) (@1MHz offset)	-101.61	-108.60	-109.57
FOM(@10GHz)	-182.36	-190.34	-191.80
FOMT(@10GHz)	-184.97	-192.86	-200.53

Fig1.以不同方式實現可變電容間的性能比較

3. 結論

模擬數據顯示，在相同頻率及 tuning range 下，使用 cap. bank switch 加一組較小 varactor（架構2）相較於僅使用較大 varactor（架構1），其功耗與 phase noise 的表現更佳，因此能獲得更優的 FOM。

此外，架構2與 Improved differential switched-tuning circuit（架構3）的對比也驗證了理論預測：由於架構3減少了 MOS 的使用數量，降低功耗並提升 Q 值，有效降低 phase noise，即使在更大的 tuning range 下仍能維持優異表現。

此階段證實了採用 Improved differential switched-tuning circuit 作為可變電容，能如預期地提升 tuning range 同時抑制 phase noise 的增加，因此最後採取此架構應用於最終設計中以進一步提升 VCO 效能。

(二) Class B 與 push-pull Class C VCO 性能差異

1. 實驗方式

此階段的主要目的是對比並驗證從 Class B VCO 改為 Class C push-pull VCO 後是否能有效降低功耗並減少 phase noise。

為減少干擾並專注於架構性能的差異，此階段未加入 switched capbank 架構，並選擇適當大小的 varactor 以避免對 phase noise 和線性度比較造成過大影響。由於 Class C VCO 適用於高頻操作，而 Class B VCO 更適合中低頻，因此經反覆測試後，選擇以中心震盪頻率約16GHz 進行比較。

模擬採用 ADS 進行 tran、HB 及 HBnoise 分析，評估震盪器的功耗、phase noise，並計算 FOM，此外透過控制訊號電壓與輸出頻率的曲線分析其線性程度，進一步探討兩種架構在高頻操作中的性能差異。

2. 實驗結果

Work items	Class B VCO	Class C push-pull VCO
VDD(V)	1.2V	1.2V
Total current(mA)	0.65	0.36
Power(mW)	0.78	0.43
frequency(GHz)	15.67~16.74	15.86~16.97
Phase noise(dBc/Hz) (@1MHz offset)	-103.92	-105.77
FOM(@16GHz)	-189.08	-193.52

Fig2.Class B 和 Class C VCO 對比

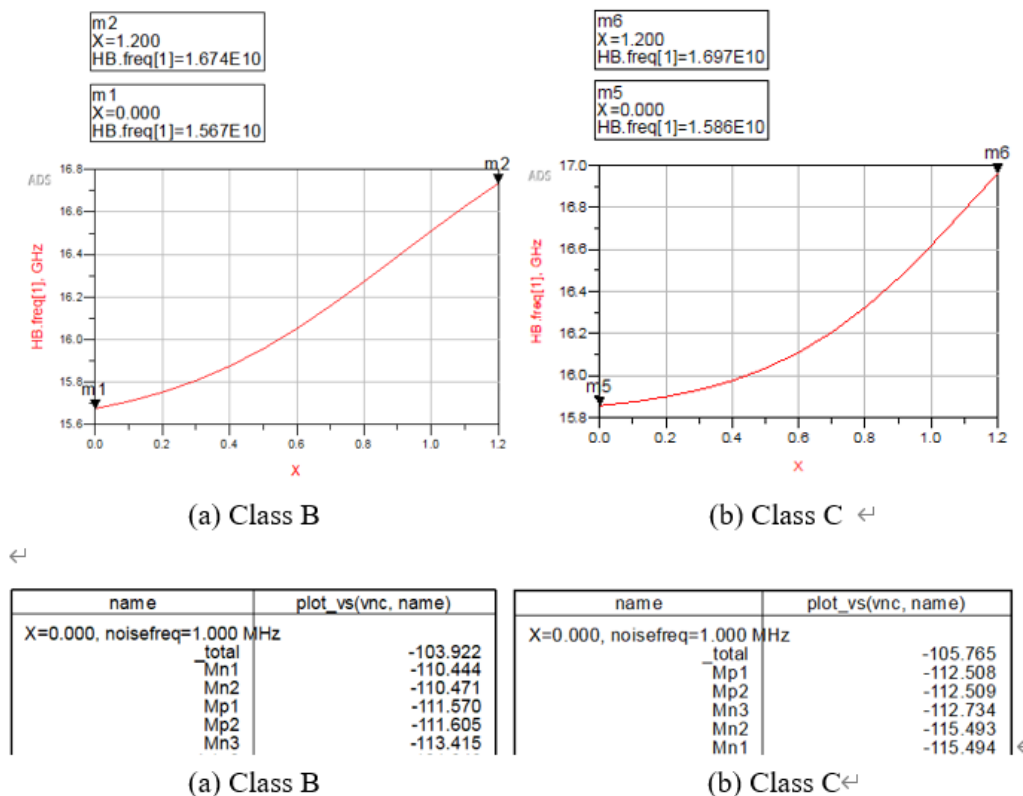


Fig3. Class B 和 Class C VCO 模擬結果

3. 結論

在 center freq. 與 tuning range 相仿的條件下，Class C push-pull VCO 因其 I_{ds} 為 pulse 波形，導通時間短且導通角較小，dc-to-RF conversion 較佳，因此在更低功耗下仍能取得更優的 phase noise 表現，進而獲得更好的 FOM。

從 Fig3. 上方波形的比較可以看出，Class B VCO 相較於 Class C，確實在架構上具備更好的控制訊號與輸出頻率間的線性度，提供了更精確且穩定的頻率調節能力。

而 Fig3. 下方數據則顯示，Class C push-pull VCO 優越的 phase noise 性能主要來自於其對震盪器中 phase noise 主要來源（NMOS 與 PMOS）的改善。通過優化設計，得以控制流經 MOS drain 與 source 端的電流，使得 MOS 僅在震盪週期內較短時間內產生 phase noise，成功降低了整體噪聲。

(三) Final structure

1. 實驗方式

最終架構選擇了 improved cap. bank switch 結合 Class C push-pull VCO，設計過程重點在於優化功耗、震盪頻率和 phase noise。

首先根據90nm 製程和1.2V 的供應電壓，透過偏壓電流 I_{bias} 來控制功耗，並計算輸出震幅以決定等效電阻 R_p ；在選擇電感時，優先選擇高 Q 值以降低功耗，並根據公式計算適當的電感值。

為確保 MOSFET 在飽和區運作，對震盪核心的元件尺寸進行優化，並驗證起震條件 $g_m \times R_p > 2$ ，其中 g_m 包括 PMOS 和 NMOS 的貢獻。

震盪頻率根據公式 $\omega = \frac{1}{\sqrt{LC}}$ 確定，並配置合適的 cap. bank 電容值以達成目標頻段。

在模擬階段，根據 phase noise 和諧波分析結果調整 cap. bank 中電阻和電容的大小，最後加入50Ω 負載和 buffer，確保波形輸出的穩定性與完整性，達成高效能設計目標。

2. 實驗結果

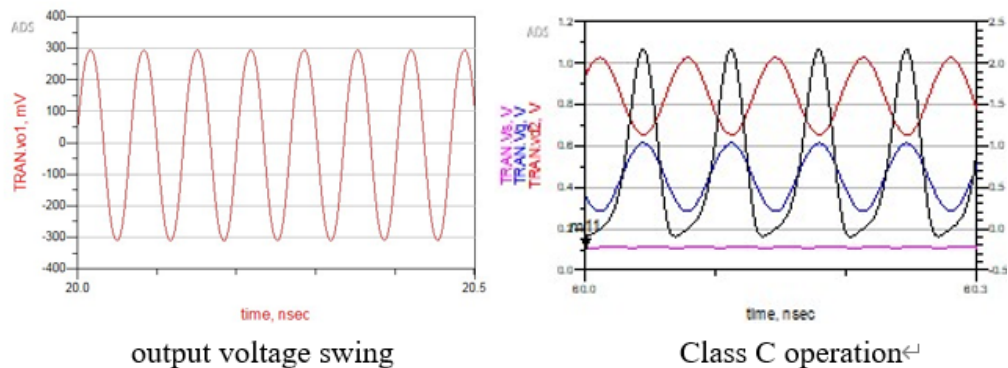


Fig4. voltage swing at each point

VDD(V)	1.2
Total current(mA)	1.5
Power(mW)	1.8
frequency(GHz)	13.56~15.17
Phase noise(dBc/Hz) (@1MHz offset)	-100.549
FOM(@15GHz)	-182.19

Fig5. performance of final structure

3. 結論

Fig4.左側顯示出 VCO 輸出震幅約為0.3V，設計上控制 LC tank 震盪幅度不超過 VDD；右側則確認震盪用 MOS 全程處於 saturation， I_{DS} 呈現 pulse 波型，符合 Class C 操作特性。

而 Fig5.的數據也顯示使用 cap bank 後，VCO 在15GHz 高頻下的 tuning range 約為原先僅使用 varactor 設計的1.5倍，同時改善了 KVCO 值的穩定性，確保控制訊號與頻率之間的關係更線性可靠。

Phase noise 部分因最終架構有加入 buffer，其自帶的雜訊略微影響到 phase noise 的表現，但在操作頻率和 tuning range 皆顯著提升的情況下，整體數值仍維持在可接受範圍內，符合我們對高頻穩定性與性能的設計預期。

6. 總結

本專題透過兩階段的驗證，第一階段確認了使用改良的 improved differential switched-tuning circuit 取代單純以 varactor 作為 cap. bank，能有效提升 tuning range，同時避免 phase noise 增加，為高頻設計提供重要優勢。第二階段則驗證了 Class C VCO 在降低 phase noise 與功耗方面的卓越表現。

結合這兩者的優勢，我們成功設計出一個性能改良的 VCO 架構，特別適用於高頻操作系統。該設計實現了較高的 center freq 與良好 tuning range 間的平衡，同時在功耗與 FoM 表現上明顯優於其他架構。此成果可應用於量子電腦領域的 PLL 模塊，同時確保 low phase noise 以維持量子態的穩定性。

三、心得感想

王芑鈞

感謝徐碩鴻教授讓我有機會參與這次 VCO 設計的專題研究，在這一年的實作過程中，我不僅學習到如何設計一個高效能的振盪器，還深入了解了各種過去沒接觸過的電路元件其特性與在高頻電路中的應用，我從最初對 VCO 概念的模糊認識，到逐步掌握如何根據需求調整 tuning range、降低 phase noise 及 power，我發現設計過程中的每一個步驟都充滿挑戰，透過文獻的查閱與和學長們的討論，我學到了如何選擇合適的架構、設計合適的電容與電感，並根據模擬結果調整參數以達到最佳的效能。

在這過程中，我也學到很多關於電路模擬與實驗驗證的經驗，尤其是關於 Class C push-pull VCO 與傳統架構的對比，這讓我更深刻地理解了如何在設計中平衡不同的需求，舉例來說如何在提高 tuning range 的同時有效控制 noise 並降低 power。而在實作階段，透過與組員的討論與協作，我們一同解決了許多在設計與測試過程中的問題，並成功地達成了設計目標，這讓我做完後有滿滿的成就感。

在此也要特別感謝協助指導我們的耀嘉學長與傑夫學長，他們在這段時間內給予我們無私的幫助，不僅在技術上提供了許多建議，也在我們遇到困難時給予了很多耐心的指導，學長的細心指導與豐富的經驗，讓我們能更快速地掌握設計與實作的技巧，也讓整個專題得以順利完成，

這段經歷對我來說非常寶貴，我將會把學到的知識與經驗應用到未來的學術與工作中並持續精進自己。

陳世衡

感謝徐碩鴻教授提供的機會，讓我們在這兩學期的實作專題有機會能實際投入到類比電路設計的領域中，對這個領域有更深入的了解。也很感謝兩位負責帶領我們的石耀嘉與鄭傑夫學長，兩位學長都很用心的為我們在專題中的學習與研究指引方向，並在我們遇到困難時耐心的回答我們的問題，讓我對類比電路設計所需的知識及整體的設計流程有更完整的了解。

相比之前 AIC 修課時按照著作業給定的 spec 來完成題目，這次的專題讓我們從最初的需求開始一步步地了解我們所設計的電路，在整體設計中所扮演的角色如何，會有怎麼樣的實作上的要求，並且主動去思考要如何達成這些要求，在這個過程中想辦法優化自己所設計的電路，並在綜合考量後作出一些設計上的取捨。在這個過程當中，除了專業知識的訓練之外，在每週 meeting 與學長們討論交流的過程中，慢慢培養了我們發現與解決問題的能力。從一開始只能被動地接受學長們提問，按照要求完成進度，到後來實作一段時間後可以自行發現設計中產生的問題來和學長們討論，雖然仍然有很大的學習進步空間，不過在面對研究課題時習慣與心態上的轉變是我這一年以來的另一大收穫。