

實現降低張弛振盪器的製程/電壓/溫度變異

Achieve Reduction on Process/Voltage/Temperature Variation in Relaxation Oscillator

謝柏儀

指導教授: 黃柏鈞教授

ABSTRACT

製作時脈產生器一直是一個千古的議題，雖然大多數的 clock 都是用石英震盪器所做，優點是準確度高，但缺點是價格昂貴。因此，從幾十年前就開始有人想用震盪器的原理去實作出一個準確性高的 clock，然而，只要是用電路去做就會存在許多潛在的變因使得 clock 隨著時間拉長頻率就會發生偏移，剛開始比較多人用類比電路去實現這一想法，當然結果無可避免的是會產生一些或多或少的頻率變化。

接下來人們就會開始思考一些解決的方式，大致可以分為兩種，一種是較為直接的方式，就是看能不能從電路方面做改進，把頻率變化消除或是降低至可接受的範圍；另一種則是間接的方式，舉例來說，假如某一部分的電路會使得頻率隨著時間推移而逐漸增加，然而另一部分的電路則會使得頻率隨著時間推移而逐漸減少，那麼只要讓兩者的變化量一致便能相互抵消，同樣能夠達到我們想要的目標。

我的作法是遍覽許多的 paper 去了解前人提出的各種電路架構，然後分析與改進前人的電路設計，希望將頻率變化能夠降低至幾個 ppm。

INTRODUCTION

FIG.1顯示鬆弛振盪器的電路圖。振盪是通過反覆對電容 C 進行充電和放電的過程，可以分成四點說明如下：

- (1) 通過 I1 對 C 充電時，電壓 V_{osc} 升高。
- (2) 如果 $V_{osc} > V_{ref}$ ，則比較器(FIG.2)輸出經過兩級 inverter 使振盪器進入放電狀態。
- (3) V_{osc} 在通過 I2 放電時下降。
- (4) 如果 $V_{osc} < V_{ref}$ ，比較器輸出經過兩級 inverter 並且將狀態返回到充電階段。

這邊兩級 inverter 的作用是可以產生一些時間差以及將比較器的輸出轉換為邏輯0/1的電壓去控制 NMOS 導通或關閉，若是電容電壓高於參考電壓，則比較器輸出是1，藉由兩級 inverter 轉換為邏輯1的電壓去控制 NMOS 導通使電容放電；反之，若是電容電壓低於參考電壓，則比較器輸出是0，藉由兩級 inverter 轉換為邏輯0的電壓去控制 NMOS 關閉使電容充電，如此循環反覆產生震盪。

此震盪器操作波形圖如 FIG.3所示，圖中藍色線為 V_{ref} ，而紅色線為 V_{osc} ，可以看到紅色線並非一碰觸到藍色線就開始下降，而是有一小段 t_d 之後才開始下降，這是由於比較器在比出兩者大小之後還須一些反應時間才會開始對電容做放電，也就是從比較器的輸出經過兩級 inverter 到 NMOS gate。

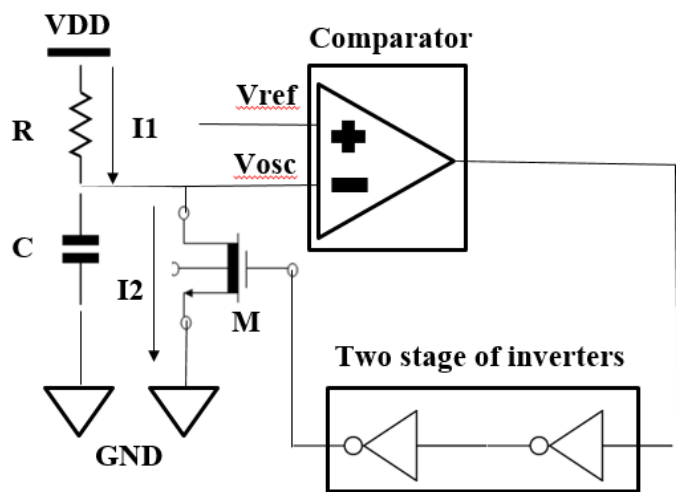


FIG.1

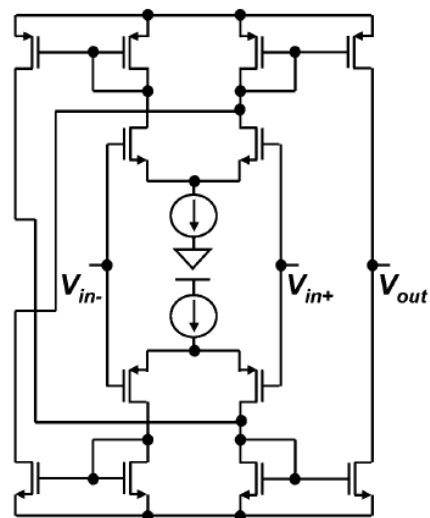


FIG.2

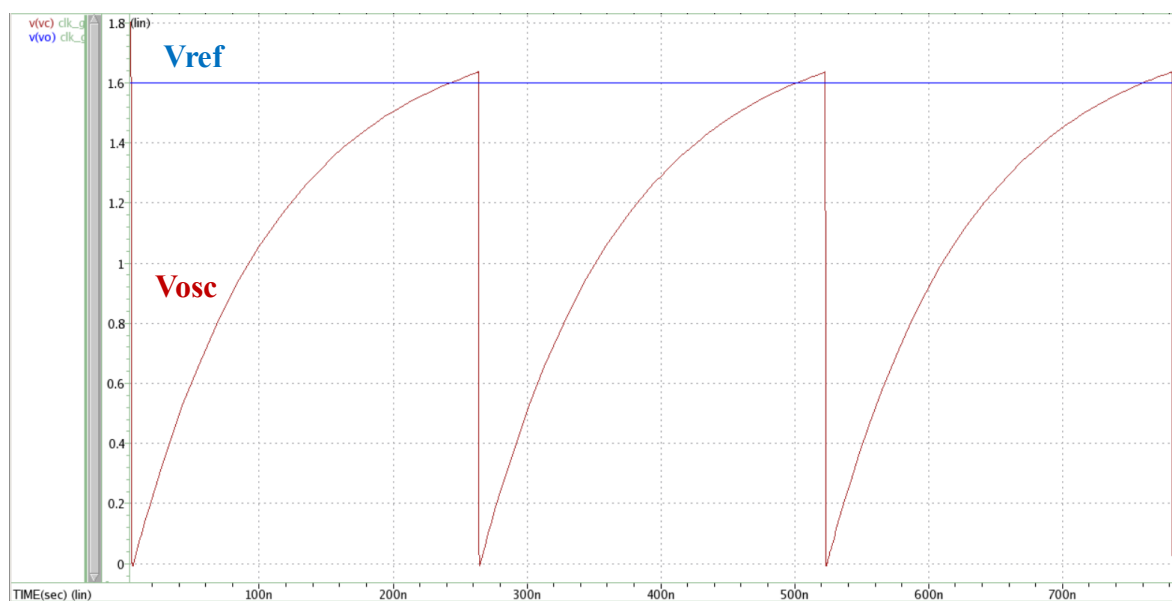


FIG.3

心得感想

這個專題題目是結合電子學和類比電路設計相關課程的應用，原本老師幫我定的這個題目聽起來想說只是課程的延伸而已，應該不是很難，但是實際真正下去做才發現自己還有許多不足之處。以往上課作業大多都只是去跑模擬，沒有認真地去思考分析過一個問題，然後要想說如何去改良電路來解決問題。其中遇到過許多困難，感謝老師和實驗室學長的幫忙與指導，讓我學習到如何去做研究和尋找解決問題的方法。