

Design of a 10-bit 10-MS/s vcm-based SAR ADC embedded with 4-bit
reference ripple cancellation and bootstrapped sample and hold
10位元共同電壓基底逐次逼近類比數位轉換器佐4位元漣波消除與
靴帶取樣保存器

組別：B138

指導教授：謝志成

組員：莊子昀、莊雅婷、陳冠成

Abstract

循續漸近式類比數位轉換器(Successive Approximation Register ADC, SAR ADC)，簡稱 SAR ADC，是一種可將連續類比訊號轉換為離散的數位訊號表示的類比數位轉換器，而此架構利用二分法去將2個類比電壓做逼近，得出最後轉換的數位訊號。優點為面積小、低功耗，適合應用在低功耗和 SOC 等應用，例如：穿戴式裝置、手持裝置或感測器等。

本次架構為使用 [3] 中的解析度10位元的 differential SAR ADC，附加4位元漣波消除及1位元的冗餘位元，並且希望以 T18製程去呈現 [2] 中40nm 製程的漣波消除效果，去分析此原理的優缺點。

漣波(ripple)的成因為在 DAC 端輸入的參考電壓為類比訊號，而此類比訊號會直接疊加在整個 ADC 的原始輸入端上，由於晶片製成在電源線中產生的寄生電感，會嚴重影響到電源輸入電壓的不穩定，導致整個 ADC 會有轉換出錯誤數位訊號的情形，造成解析度嚴重下降，所以我們利用 [2] 中的相減方法去呈現維持解析度。

此次 SAR ADC 為共模電壓基底單調電容開關的架構附加漣波消除的效果，針對2個輸入電壓去逼近到共模電壓去達到解碼的功能，而我們也設計了可以切換是否開啟漣波消除的開關，並且將類比電壓源以100MHz 的 sine 波在1.8伏上下震盪去模擬漣波來觀察消除的效果。

經由模擬觀察到：

- ① 在沒有漣波的情形以及關閉消除機制下，ADC 的解析度 pre-sim 近乎為10位元，post-sim 則比 pre-sim 略下降0.3位元。
- ② 無論是否開啟消除機制，隨著漣波變大，解析度都嚴重下降。
- ③ 開啟消除機制確實會比不開啟得到較高的解析度，但是並無法達到 [2] 中的效果。

雖然此次設計可以改善漣波對於解析度的表現，但是對於效果不佳的問題推測為比較器中漣波機制無法負荷 kickback noise，影響了漣波輸入端，使得消除效果降低。

Introduction

SAR ADC

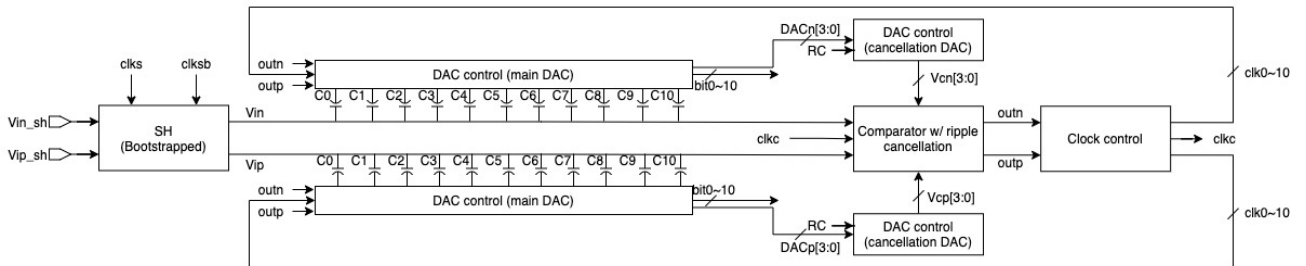
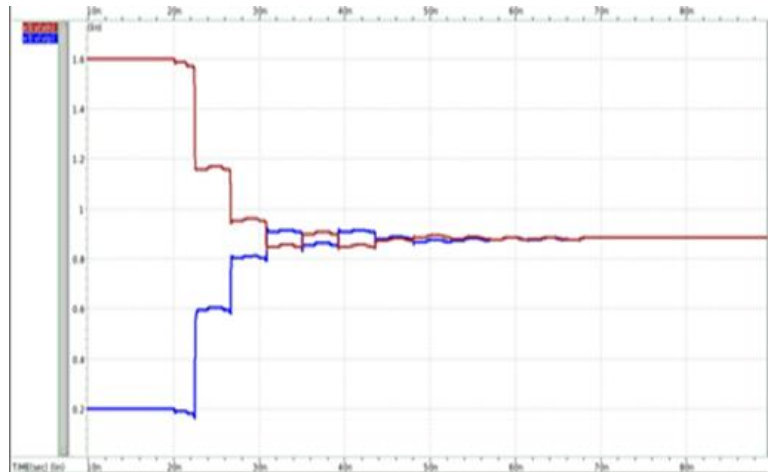


Fig. 1 整體架構圖

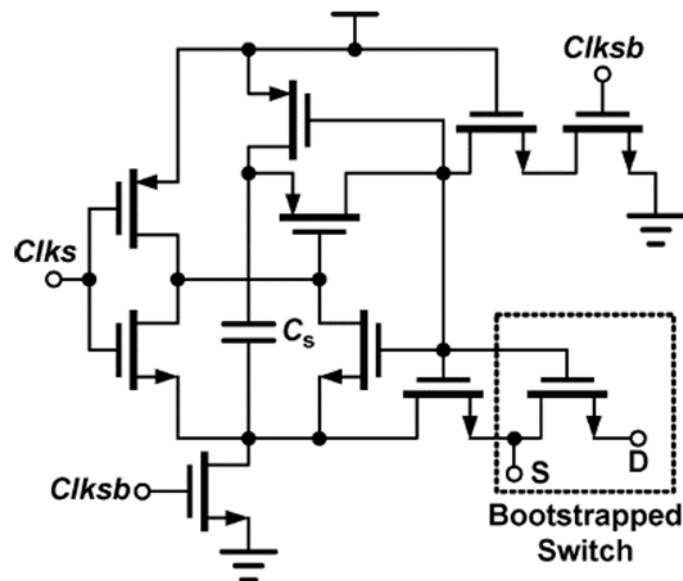
上圖為我們設計的 SAR ADC 架構圖，我們是用 10bit 的 SAR ADC 結合 4bit 的 ripple cancellation bit。

首先，S/H 電路將取樣至 main DAC top plate 後的 input 訊號作為比較器的輸入訊號。每當比較器比出結果時，會使 valid 訊號為 1，讓 clock control 產生對應的 clki 來作為 DAC control 的 clk 訊號，而 DAC control 便會根據比較器的輸出來決定將電容的 bottom plate 切向 VDD 或是 VSS 並輸出 biti，至於 ripple control 的部分，則是藉由 DAC control 的前 4 個 bit 來對 ripple DAC 做對應的切法，以達到消除 reference ripple 的功能。



2 個不同輸入電壓下此次 ADC 的切法

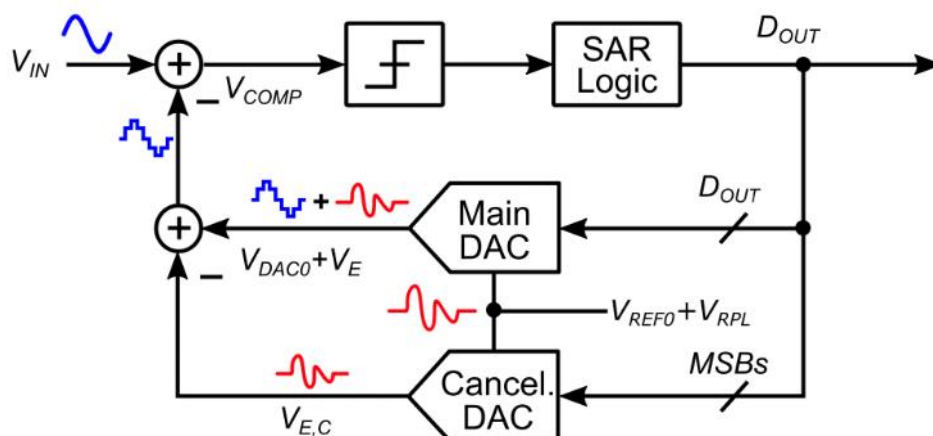
Sample & Hold with bootstrapped



由於在 MOS 關閉時，會有 charge injection 的問題，造成取樣電壓上的誤差，因此，藉由在 MOS 的 gate 端與 source 端間接一個電容，可以穩定 MOS 的 VGS，同時，也可以將 gate 端的電壓提升到 VDD 以上，而這在低電壓的設計中是十分有利的。

Bootstrapped switch 的好處在於，不論輸入多少 input 電壓能夠將電容的跨壓都能 hold 在固定電壓，以確保 hold 電壓的穩定性。

Ripple cancellation



要解決 DAC switching 產生的 reference ripple 因此我們採用參考文獻 [1] 和 [2] 的做法將 SAR logic 產生的結果同時傳給 main DAC 以及 ripple DAC，並在進入比較器前透過比較器的 multi-input pair 來將 ripple 抵銷掉，而根據參考文獻 [1] 的 ripple transfer function，每個 ripple cell 中的電容與作為 gain 的 MOS 皆需要與 main DAC 的電容成比例。

並利用 3 種 switching mode 來穩定電容上的 charge，而我們也設計了可以切換是否 cancel ripple 的開關 (RC 訊號) 來觀察 function work。

Simulation

RC = 0	TT25	FS25	SF25	SS25	FF25
presim					
1M Hz ENOB (bit)	9.9582	9.931	9.8834	9.896	10.0437
4.9M Hz ENOB (bit)	9.88	9.83	9.82	9.82	9.90
postsim					
1M Hz ENOB (bit)	9.5179	9.7179	9.1673	9.5383	9.6276
4.9M Hz ENOB (bit)	9.5018	9.7241	9.1163	9.658	9.5169

5 corners with 1M and 4.9M Hz input frequency of sine wave w/o ripple

上方表格分別為輸入低頻與高頻 input frequency 並且不附加 ripple 電壓與關閉 ripple cancellation 機制的 presim 與 postsim 的數值，而 presim 的 input 電壓 range

為 $\pm 1.77V$ ，postsim 為 $\pm 1.4V$ 。

	RC = 0	RC = 1
presim	8.3794	8.5352
postsim	7.8338	8.0566

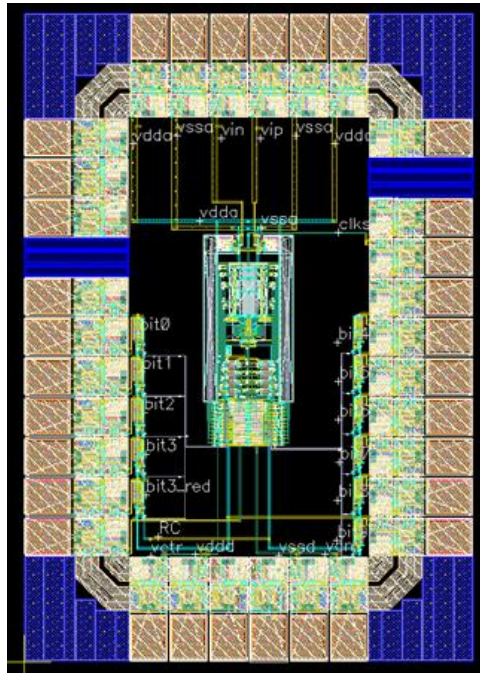
ENOB with 3VLSB ripple voltage sine wave (postsim)

上表為我們在 VDDA 中加入 3VLSB 大小的 ripple sine wave，觀察是否有達到消除 ripple 的功能，雖然開啟 ripple cancellation 機制相較沒開啟的 ENOB 值要大，但我們發現消除的效果沒有非常好。

Conclusion

- 在沒有漣波的情形以及關閉消除機制下，ADC 的解析度 pre-sim 近乎為 10 位元，post-sim 則比 pre-sim 略下降 0.3 位元。
- Post-sim Input range 下降的原因 main dac top plate 的寄生電容較大所以產生 gain loss。
- Ripple cancellation 消除效果不佳，推測是使用 multiple input pair 的比較器產生的 kickback noise 太大導致影響到 multiple input pair 以致跑掉原本設計的 gm 比例。

Layout



心得：

莊子昀：

剛開始接觸類比電路領域時，發現對於電路該如何運作漸漸產生了興趣，也對於每個 mos 都有著自己負責的區塊覺得很有趣，所以就找了謝志成老師做專題研究，也間接接觸整個類比的流程，雖然剛開始對於電路理解還不是很上手，但很謝謝學長老師的細心指導，一步一步教導我們完整理解電路運作與技巧，也很謝謝老師給予此次下線的機會與不厭其煩的教導驕鈍的我，使得在大學生涯就有這個非常特殊的機會，我感到非常珍惜。

莊雅婷：

在這次的專題中，我們完整的走過了設計晶片的整個流程，從一開始的電路設計到繪製 layout，再到晶片下線，最後到 PCB 的設計和後續的量測，整個過程都讓我學習良多，在此非常感謝謝志成教授和實驗室學長姐的指導，同時也很謝謝組員們的互相幫助，經歷過這次的專題，讓我能體驗到設計電路的趣味，雖然時間緊湊，但還是很感謝一路上有大家的幫助，讓我們能夠將設計順利完成。

陳冠成：

在這次的專題中，我們做了類比數位混合訊號的晶片設計與下線，同時也做了晶片用的 PCB 板的設計與下線。這跟我們一般在上課時可能只是單純設計一個簡單電路的大小，畫一個架構的 layout 很不同。因為我們這次是必須去設計整個晶片的系統，需要了解到每個子電路的運作，之間的互動，然後觀察整體的表現是否合乎設計。layout 上也得根據不同電路考慮的點不同，有不一樣的畫法，同時也得思考整體電路的排版以及走線。另外我也有首次接觸到 PCB 板的設計及下線，除了考慮元件走線，也要注意數位及類比訊號的地需要分開，所以鋪銅時也需特別注意，且不同圖層有不同含義，也都需要注意有沒有缺漏或畫錯。總而言之，這是一場新奇且收穫豐富的冒險，謝謝組員們的互助合作，也感謝老師學長的熱情帶領，讓我們有機會找到這無價的知識寶藏。

參考資料：

- [1] Y. Shen et al., "A 10-bit 120-MS/s SAR ADC With Reference Ripple Cancellation Technique," in IEEE Journal of Solid-State Circuits, vol. 55, no. 3, pp. 680-692, March 2020, doi: 10.1109/JSSC.2019.2946215.
- [2] X. Tang et al., "A 10-Bit 100-MS/s SAR ADC with Always-on Reference Ripple Cancellation," 2020 IEEE Symposium on VLSI Circuits, 2020, pp. 1-2, doi: 10.1109/VLSICircuits18222.2020.9162786.
- [3] C. Liu, S. Chang, G. Huang and Y. Lin, "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure," in IEEE Journal of Solid-State Circuits, vol. 45, no. 4, pp. 731-740, April 2010, doi: 10.1109/JSSC.2010.2042254.