

Design of a 10-bit 10-MS/s vcm-based SAR ADC embedded with 4-bit reference ripple cancellation and bootstrapped sample and hold



組別：B138

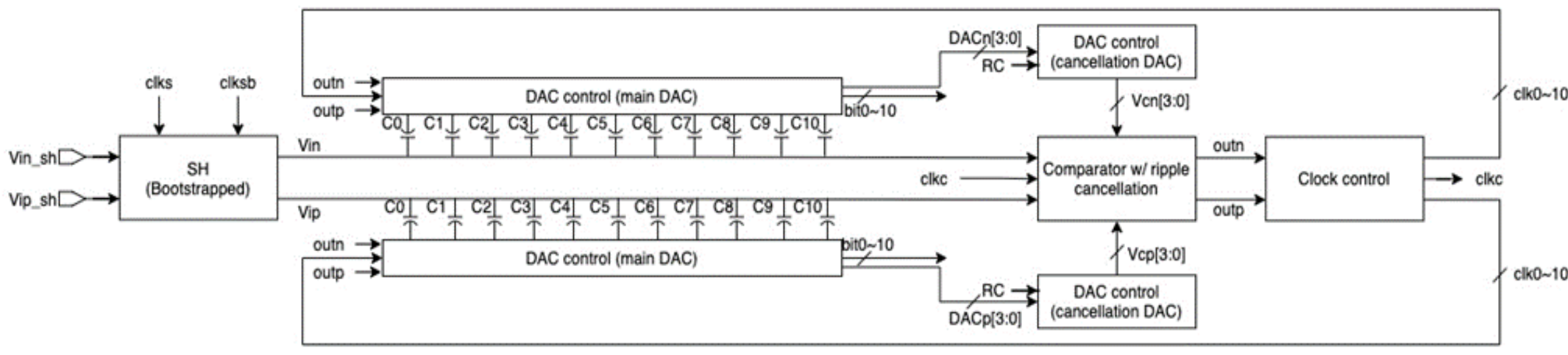
指導教授：謝志成

組員：陳冠成、莊子昀、莊雅婷

Introduction

- SAR ADC 是一種可將連續類比訊號轉換為離散的數位訊號表示的類比數位轉換器，而此架構利用二分法去將2個類比電壓做逼近，得出最後轉換的數位訊號。優點為面積小、低功耗，適合應用在低功耗和SOC等應用。
- 此次實作 SAR ADC 主要是將論文中的 differential SAR ADC 架構改良為 Vcm-based 並且將其他論文的優點整合至其中，分別是 bootstrapped S/H 電路和 ripple cancellation technique。

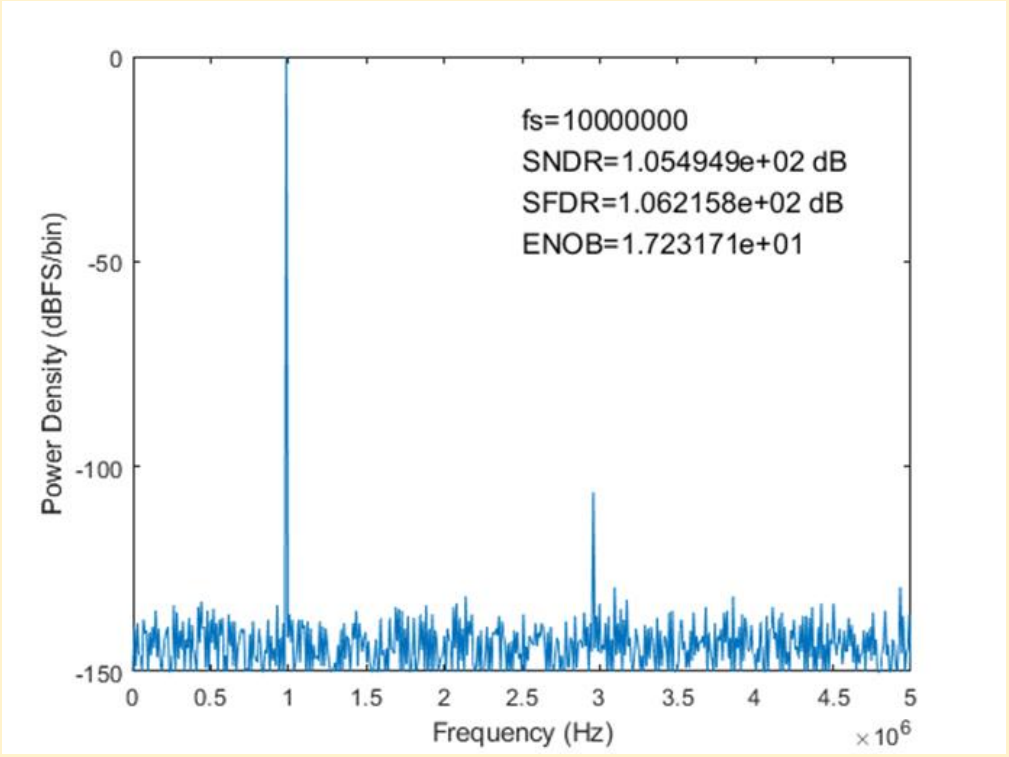
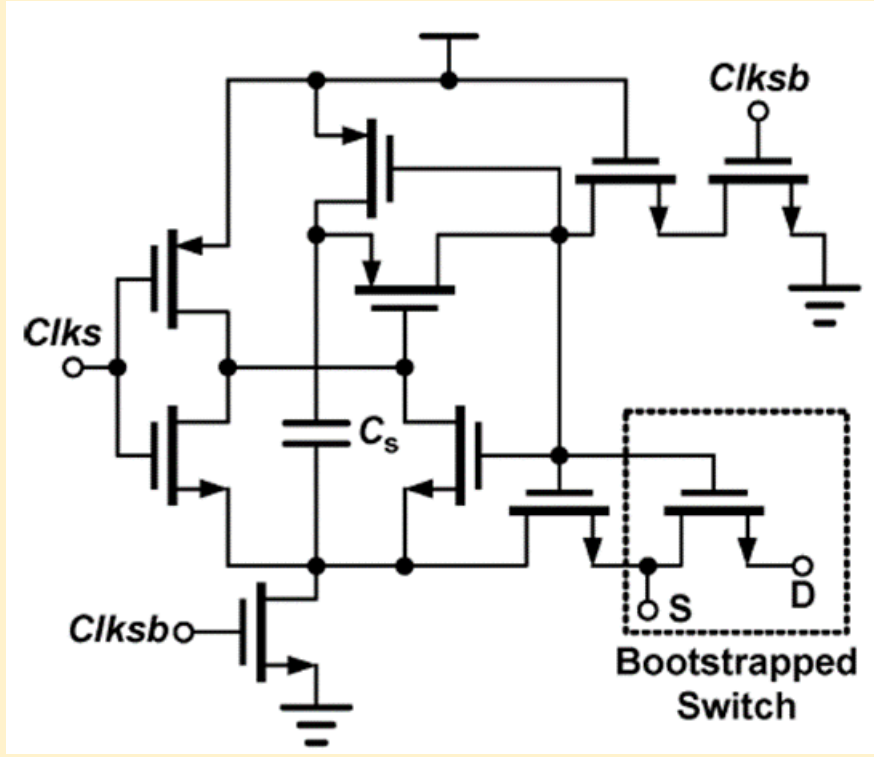
System Design



上圖為我們設計的 SAR ADC 架構圖，我們是用 10bit 的 SAR ADC 結合 4bit 的 ripple cancellation bit。

首先，S/H電路將取樣至 main DAC top plate 後的 input 訊號作為比較器的輸入訊號。每當比較器比出結果時，會使 valid 訊號為1，讓clock control 產生對應的 clki 來作為 DAC control 的clk訊號，而 DAC control 便會根據比較器的輸出來決定將電容的bottom plate 切向 VDD 或是 VSS 並輸出 biti，至於 ripple control 的部分，則是藉由 DAC control 的前4個 bit 來對 ripple DAC 做對應的切法，以達到消除 reference ripple 的功能。

Sample and Hold



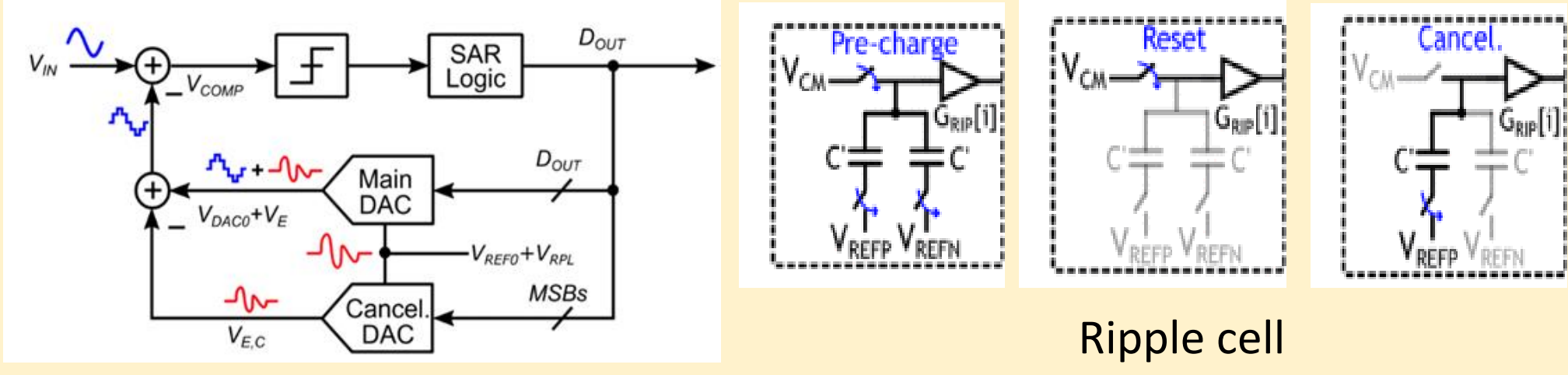
由於在 MOS 關閉時，會有 charge injection 的問題，造成取樣電壓上的誤差，因此，藉由在 MOS 的 gate 端與 source 端間接一個電容，可以穩定 MOS 的VGS，同時，也可以將 gate 端的電壓提升到VDD以上，而這在低電壓的設計中是十分有利的。

Bootstrapped switch 的好處在於，不論輸入多少 input 電壓能夠將電容的跨壓都能 hold 在固定電壓，以確保 hold 電壓的穩定性。

Conclusion

- 在沒有漣波的情形以及關閉消除機制下，ADC 的解析度pre-sim 近乎為10位元，post-sim 則比 pre-sim 略下降0.3位元。
- Post-sim Input range 下降的原因main dac top plate 的寄生電容較大所以產生 gain loss。
- Ripple cancellation 消除效果不佳，推測是使用 multiple input pair 的比較器產生的 kickback noise 太大導致影響到 multiple input pair 以致跑掉原本設計的 gm 比例。

Ripple cancellation

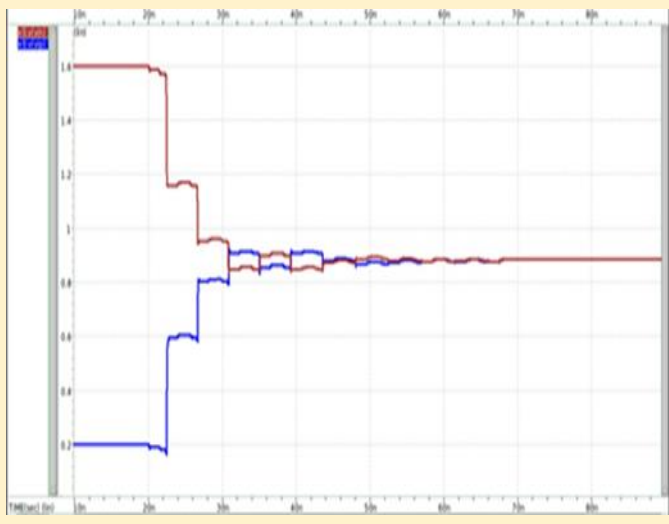


要解決 DAC switching 產生的 reference ripple因此我們採用參考文獻 [1] 和 [2] 的做法將 SAR logic 產生的結果同時傳給 main DAC 以及 ripple DAC，並在進入比較器前透過比較器的 multi-input pair 來將 ripple 抵銷掉，而根據參考文獻 [1] 的 ripple transfer function，每個 ripple cell 中的電容與作為 gain 的 MOS 皆需要與 main DAC 的電容成比例。

並利用3種 switching mode 來穩定電容上的 charge，而我們也設計了可以切換是否 cancel ripple 的開關 (RC訊號) 來觀察 function work。

Simulation

RC = 0	TT25	FS25	SF25	SS25	FF25
presim					
1M Hz ENOB (bit)	9.9582	9.931	9.8834	9.896	10.0437
4.9M Hz ENOB (bit)	9.88	9.83	9.82	9.82	9.90
postsim					
1M Hz ENOB (bit)	9.5179	9.7179	9.1673	9.5383	9.6276
4.9M Hz ENOB (bit)	9.5018	9.7241	9.1163	9.658	9.5169



5 corners with 1M and 4.9M Hz input frequency of sine wave w/o ripple

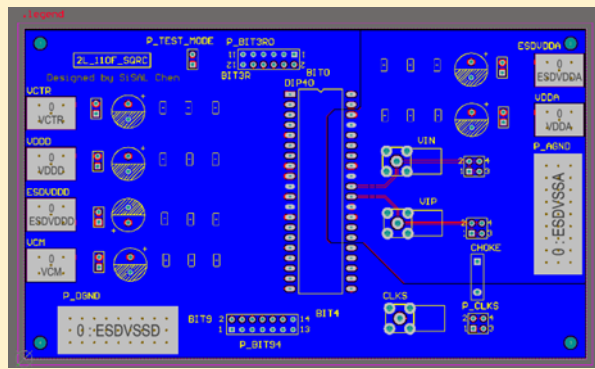
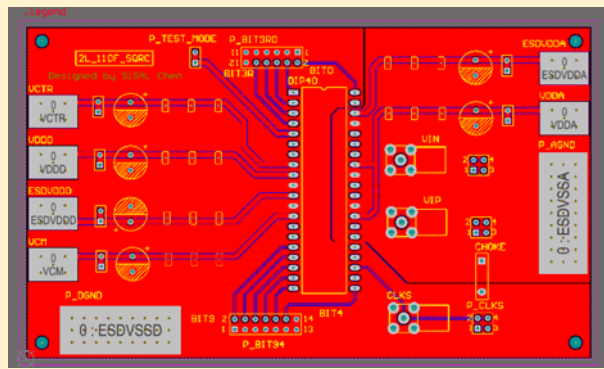
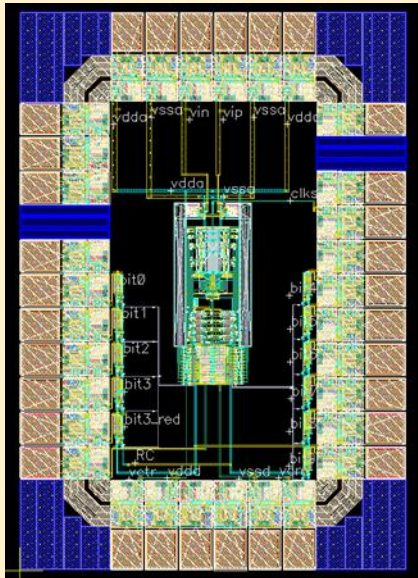
上方表格分別為輸入低頻與高頻 input frequency 並且不附加 ripple 電壓與關閉 ripple cancellation 機制的 presim 與 postsim 的數值，而 presim 的 input 電壓 range 為 ±1.77V，postsim 為 ±1.4V。

	RC = 0	RC = 1
presim	8.3794	8.5352
postsim	7.8338	8.0566

ENOB with 3VLSB ripple voltage sine wave (postsim)

上表為我們在 VDDA 中加入 3VLSB 大小的 ripple sine wave，觀察是否有達到消除 ripple 的功能，雖然開啟 ripple cancellation 機制相較沒開啟的 ENOB 值要大，但我們發現消除的效果沒有非常好。

Chip & PCB



Reference :

[1] Y. Shen et al., "A 10-bit 120-MS/s SAR ADC With Reference Ripple Cancellation Technique," in IEEE Journal of Solid-State Circuits, vol. 55, no. 3, pp. 680-692, March 2020, doi: 10.1109/JSSC.2019.2946215.

[2] X. Tang et al., "A 10-Bit 100-MS/s SAR ADC with Always-on Reference Ripple Cancellation," 2020 IEEE Symposium on VLSI Circuits, 2020, pp. 1-2, doi: 10.1109/VLSICircuits18222.2020.9162786.

[3] C. Liu, S. Chang, G. Huang and Y. Lin, "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure," in IEEE Journal of Solid-State Circuits, vol. 45, no. 4, pp. 731-740, April 2010, doi: 10.1109/JSSC.2010.2042254.