

國立清華大學 電機工程學系

實作專題研究成果摘要

Design and Implementation of a Dual-
Channel Variable-Gain Differential
Low-Noise Amplifier for ECG Signals

雙通道可變增益差動低雜訊放大器於
心電訊號之設計與實現

專題領域：系統領域

組 別：B572

指導教授：鄭桂忠

組員姓名：黃祖浩、巫昊哲、郭庭維

研究期間：114 年 2 月迄今

報告摘要

本研究設計一款應用於心電訊號(ECG)的雙通道可變增益差動低雜訊放大器(LNA)，以提升微弱生醫訊號的擷取品質。心電訊號僅約0.5 - 1 mV、頻率落在0.5 - 150 Hz，極易受到環境及閃爍雜訊干擾。本設計採用差動架構，並串接主動式帶通濾波器、可變增益放大器(VGA)與低通濾波器三級結構，以兼具低雜訊、高增益、可調性與低功耗特性。

第一級運算放大器採 inverter-based 結構與大面積輸入晶體降低閃爍雜訊，並以 pseudo resistor 實現低頻濾波所需的超高阻值。輸入端以多工器(MUX)實作雙通道切換，末級VGA提供三段可調增益以適應不同訊號振幅。晶片採180 nm 製程實現，後模擬結果顯示功耗6.7 μ W、增益30 - 44 dB、頻寬0.19 - 158 Hz、輸入雜訊6.8 μ V，並具備102 dB的CMRR。本研究完成從架構設計、電路模擬、佈局到晶片下線的完整流程，驗證此LNA在ECG讀取上的有效性，適合作為低功耗生醫感測系統的前端讀取電路。

一、 研究背景

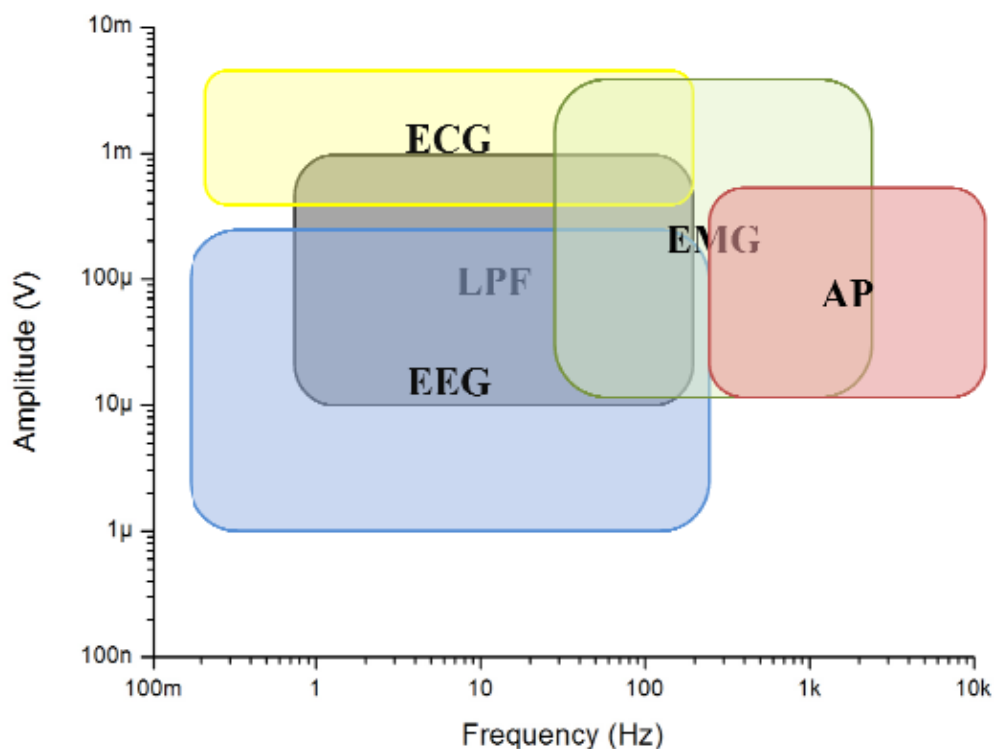


Fig. 1 各類生醫訊號頻帶與振幅分布圖

生醫領域的訊號大致可分為腦波(EEG)、心電(ECG)、肌電訊號(EMG)等，在這之中，我們認為心電訊號對於生命格外重要，作為臨床醫療的常見檢查項目之一，對心臟以及心血管疾病都是很重要的判斷資訊。

心電訊號的振幅約在 $500\mu\text{V}\sim 1\text{mV}$ 之間，分布頻率約在 $0.5\sim 150\text{Hz}$ ，考量到這些訊號都十分微弱而低頻，很容易遭到環境以及電晶體產生的雜訊干擾。因此我們著重於濾除雜訊的設計，同時降低功耗，以及針對不同振幅需求設計相對應的放大倍率。

此外，我們採用雙通道架構，以便從不同空間位置擷取心臟的電活動。透過不同方向的訊號觀測，可以建立較完整的心臟電活動空間影像，並提升對心律異常或疾病狀況的判斷準確度。

二、 研究目的

隨著科學進步與人口高齡化，應用於生醫領域的電子產品顯得格外重要。有了更先進

的積體電路科技，我們得以做出低功耗、高效能的裝置，為世代帶來更多福祉。為了降低穿戴式裝置更換電池的頻率，我們設計 Power Supply 為 1V，並且以低功耗和低雜訊為主要目標。為了降低雜訊的干擾，我們也特別關注 CMRR 共模抑制，減少共模雜訊的同時也避免了非線性放大產生的偶數諧波雜訊。並且我們也關注 THD 表現，讓原始的 ECG 訊號盡可能精確的呈現。

三、 研究方法

挑選並研讀合適的論文與期刊，制定 spec 與架構後進行電路設計。在 Hspice 中進行電路的 pre-simulation 模擬與優化，完成後在 Custom compiler 中繪製 layout，最後進行 post-simulation 確認模擬結果。符合 spec 後申請晶片下線，同時繪製 PCB 並尋找廠商製作。最終得到完整的晶片，量測與提出修改建議，完成整套 full-custom IC design。

四、 整體架構簡介

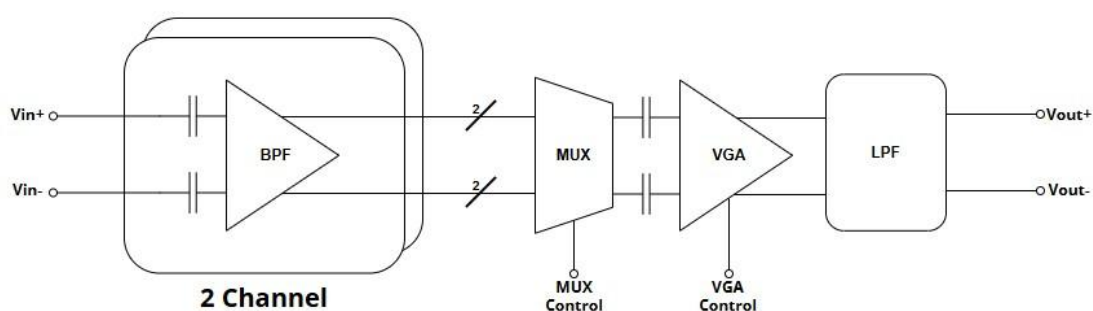


Fig. 2 整體架構圖

Fig. 2 為本篇研究整體架構圖。我們採用了雙通道的差動輸入當作 ECG 訊號的輸入，經由主動帶通濾波器（Active Band-Pass Filter）放大 ECG 頻率範圍之間的訊號。之後使用者透過控制 MUX Control 選擇查看哪個通道的訊號。為了避免訊號過度放大造成失真，我們設計了可變增益放大器（Variable Gain Ampfilter），讓使用者根據不同的輸入振幅調整 VGA 增益大小。最後使用被動低通濾波器（Passive Low-Pass Filter）進一步保留 ECG 的低頻訊號，避免中間過程產生的額外雜訊。

Operational Amplifier (op-amp)

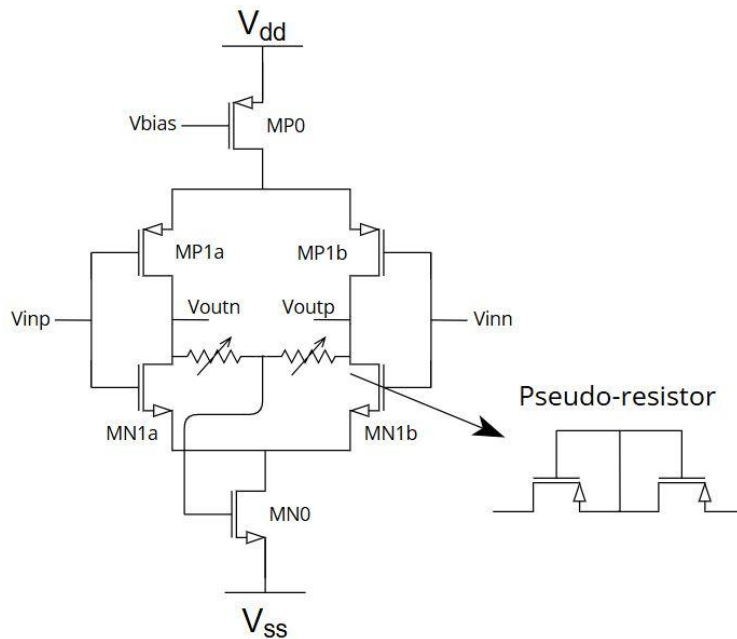


Fig. 3 op-amp 架構圖

Fig. 3 為 op-amp 的內部架構圖，我們參考 reference[1]的架構作為設計，作為第一級，它的主要目的為降低雜訊，因此我們選擇 inverter-based 的輸入結構，透過將 gm 放大兩倍來降低雜訊，另外由於我們操作在低頻，考量到閃爍雜訊(flicker noise)的分佈曲線近似 $1/f$ ，我們透過並聯結構大幅放大了輸入端的 width，藉此增加電晶體面積以降低閃爍雜訊在低頻的較大影響；接著我們使用 common-mode feedback(CMFB)來穩定輸出端電壓，並且用 PMOS pseudo resistor 來達成，相對傳統電阻，pseudo resistor 可以達到更高的阻值且在 layout 中佔的面積較小，最後為了降低功耗，我們大幅壓低了 MP0 和 MN0 的尺寸以減少電流的供應，加上這個製程的操作電壓較低 (1V)，我們將輸入端的電晶體操作在 subthreshold region，壓低電流符合低功耗的設計，但也更容易受到 mismatch 以及製程變異的影響，特別是 V_{th} 的變化，因此進行 layout 繪製時的位置擺放和對稱性就需要更加留意。

Pseudo Resistor

在標準 CMOS 積體電路製程中設計高阻值電阻器非常困難。這是因為矽和多晶矽結構的最低摻雜濃度（低於該濃度可能會影響製程的重複性）會導致電阻的大小受到限制，只有設計具有多個折疊的長電阻器以保持佈局緊湊，才能達到較高的阻值。除了尺寸和相關成本外，由數百個方塊組成的長電阻器還會引入較大的寄生分佈電容，隨著頻率的升高而導致更高的雜訊。

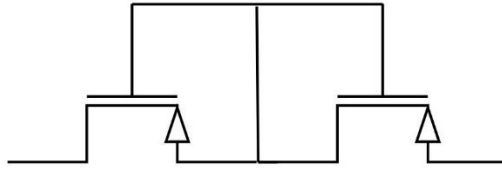


Fig. 4 偽電阻架構圖

偽電阻(pseudo resistor, 如 Fig. 4)透過讓電晶體運作在 deep subthreshold 和 cutoff 的交界，流過的電流非常小，因此就有非常大的電阻值，可達到 TΩ 等級以上，另外由於電洞的遷移率(mobility)小於電子，多半使用 PMOS 來設計偽電阻，最後在 layout 的部分偽電阻也不會像傳統電阻那麼佔面積。

主動帶通濾波器 (Active Band-Pass Filter)

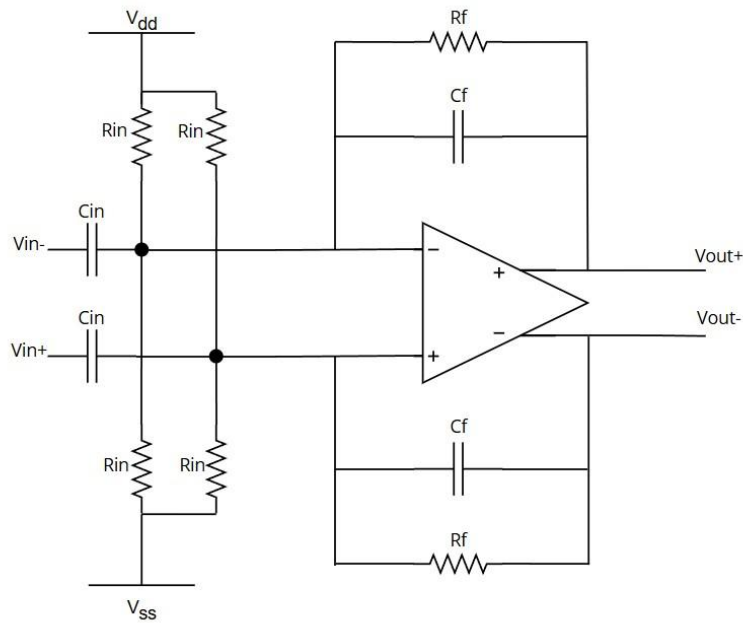


Fig. 5 主動帶通濾波器電路架構

如 Fig. 5 所示，我們採用電容迴授式主動帶通濾波器，由電容比值決定增益。其中的高通頻率角和低通頻率角可以約略表示成：

$$f_{HP} \approx \frac{1}{\pi R_{in} C_{in}}$$

$$f_{LP} \approx \frac{1}{2\pi R_f C_f}$$

為了達到 ECG 訊號所需的頻率角，必須使用 Gohm 數量級的電阻，而一般的電阻如果要達到 Gohm 數量級，會占用很大的面積，除此之外也會造成熱雜訊等負面影響。因此我們使用偽電阻 (Pseudo Resistor) 取代一般電阻，以符合 ECG 訊號所需的極低頻率角。其中 Rin 電阻除了提供高通頻率角之外，也讓輸入直流偏壓穩定在 0.5V，以符合我們 OTA 設計的輸入 DC 偏壓點。

多工器 (Multiplexer, MUX)

多工器 (Multiplexer, MUX) 是一種能夠在多組輸入訊號之間進行切換的電路元件，可視為「電子開關」。在本研究中，我們採用雙通道輸入架構，藉由 MUX 選擇不同來源的心電訊號並導入後級放大器。此設計能讓系統以最少的電路資源完成多輸入整合，提升前端訊號擷取的彈性與系統整合度。

本設計採用 NMOS 與 PMOS 交互構成的傳輸式開關 (transmission gate) 作為核心結構。此架構具備低導通阻抗與高線性度，可有效降低訊號失真並避免削弱微弱的 ECG 訊號。同時，transmission gate 能提供良好的上下電平導通能力，使多工器在不同工作點皆保持穩定、低漏電與低雜訊的特性。

可變增益放大器 (Variable Gain Amplifier, VGA)

可變增益放大器 (Variable Gain Amplifier, VGA) 為整體系統的最後一級放大電路，可依照輸入訊號強度選擇適當的放大倍率，使 ECG 訊號在不同條件下皆能輸出至可辨識的電壓範圍。本設計採用差動反相放大器 (differential inverting op-amp) 架構，並以電阻比例決定放大倍率，以兼具簡潔度與線性度。

考量 ECG 訊號振幅變化範圍大，以及前級放大器已提供一定初始增益，我們規劃了三段增益，並以 NMOS 作為切換開關選取適當的倍率，使系統可依量測情境動態調整輸出強度。

為確保放大倍率能由電阻比精準決定，反相放大器內部必須具備足夠大的增益。基於此考量，我們以三組先前設計的 op-amp 串接作為 VGA 的內部放大器，使其開迴路增益充分提升，在較低電阻值下仍能穩定實現所需的倍率。由於內部放大器的輸入端具有一定的輸入電阻，我們不另行外加輸入電阻，而是直接利用其自帶的輸入阻值作為增益比例的基準，使電路更加精簡並減少額外面積與功耗。

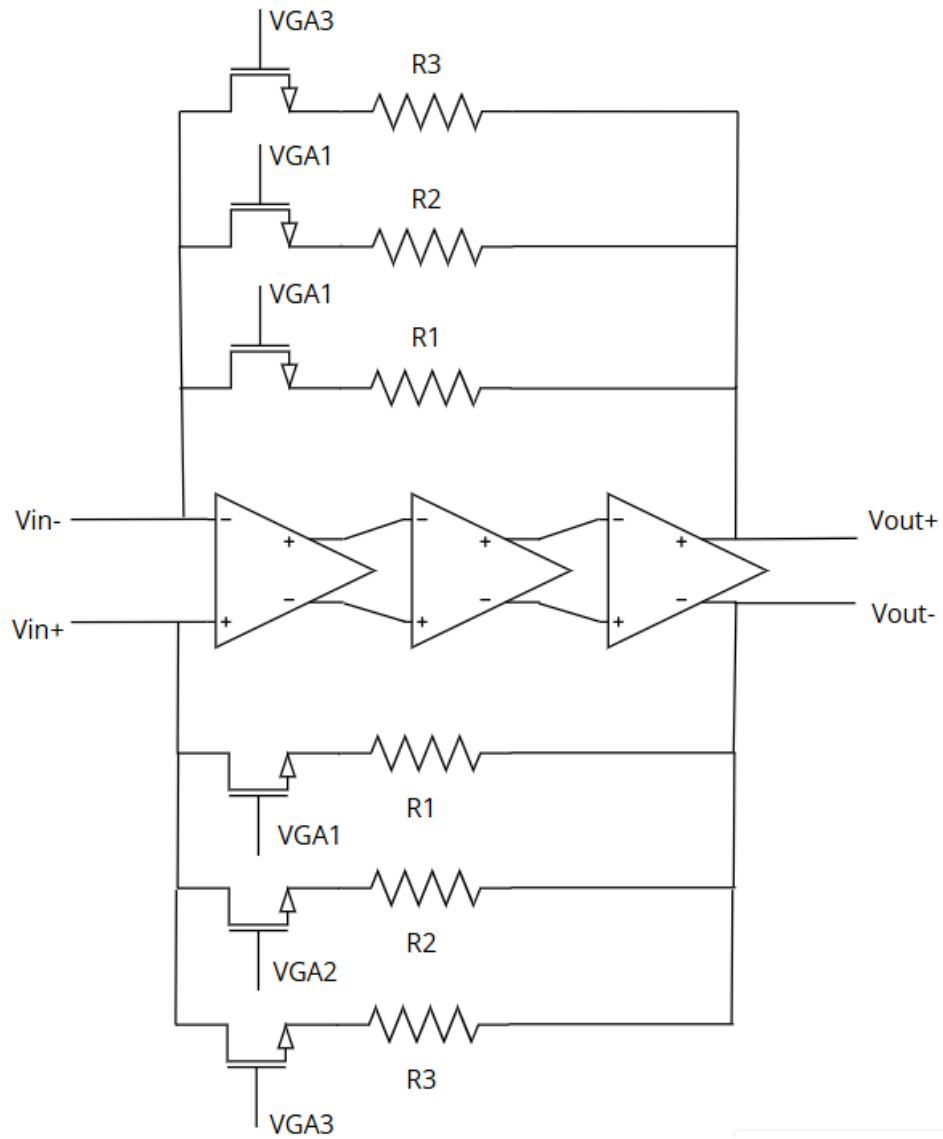


Fig. 6 可變增益放大器 (VGA) 架構圖

被動低通濾波器 (Passive Low-Pass Filter)

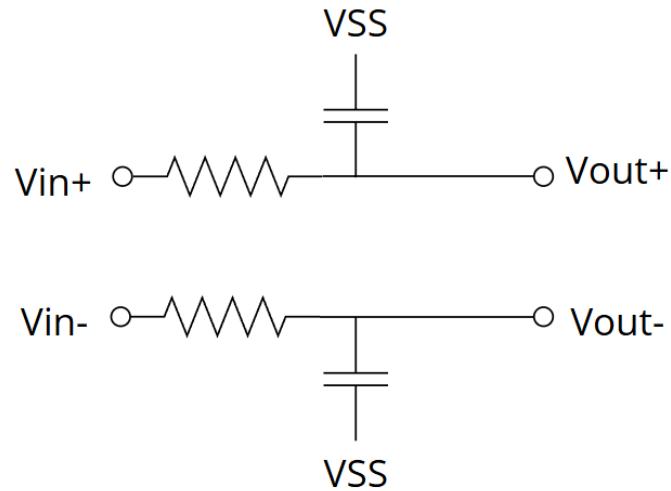


Fig. 7 被動低通濾波器架構

如 Fig. 7 所示，我們使用最簡單的被動低通濾波器，在整體設計的最後進一步保留 ECG 的低頻訊號，避免中間過程中產生的額外雜訊。其中我們設計低通頻率角為 160Hz。

五、 研究成果

Pre-Simulation 結果

如 Fig. 8，此放大器之最大倍率增益為 44.1dB，頻寬為 194mHz 至 158Hz，可以完整擷取心電訊號，另外根據暫態分析(Fig. 9)也可確認增益，以及輸出波形的中點在 0V 左右(偏離小於 0.3mV)，並未產生額外的 dc offset。

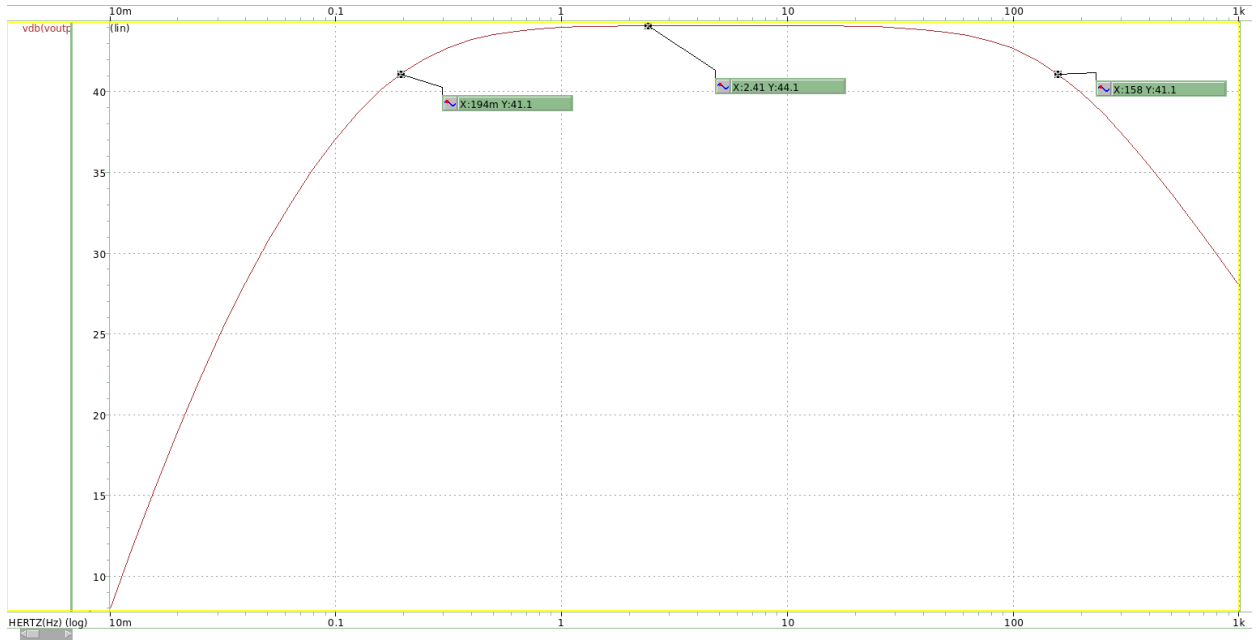


Fig. 8 使用最高倍率之 ac 響應 (Pre-sim)

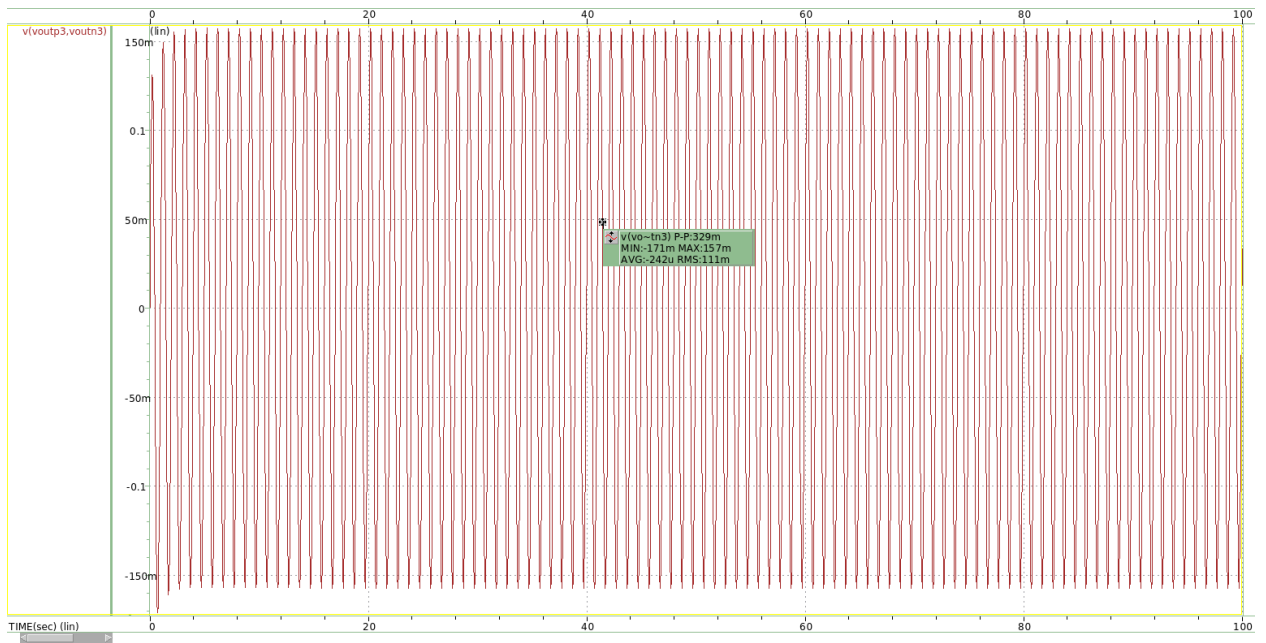


Fig. 9 使用最高倍率之暫態分析 (Pre-sim)

Post-Simulation 結果

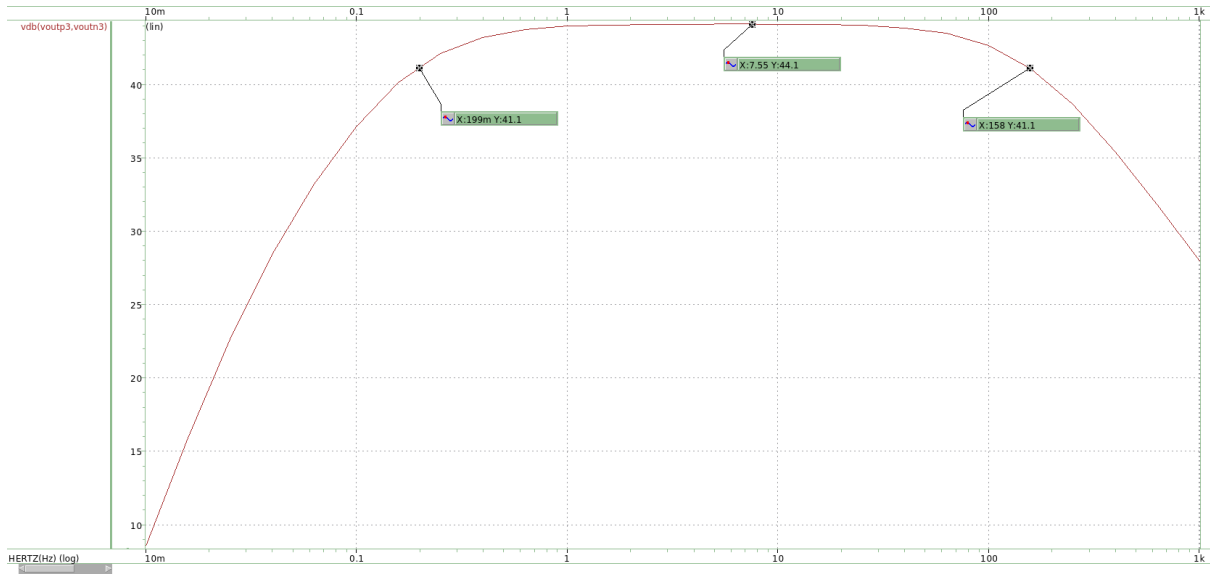


Fig. 10 使用最高倍率之 ac 響應 (Post-sim)

模擬結果和文獻比較表

Table 1 模擬結果

	pre-sim (FF)	pre-sim (TT)	pre-sim (SS)	post-sim (TT)
Supply voltage	1V	1V	1V	1V
Technology	180nm	180nm	180nm	180nm
Power	16.95 μ W	6.65 μ W	2.29 μ W	6.64 μ W
Gain (dB)	37.8 ~ 51.7	30.4 ~ 44.1	22.6 ~ 35.4	30.4 ~ 44.1
BW (Hz)	0.57 ~ 160	0.19 ~ 158	0.07 ~ 153	0.20 ~ 158
Input ref noise	7.01 μ V (0.5 ~ 150Hz)	6.65 μ V (0.5 ~ 150Hz)	7.17 μ V (0.5 ~ 150Hz)	6.80 μ V (0.5~150Hz)
CMRR (dB)	201.7 (10Hz)	191.1 (10Hz)	216.6 (10Hz)	102.1 (10Hz)
THD (%)	0.351	0.168	0.575	-

Table 2 文獻比較表

	Reference [1]	Reference [2]	this work (pre-sim)	this work (post-sim)
Supply voltage	0.6V	1V	1V	1V
Technology	65nm	90nm	180nm	180nm
Power	3.1 nW	84.66 uW	6.65 μ W	6.64 μ W
Gain (dB)	44	15.6~21.4	30.4 ~ 44.1	30.4 ~ 44.1
BW (Hz)	3.6 ~ 160	0.9 ~ 653	0.19 ~ 158	0.20 ~ 158
Input ref noise	9.7 uV	3.35 uV (0.5 ~ 100Hz)	6.65 μ V (0.5 ~ 150Hz)	6.80 μ V (0.5~150Hz)
CMRR (dB)	>100	36.98	191.1 (10Hz)	102.1 (10Hz)
THD (%)	0.19	-	0.168	-

六、 結論

本研究透過 inverter-based 結構與大面積輸入晶體，在第一級就有效降低了心電訊號中常見的閃爍雜訊和熱雜訊，並在後續利用可變增益針對不同大小的輸入訊號進行放大，此外第一級也運用了具有高阻抗、且較不佔 layout 面積的偽電阻(pseudo resistor)進行濾波以及穩定偏壓點，並在後續再加上了一級低通濾波，使放大器能精確涵蓋 ECG 所需的 0.5 - 150 Hz。

Post-simulation 結果顯示，本設計在 6.7 μ W 的低功耗下，達到 30.4 dB ~ 44.1dB 的增益範圍，頻寬為 0.19~158Hz 完全符合心電訊號的需求，輸入等效雜訊也只有 6.8 μ V，只比 pre-simulation 略高不到 5%，CMRR 雖然大幅降低但仍有 102dB，綜上所述，此低雜訊放大器可有效提升心電訊號的放大品質，具備低功耗、低雜訊優勢，可調的增益更是進一步提升了此放大器的實用性，目前已下線申請，並準備繪製 PCB，等拿到實體晶片後進行量測，走完完整的 full-custom IC design 流程。

七、 心得感想

在本次專題實作當中，我們累積了相當多的課堂無法學習到的經驗，從文獻查找、文獻閱讀、架構規劃，一直到最後的 Layout 繪製的細節設計和下線的文件準備，這些經驗都是無法透過課堂學習獲取的，因此本次專題實作對於我們的類比電路實作能力有非常大幅度的幫助。

在構思架構的初期，我們自行上網查找各類期刊和文獻，看到了各種不同能夠消除雜訊的技術。起初我們想要使用例如截波穩定技術或是動作干擾偵測器的方式來進一步降低雜訊的影響，但是在經過下線時間等等考慮之後，我們並沒有使用那些技術。這點我們覺得非常可惜，無法讓自己設計的電路更加具有競爭力。

在設計 Spec 的時候也是查找各種資料，去看每篇論文的文章參考都有哪些，除了要符合 ECG 訊號本身的放大要求，各種不同的製程能夠開出的 Spec 也差異很大，最後我們挑選出最接近我們製程的文章當作 Spec 要求，並以此進行各種不同設計規格的取捨。在此過程中，我們學到設計 Spec 的過程也並非易事，必須閱讀大量文獻，對電路本身和製程要有充分的認識，才有辦法去決定出好的 Spec。

進行電路 layout 設計的時候是最為挫折的，因為有很多細節是以往只有聽過但沒有實際繪製過的，像是保護雜訊干擾和穩定電位的 Guard Ring，還有製程檔提供的 IO PAD 該如何使用等等問題，都是第一次面對，沒有任何教材說明，必須靠自己摸索或是學長姐的經驗傳承。還有實際下線的 DRC 會有非常多項的檢查項目，這些只能透過不停試錯來修正。最後我們成功克服了以上種種難關，成功繪製出能夠下線的晶片，這點也是讓我們覺得自己有所成長。

感謝專題指導教授給我們這個機會接觸類比電路設計，走完完整 Full-Custom 流程。感謝過程中一直回答我們問題的學長姐，他們提供的各種設計經驗上的知識都十分有幫助。最後感謝我們自己，堅持不懈完成電路設計，累積大量無法透過課堂學習獲取的經驗，本次專題實作讓我們的類比電路實作能力有非常大幅度的成長，也期許未來能夠順利進行晶片量測。

八、 參考文獻

[1] Rafael Vieira1, Ricardo Martins, Nuno Horta, Nuno Lourenço, “Design Space Exploration of Single-Stage OTAs towards an Ultra-Low-Power LNA for ECG Signals”, 2023 19th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design

[2] Wen-Yen Huang, “A 0.5V Multi-Channel Low-Noise Readout Front-End for Portable EEG Acquisition”, National Tsing Hua University, Taiwan.

[3] Shreelekha Panchal, Shruthi I.T, Sarita Uniyal, Dr. Shashidhar Tantry, “Design and Implementation of Low Noise Amplifier and Variable Gain Amplifier for ECG Systems”, 2022 IEEE 7th International conference for Convergence in Technology

[4] Alireza Dabbaghian and Hossein Kassiri, “An 8-Channel Ambulatory EEG Recording IC With In-Channel Fully-Analog Real-Time Motion Artifact Extraction and Removal”, IEEE TRANSACTIONS ON BIOMEDICAL CIRCUITS AND SYSTEMS, VOL. 17, NO. 5, OCTOBER 2023

[5] Wei-Chih Huang, “A Low Noise EEG/ECG Signal Readout Front-End and An ECG Motion Artifact Analog Detector for Telemedicine Mobile Biomedical Signal Acquisition Systems”, National Tsing Hua University, Taiwan.

[6] Ming-Ze Li, “A Low-Noise Amplifier for Implantable Device for Neural Signal Acquisition”, National Tsing Hua University, Taiwan.