

實現於 0.18 微米邏輯製程之標準元件設計與分析

專題領域：電子領域 組別：A286 指導教授：金雅琴 組員：龔資尹、游子豪

Abstract

由於想更加了解 0.18 微米邏輯製程的相關設計流程與基礎元件結構的分析，本次專題實作內容主要是深入探討 10 種不同的元件結構並繪製出對應的布局平面圖，最後進行電路模擬及實際下線。

其中 10 種不同的元件架構包含「Different channel length effect with wide width」、「Different channel width effect with long channel length」、「Small device with short gate length and narrow width」、「Ring Oscillators」、「Source / Drain junction capacitance measurement」、「Poly field device」、「Metal-1 field device」、「Kelvin structures」、「Van der Pauw structures」、「Different device arrays」。

前兩個結構主要是探討固定元件在長寬度下，改變通道長度對於 V_{th} 的影響以及固定元件在長通道長度下，改變寬度對於 V_{th} 的影響；第三個結構想探討當元件微縮時電晶體特性的變化；第四個結構則是比較 51 級和 101 級震盪器之間的頻率差異；第五個結構主要是想量測 Source / Drain 分別與 body 之間的接面電容；而第六及第七個結構分別利用 poly 和 metal-1 來量測元件的 STI isolation；第八和第九個結構各自用於量測 contact & via 的電阻以及 metal gate & metal line 的薄膜電阻；最後一個結構主要是探討在不同大小的 OD 及 poly 情況下，對於 CV curve 的影響。

本次實作專題除了針對上述 10 種不同元件結構進行深入探討外，亦更加了解 T18 製程下線的相關流程及提升布局平面圖繪製能力。

Content

一、研究背景與動機

由於想更加了解 0.18 微米邏輯製程的相關設計流程與基礎元件結構的分析以因應現今工業基礎元件的改善，因此本次專題實作目標訂定於提出並深入探討 10 種不同的元件結構並繪製出對應的布局平面圖，最後進行電路模擬及實際下線，以及後續晶片取得後，進行各項相關的量測。

二、元件結構及功用介紹

2.1 Different channel length effect with wide width

此結構主要透過固定元件寬度在 $10\mu\text{m}$ 的情況下，改變通道長度對於 threshold voltage (V_{th}) 的影響，其中給定的通道長度有 $0.18\mu\text{m}$ 、 $0.22\mu\text{m}$ 、 $0.5\mu\text{m}$ 、 $1\mu\text{m}$ 、 $10\mu\text{m}$ 共 5 組數據，如下表一所示，並分析此 5 組 W/L 與 V_{th} 變化之間的關聯性。

DUT	W(μm)	L(μm)
1	10	0.18
2		0.22
3		0.5
4		1
5		10

表一

2.2 Different channel width effect with long channel length

此結構主要透過固定通道長度在 $10\mu\text{m}$ 的情況下，改變元件寬度對於 threshold voltage (V_{th}) 的影響，其中給定的元件寬度有 $0.22\mu\text{m}$ 、 $0.5\mu\text{m}$ 、 $1\mu\text{m}$ 、 $10\mu\text{m}$ 共 4 組數據，如下表二所示，並分析此 4 組 W/L 與 V_{th} 變化之間的關聯性。

DUT	W(μm)	L(μm)
1	0.22	10
2	0.5	
3	1	
4	10	

表二

2.3 Small device with short gate length and narrow width

隨著元件的微縮，許多元件特性(例如：Vth、CV curve等等)也會因此而有所不同，因此透過給定寬度為0.22 μm 、0.5 μm ，且在各自寬度下搭配3種不同的通道長度，分別為0.18 μm 、0.22 μm 、0.5 μm ，共6組W/L進行分析，如下表三所示，並藉由後續量測來探討元件微縮的情況下，在特性上會出現哪些變化。

DUT	W(μm)	L(μm)
1	0.22	0.18
2		0.22
3		0.5
4	0.5	0.18
5		0.22
6		0.5

表三

2.4 Inverter Ring Oscillators

主要是比較51級和101級振盪器振盪頻率的差異，透過探討兩者振盪頻率的差異來分析在0.18微米製程下NMOS與PMOS各自傳輸訊息的速度。

2.5 Source / Drain junction capacitance measurement

對於單顆電晶體而言存在有許多寄生電容，包含Cgd、Cgs、Cdb、Csb等，此元件結構目的是要量測不同大小的nmos和pmos各自source、body和drain、body接面電容的大小，藉此探討不同元件大小與接面電容之間的關聯性，選用的mos大小如下表四所示。對於nmos而言，分別會在N+和P-sub接上電壓來進行量測；而對於pmos而言，則是會在P+和N-well接上電壓來進行量測。

DUT	Type	W(μm)
1	N+/P-sub	1
2		10
1	P+/N-well	1
2		10

表四

2.6 Poly field device

此結構主要用於探討分別在nmos及pmos下，且元件間隔著poly時，兩元件相鄰的距離對於STI isolation的影響，換言之，對nmos而言，主要分析

N+與 N+間距和 STI isolation 之間的關聯；而對 pmos 而言，主要分析 P+與 P+間距和 STI isolation 之間的關聯，其中 nmos 及 pmos 兩者選定相鄰的距離均為 1 μ m、10 μ m，如下表五所示。

DUT	Type	d(μ m)
1	N+/N+	1
2		10
1	P+/P+	1
2		10

表五

2.7 Metal-1 field device

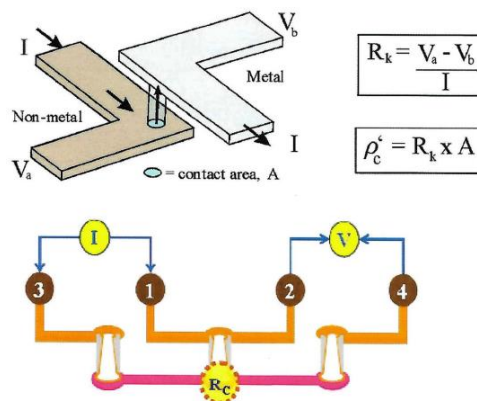
此結構主要用途與 2.6 相似，皆為探討在 nmos 及 pmos 下，兩元件之間的間距對於 STI isolation 的影響；與 2.6 差別在於：從原本中間間隔 poly 改成間隔 metal-1，其中 nmos 及 pmos 兩者選定相鄰的距離一樣均為 1 μ m、10 μ m，如下表六所示。

DUT	Type	d(μ m)
1	N+/N+	1
2		10
1	P+/P+	1
2		10

表六

2.8 Kelvin structures

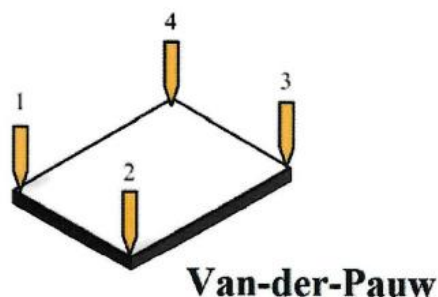
透過 Kelvin structures 的架構來量測連接 poly 及 metal 的 contact 電阻以及連接 metal 1 及 metal 2 的 via 1 電阻和連接 metal 5 及 metal 6 的 via 5 電阻，Kelvin structures 的架構示意圖如圖一所示。



圖一

2.9 Van der Pauw structures

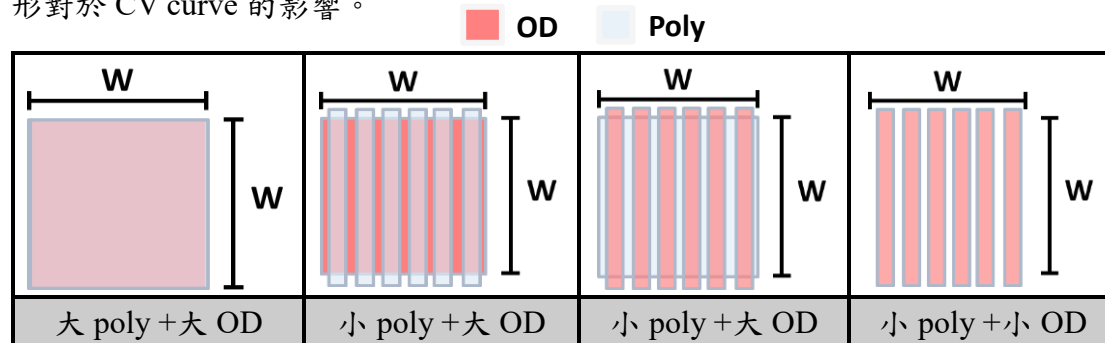
透過 Van der Pauw structures 的架構並在 metal 四端接上電壓來量測 M1、M2、M3、M4、M5、M6 各自 metal gate & metal line 的薄膜電阻，Van der Pauw structures 的架構示意圖如圖二所示。



圖二

2.10 Different device arrays

此結構用於探討在不同大小的 OD 及 poly 情況下，對於 CV curve 的影響。主要分成四大類進行比較，分別為「大 poly + 大 OD」、「小 poly + 大 OD」、「小 poly + 大 OD」、「小 poly + 小 OD」，示意圖如下圖三所示，每一種類又以不同 W 的大小來進行比較，四種所給定的 W 皆為 100 μ m、300 μ m，藉此分析每一種情形對於 CV curve 的影響。



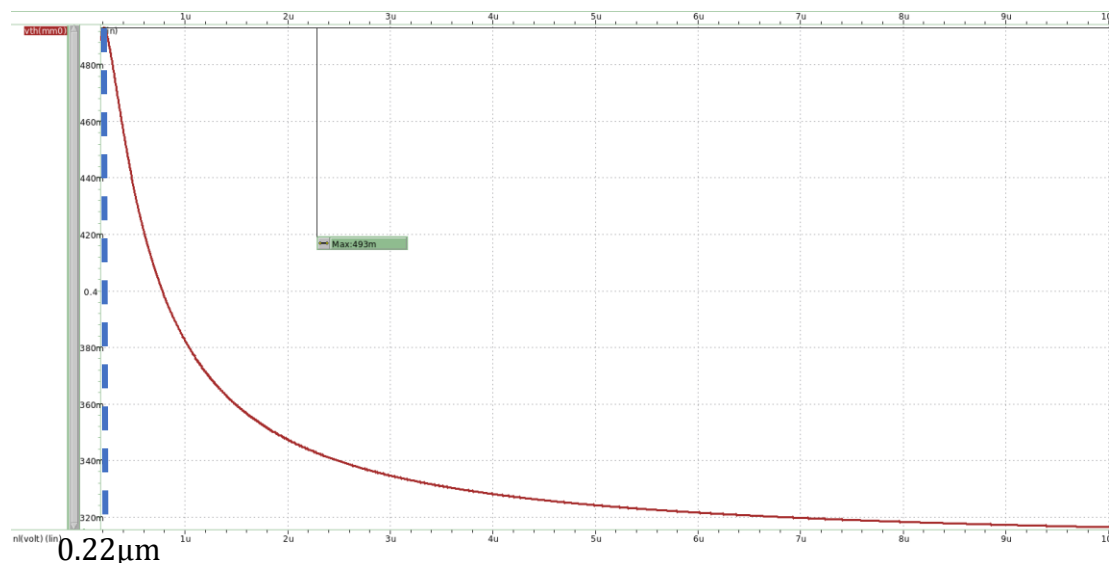
圖三

三、模擬分析

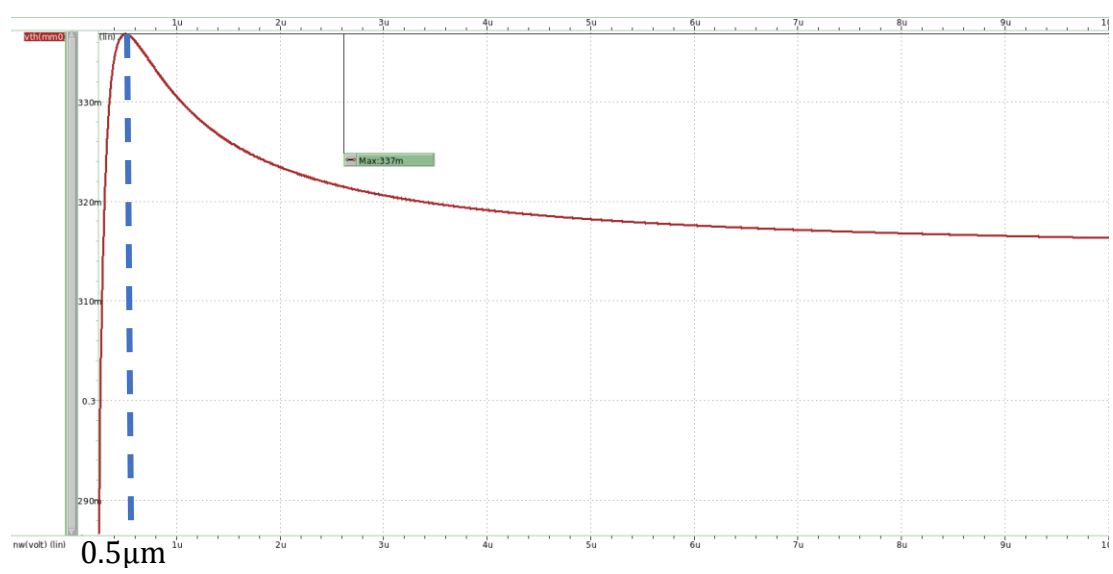
將固定元件寬度在 10 μ m 的情況下，改變通道長度 (0.18 μ m、0.22 μ m、0.5 μ m、1 μ m、10 μ m) 對於 threshold voltage (V_{th}) 的影響進行 composer 模擬，結果圖如下圖四所示，可以發現 V_{th} 的峰值大約落在 $L = 0.22\mu\text{m}$ 。

將固定通道長度在 10 μ m 的情況下，改變元件寬度 (0.22 μ m、0.5 μ m、1 μ m、10 μ m) 對於 threshold voltage (V_{th}) 的影響進行 composer 模擬，結果圖如下圖五所示，可以發現 V_{th} 的峰值大約落在 $W = 0.5\mu\text{m}$ 。

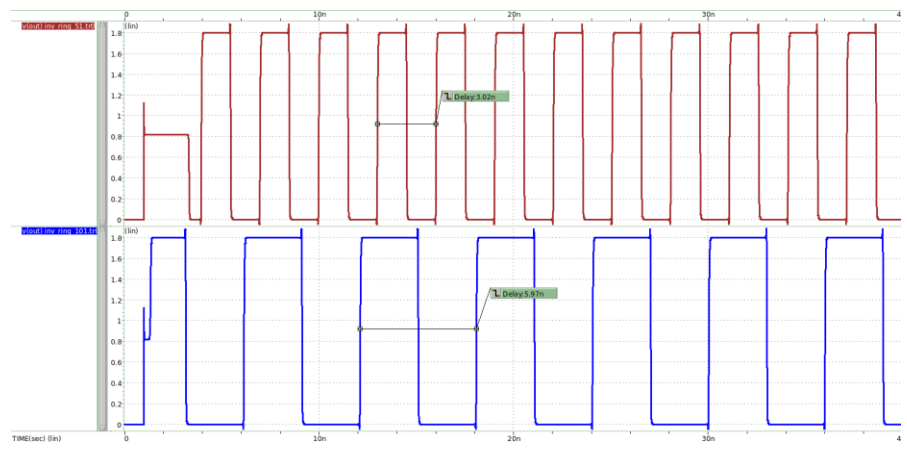
分別將 51 級和 101 級振盪器進行 composer 模擬所得的波形圖如下圖六所示。在 51 級情況下，振盪週期大約為 3.02ns；而在 101 級情況下，振盪週期大約為 5.97ns。



圖四



圖五



圖六

四、結論

透過上述 10 種不同元件結構的設計，各自分析對應的元件特性，藉此了解 0.18 微米製程的相關特性；也實際繪製出各元件結構的布局平面圖，並執行 DRC、LVS 及 PEX 的模擬，並於 5 月 15 日實際下線，完成 0.18 微米製程的所有流程，後續於 9 月 21 日取得晶片後，也會進行相關的量測。

心得

游子豪：

我從上學期開始進入金雅琴教授的實驗室當專題生，截至目前為止已經有快一年的時間。在上半學期，主要是透過閱讀相關的論文期刊並每 2 個禮拜和教授 meeting，藉由論文的閱讀及和組員、老師的彼此討論下，慢慢更了解相關的知識背景。而在這個基礎之下，到了寒假期間，我們也最終確立專題內容以及研究的方法。

首先我要感謝我的夥伴，因為對於 layout 新手的我，他總是能教我一些相關的知識及畫 layout 的技巧，讓我能夠從中學習到了許多，也讓我體會到有一個好戰友的重要性，接著也要感謝指導教授金雅琴老師，雖然有時候 meeting 時，教授的問題會有點困難，但老師總會多給我們一點時間思考，甚至是稍微給我們提示，讓我們回去再查查相關資料，待下一次 meeting 時再做回覆，這對於我們培養解決問題的能力也有所提升。除此之外，我也要特別感謝協助我們的林唯華學長，總是在我們遇到困難時，不厭其煩的教導我們、提供協助。

最後，這次的專題讓我更了解 0.18 微米邏輯製程的相關設計流程及許多元件的特性，也學到如何解決問題以及繪製布局平面圖的能力，受益良多。我也期許自己在未來研究的路上也能夠將這次專題所學的各方面實力發揮極致。

龔資尹：

在做專題前，我雖然對記憶體元件有著濃厚的興趣，但說道元件的設計卻完全沒概念，也缺乏足夠的知識來進行設計。但是，經過了金雅琴老師在實作專題一的提點與教導，使我開始了解元件結構背後的觀念與物理意義，並希望能進行更進一步的研究。

於是，在三下剛開學時，聽到老師的實驗室在五月中旬有下線的計畫，我和隊友就決定對基礎的製程再進行研究並實際跑一遍下線的流程，來試著更了解 0.18um 製程相關的物理性質，來為以後的元件設計打下基礎。在設計分析元件過程中，林唯華學長的建議對我們起了很大的幫助，他幫我們指出了應該關注的物理性質，並對設計出的結果進行改善，使元件的物理性質能更直觀的反應到量測結果上。但是，由於之前不曾有下線的經驗，我們在 layout 上花了很

多精力與時間；有時候，設計出的元件無法符合 design rule，就必須要不斷思考該如何在維持元件物理特性的前提下同時不觸犯到 drc error，令我們傷透腦筋；或是要考慮到各個 metal line 的電阻與電容大小，以免影響到量測的結果，但好在最終都能一一解決。在這個過程中，我也深深的感受到隊友的重要，因為當你發現有人在旁邊一起做事、一起思考，會使人更加專注，也能有更多靈感。

雖然專題有累或是辛苦的地方，但相信經過這次的磨練，我們對「該如何做研究」有了一個更清晰的概念，也建立出屬於自己的研究模式，使我們在未來的研究路途上能走的更高更遠。