

### 摘要

由於想更加了解0.18微米邏輯製程的相關設計流程與基礎的元件結構以因應現今工業基礎元件的改善，因此本次專題實作目標訂定於提出並深入探討10種不同的元件結構並繪製出對應的布局平面圖，最後進行電路模擬及實際下線，以及後續晶片取得後，進行各項相關的量測。

### 元件結構及功能介紹

本次專題內容使用到T18製程，透過設計出以下10種元件結構並加以分析模擬與後續實際量測。

#### ➤ Different channel length effect with wide width

探討固定元件在長寬度下，改變通道長度對於 $V_{th}$ 的影響。給定寬度為 $10\mu m$ ，長度變化如表一所示。

DUT	W( $\mu m$ )	L( $\mu m$ )
1	10	0.18
2		0.22
3		0.5
4		1
5		10

表一

#### ➤ Different channel width effect with long channel length

探討固定元件在長通道長度下，改變寬度對於 $V_{th}$ 的影響。給定長度為 $10\mu m$ ，寬度變化如表二所示。

DUT	W( $\mu m$ )	L( $\mu m$ )
1	0.22	10
2	0.5	
3	1	
4	10	

表二

#### ➤ Small device with short gate length and narrow width

透過給定寬度為 $0.22\mu m$ 、 $0.5\mu m$ ，且在各自寬度下搭配3種不同的通道長度，分別為 $0.18\mu m$ 、 $0.22\mu m$ 、 $0.5\mu m$ ，共6組W/L進行分析，以探討微縮對元件特性的影響。

#### ➤ Ring Oscillators

比較51級和101級振盪器振盪頻率的差異，來分析在0.18微米製程下NMOS與PMOS各自傳輸訊息的速度。

#### ➤ Source / Drain junction capacitance measurement

目的是要量測不同大小的nmos和pmos各自source、body和drain、body介面電容的大小，藉此探討不同元件大小與介面電容之間的關聯性，選用的N+及P+大小如表三所示。

DUT	Type	W( $\mu m$ )
1	N+/P-sub	1
2		10
1	P+/N-well	1
2		10

表三

#### ➤ Poly field device

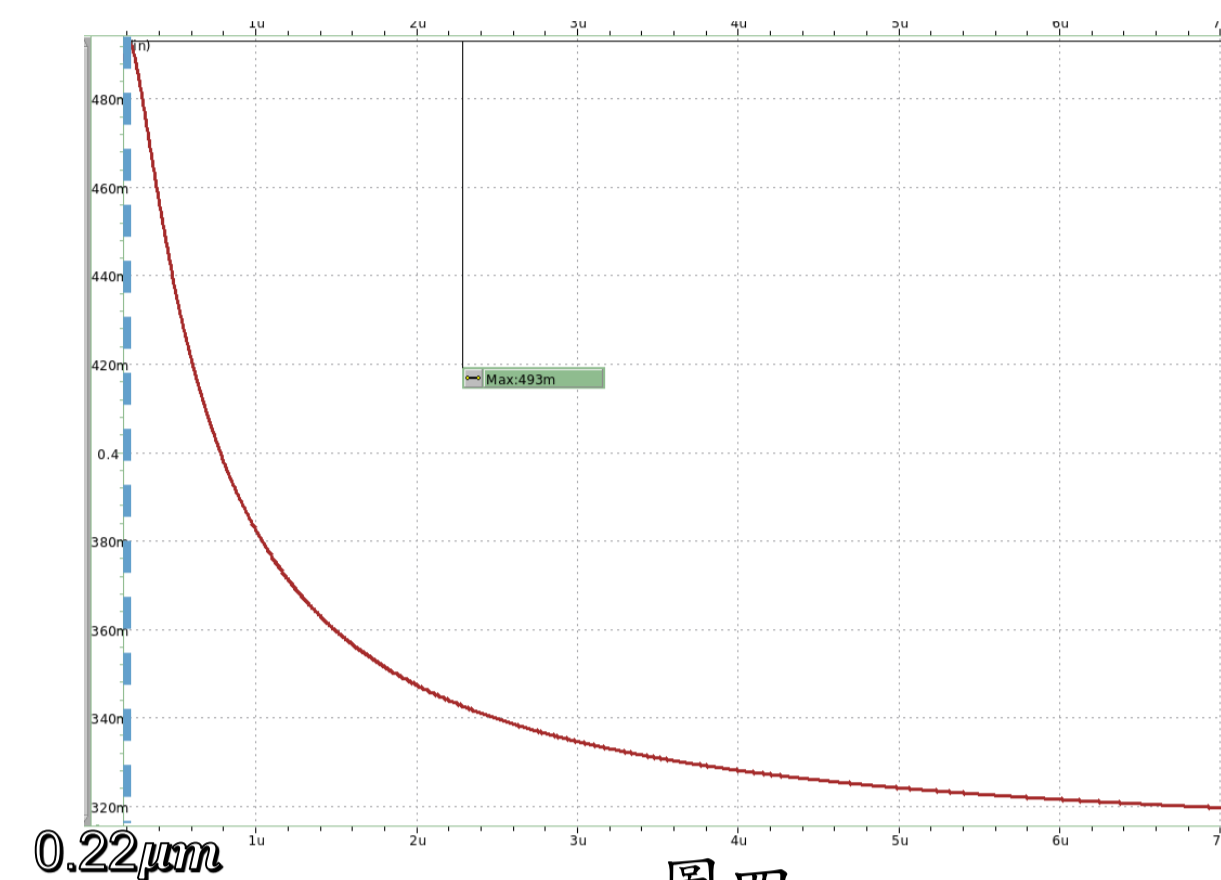
探討分別在nmos及pmos下，且元件間隔著poly時，兩元件相鄰的距離對於STI isolation的影響，給定的間距皆為 $1\mu m$ 、 $10\mu m$ 。

#### ➤ Metal-1 field device

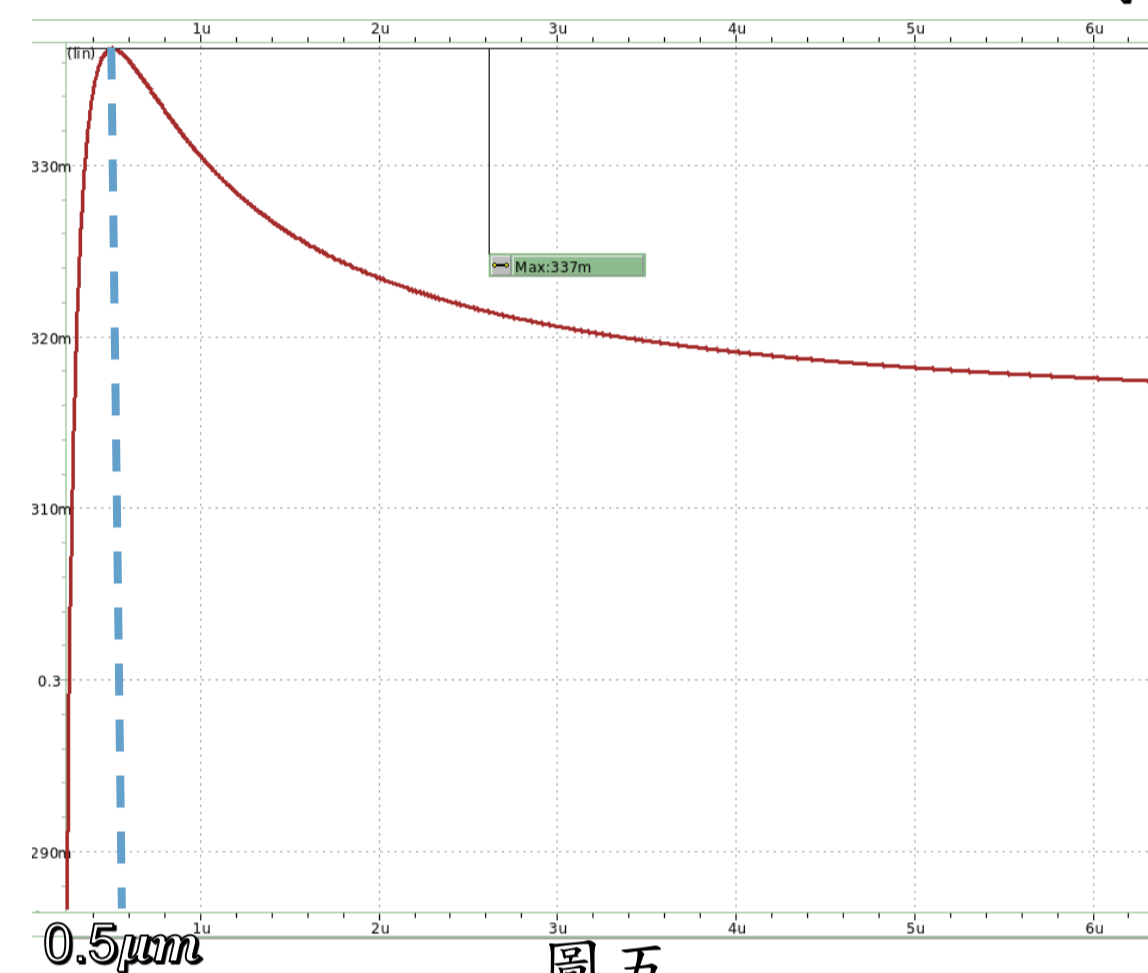
探討分別在nmos及pmos下，且元件間隔著metal-1時，兩元件相鄰的距離對於STI isolation的影響，給定的間距皆為 $1\mu m$ 、 $10\mu m$ 。

### 模擬分析

- 將固定元件寬度在 $10\mu m$ 的情況下，改變通道長度對於threshold voltage ( $V_{th}$ )的影響進行composer模擬，結果圖如圖四所示，可以發現 $V_{th}$ 的峰值大約落在 $L = 0.22\mu m$ 。

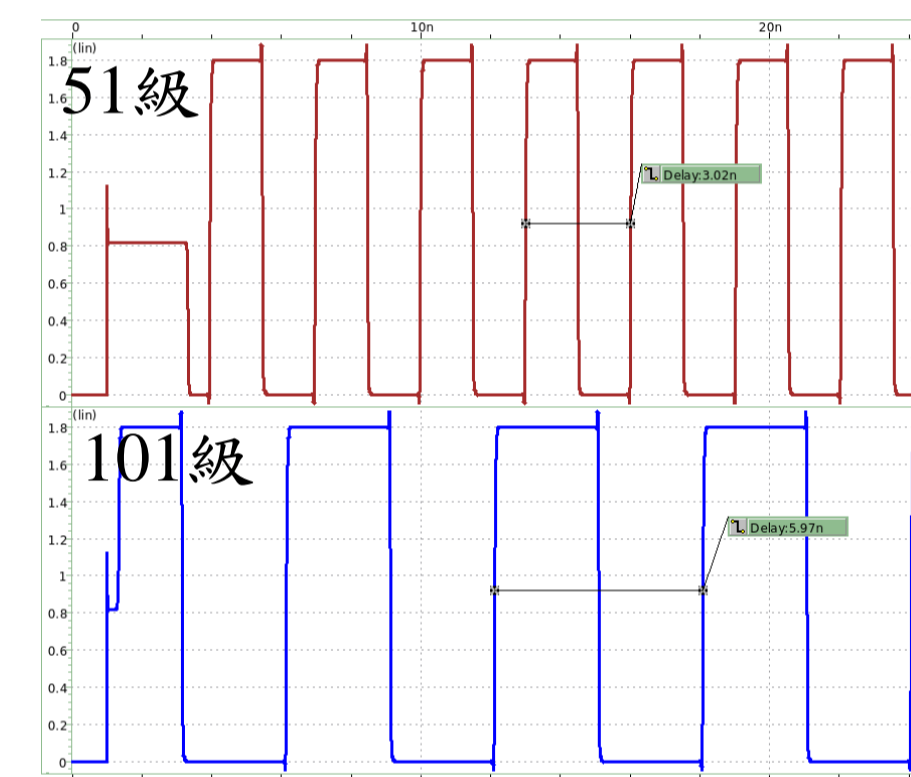


圖四



圖五

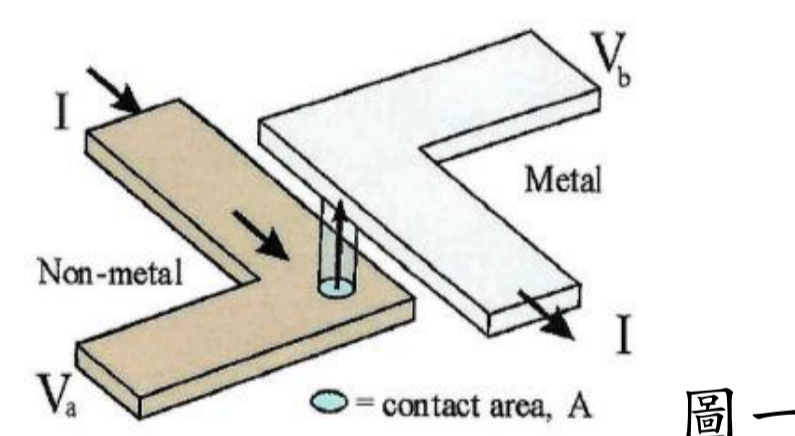
- 分別將51級和101級振盪器進行composer模擬所得的波形圖如圖六所示。在51級情況下，振盪週期大約為 $3.02ns$ ；而在101級情況下，振盪週期大約為 $5.97ns$ 。



圖六

#### ➤ Kelvin structures [1]

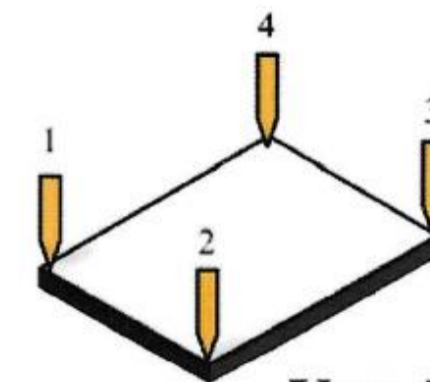
量測連接poly及metal的contact電阻以及連接metal 1及metal 2的via 1電阻和連接metal 5及metal 6的via 5電阻，Kelvin structures的架構示意圖如圖一所示。



圖一

#### ➤ Van der Pauw structures [2]

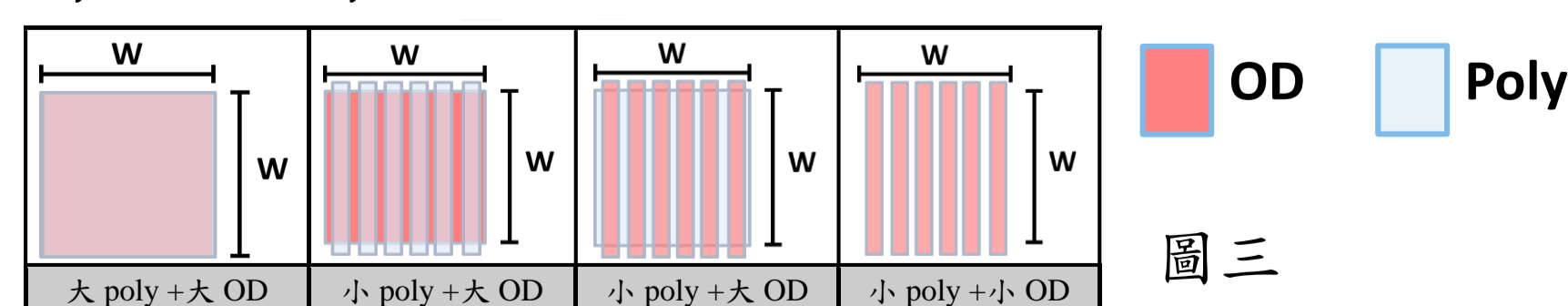
量測M1、M2、M3、M4、M5、M6各自metal gate & metal line的薄膜電阻，Van der Pauw structures的架構示意圖如圖二所示。



Van-der-Pauw 圖二

#### ➤ Different device arrays

探討在不同大小的OD及poly情況下，對於CV curve的影響，主要分成四大類進行比較，四種所給定的W皆為 $100\mu m$ 、 $300\mu m$ ，示意圖如圖三所示。



圖三

### 結論

透過上述10種不同元件結構的設計，各自分析對應的元件特性，藉此了解0.18微米製程的相關特性；也實際繪製出各元件結構的布局平面圖，並執行DRC、LVS及PEX的模擬，並於5月15日實際下線，完成0.18微米製程的所有流程，後續於9月21日取得晶片後，也會進行相關的量測。