

國立清華大學 電機工程學系

實作專題研究成果摘要

Design of a 112Gbps Equalizer in
Muller-Muller Phase Detector Receiver
for XSR Application in 28nm CMOS
應用於極短通道之 muller muller 相
位偵測接收端中之112Gbps 等化器於
28奈米 CMOS 製程

專題領域：電路設計

組 別：B368

指導教授：彭朋瑞

組員姓名：曾柏豪、吳晨碩、鄭芃之、劉子昇

研究期間：2023年2月20日至2023年11月24日止，共9個月

Abstract

The objective of this research project is to simulate an ideal high-speed serial transmission circuit with a simulation speed set at 56Gbps NRZ (112Gbps PAM4). Based on the simulation results, a practical circuit will be designed to replace the ideal circuit while aiming to achieve similar performance. The impact of different channels (FR4_1p3cm, FR4_2cm, FR4_3cm, FR4_4cm, FR4_5cm) and locking conditions (MMPD) on the SBR (Single-Bit-Response) and the eye diagram characteristics will be analyzed, with a primary focus on the SBR and eye diagram analysis under the MMPD locking condition. High-speed serial transmission circuits play a crucial role in modern communication systems, making it essential to deeply understand the effects of channel characteristics on signal integrity.

Initially, we designed an ideal high-speed serial transmission circuit, where simulation focused on frequency aspects with modifications made through Cadence IC. Subsequently, simulation software was used to simulate the ideal circuit to obtain optimal performance parameters for the circuit.

Based on the simulation results of the ideal circuit, we designed a practical circuit, considering parameters such as capacitance, resistance, and inductance. Variations in channel materials, lengths, and parasitic effects like parasitic capacitance and resistance were also taken into account. The physical characteristics of the channel have a significant impact on signal transmission speed and quality, requiring adjustments to circuit parameters for optimal circuit performance under different material and length conditions.

The research methodology includes establishing an analog environment, building circuit models, equalizer design, optimizing CTLE (Continuous Time Linear Equalizer), and analyzing SBR and eye diagram graphs. These methods assist in determining the effectiveness of equalizer compensation and evaluating communication quality. In the results section, a series of experimental results were obtained, and equalizers under different channel conditions were optimized to improve the performance of SBR and eye diagram graphs.

In summary, the purpose of this research is to simulate an ideal high-speed serial transmission circuit and design a practical circuit based on the simulation results, aiming to gain an in-depth understanding of the effects of channel characteristics on signal integrity. The research provides valuable reference information to optimize circuit design and ensure high-quality signal transmission.

摘要

本專題研究的目標是進行理想高速串列傳輸電路的模擬，模擬的速度設定在 56Gbps NRZ(112Gbps PAM4)，根據模擬結果設計出一個實際電路以取代原本的理想電路並期望能夠達成類似性能，透過評估不同通道(FR4_1p3cm、FR4_2cm、FR4_3cm、FR4_4cm、FR4_5cm)以及鎖定條件(MMPD)的影響分析其對 SBR(Single-Bit-Response)圖形和眼圖的影響，本專題主要針對 MMPD 鎖定條件進行 SBR 和眼圖分析。高速串列傳輸電路在現代通訊系統中扮演了關鍵角色，因此深入了解通道效應對於信號完整性的影響至關重要。

首先，我們設計了一個理想高速串列傳輸電路，其中先利用程式碼對於電路進行模擬，修改的條件著重在頻率的部分，接著我們使用模擬軟體進行理想電路的模擬，以獲得電路最佳性能的參數。

基於理想電路的模擬結果，我們設計了一個實際電路，其中包括電容、電阻與電感等參數的設計，也需考慮不同通道材料和長度的變化與寄生電容、寄生電阻等效應。通道的物理特性對於信號的傳輸速度和品質具有重要影響，因此我們須針對材料在不同長度下的性能有所不同而更改電路參數已獲得最佳電路。

研究方法包括建立類比環境、建立電路模型、均衡器設計、最佳化 CTLE、SBR 圖分析等步驟。這些方法幫助我們確定均衡器補償效果的優劣，並評估通訊品質。在研究結果部分，我們獲得了一系列的實驗結果，並優化了不同通道條件下的均衡器，以改善 SBR 圖和眼圖的效能。

總之本研究的目的是進行理想高速串列傳輸電路的模擬，並根據模擬結果設計出具有類似功能的實際電路，以深入瞭解通道效應對於信號完整性的影響，並提供有價值的參考資訊，以優化電路設計並確保高質量的信號傳輸。

目錄

I.	報告內容.....	1
1-1	背景與動機.....	1
1-2	研究目的.....	1
1-3	研究方法.....	1
1-4	研究結果.....	2
1-1-1	實作後的 channel AC response 結果.....	2
1-4-2	實作與理想的 CTLE 的 AC response 比較.....	3
1-4-3	實作後的 SBR 結果.....	3
1-4-4	實作後的 NRZ 與 PAM4眼圖結果.....	4
1-4-5	Design comparison.....	4
1-5	總結.....	5
II.	心得感想.....	5
III.	參考資料.....	6

List of Figures

Fig. 1. FR4_1p3cm 至 5cm channel 的 AC response 圖形結果.....	2
Fig. 2. FR4_5cm channel 的 CTLE 理想(黃線)和實際(紅線)的 AC response.....	2
Fig. 3. Fig. 3. FR4_5cm channel 的 SBR 量測結果.....	3
Fig. 4. Fig. 4. FR4_5cm channel 的 SBR 圖形結果.....	3
Fig. 5 Fig. 5. FR4_5cm NRZ 與 PAM4 眼圖補償前與補償後之比較圖.....	4

I. 報告內容

1-1 背景與動機

本研究的動機源自對現代通訊系統中高速串列傳輸電路的關鍵性質的深刻關注。這些電路在數據傳輸過程中擔任著至關重要的功能，然而，通道效應對信號完整性產生深遠的影響，包括但不限於通道損失和噪聲等因素，這些因素可能對信號的品質和抗干擾性產生不可忽視的影響，例如 ISI（碼間干擾）。因此，深入了解通道效應對高速串列傳輸電路的影響，並針對如何優化電路設計，將對實現更穩定和可靠的數據傳輸產生決定性的影響。

1-2 研究目的

本研究的目標在於透過模擬和深入分析在不同通道及鎖定條件下所產生的差異，藉由分析模擬出的 SBR 波形圖和眼圖並通過設計電路的方式以補償 loss，我們通過手算後分析原本的 CTLE 電路圖(pole、zero 等參數)，後使用 virtuoso 模擬出 idea 狀況下的不同通道下的波形圖，並進行參數的設計與調整來計算出補償量，接著根據計算出之結果設計出一個具開關功能之 ctle 電路來達成在不同通道時的補償量，使得高速串列傳輸在不同的通道環境下能夠提升訊息的準確度，提供具有價值的參考資訊(如不同通道下的頻率參數及電路設計參數等)，以協助設計和優化高速串列傳輸電路的性能。透過對通道效應的深入研究，我們旨在揭示各種潛在問題並提出有效解決方案，以確保數據傳輸的穩定性和可靠性。這將有助於推動高速串列傳輸電路技術的進一步發展，同時對高速串列傳輸有更深入的了解，並在最終實現更卓越的性能。

1-3 研究方法

我們將使用 Virtuoso Cadence 等軟體在實驗室的基礎電路上建立相關測試電路，並使用其內建的理想 pz filter 構成並找出有著對應 AC response 並能使 SBR 最佳化的理想等化器，再然後我們將在 schematic 層面上考量寄生電容和寄生電阻厚實作一個 CTLE 電路架構，並嘗試讓其與理想 CTLE 有著相近的 AC response 以達到近似的 filter 效果，最後再用此實際的 CTLE 電路來驗證 SBR 和眼圖並成功做出等化器應有的效果。

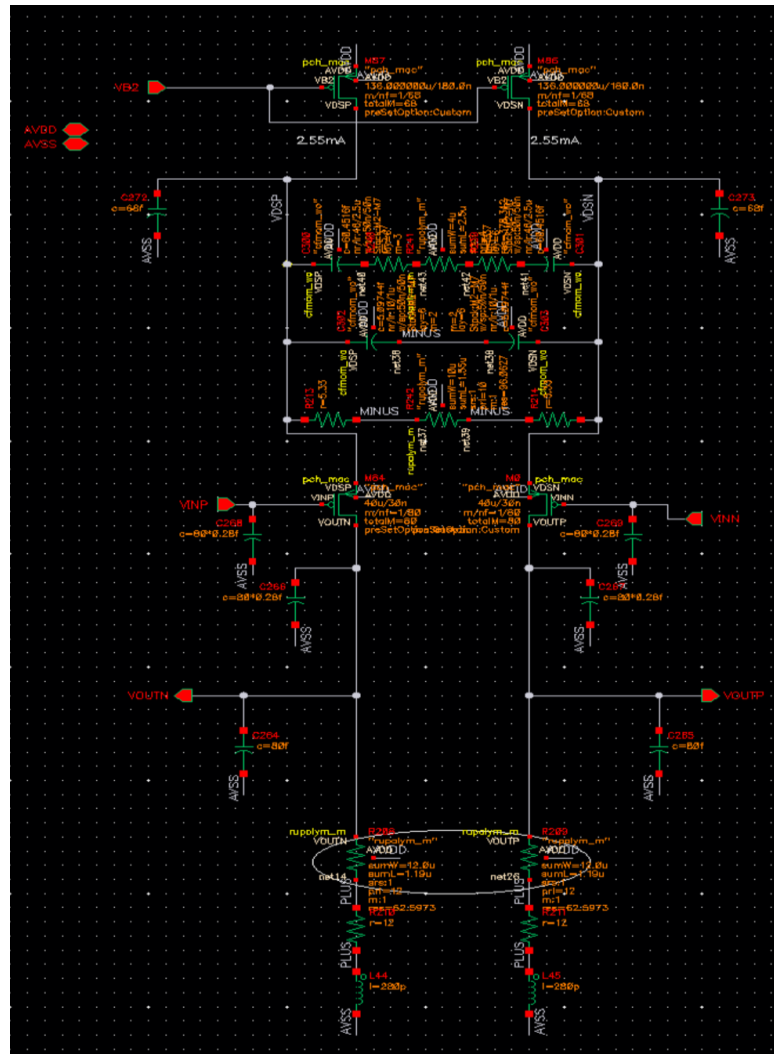


Fig. 1. 實際的 CTLE 電路(考量到寄生電容和寄生電阻)

1-4 研究結果

1-4-1. 實作後的 channel AC response 結果

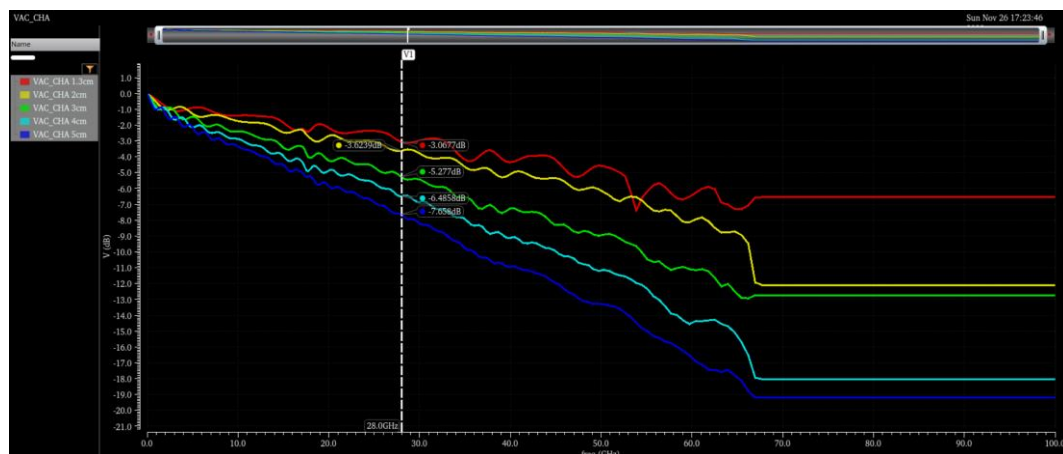


Fig. 2. FR4_1p3cm 至 5cm channel 的 AC response 圖形結果

由上圖 Fig. 2.中，可以看出 channel 會在28GHz 時開始有明顯的 dB 衰減，而衰減程度會依照1.3cm 至5cm 依序遞增。

1-4-2. 實作與理想的 CTLE 的 AC response 比較

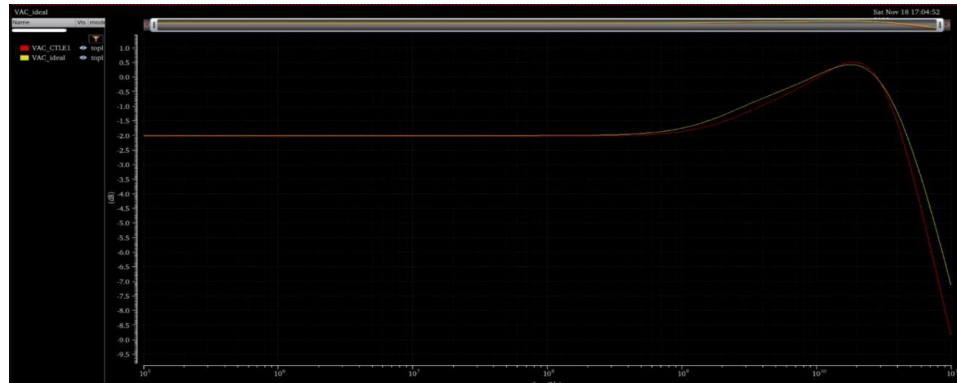


Fig. 3. FR4_5cm channel 的 CTLE 理想(黃線)和實際(紅線)的 AC response
由上圖 Fig. 3.能看到我們實作的 CTLE 有著與理想 CTLE 相近的 AC response，這代表兩者表現出相似的 high-pass filter 特性。

1-4-3. 實作後的 SBR 結果

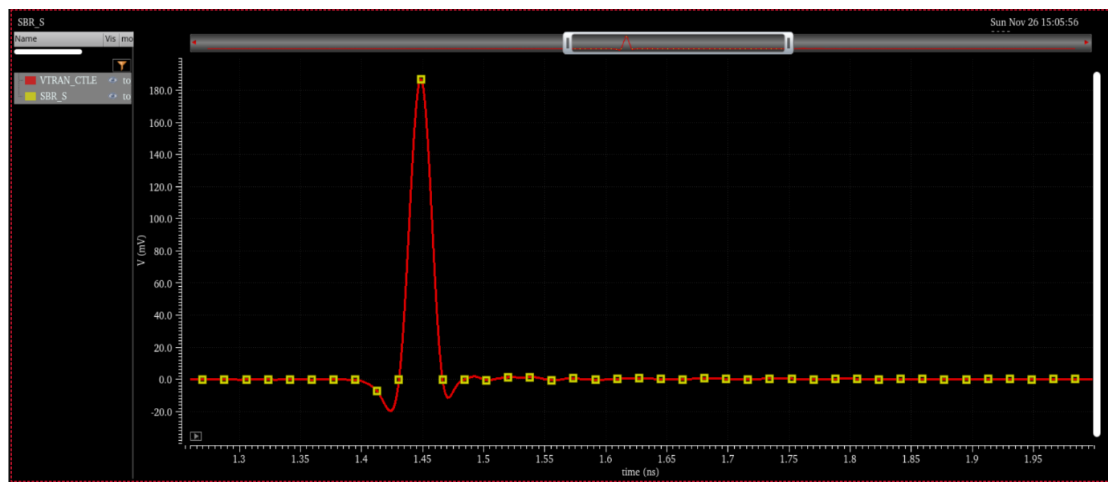


Fig. 4. FR4_5cm channel 的 SBR 圖形結果

由上圖 Fig. 3.與 Fig. 4.中，可以看到首先 SBR 量測的結果中，在 MMPD 條件下比較重要的兩個 cursor h1=-62.65u 和 h-1=-62.65u 兩個都接近於零 ($< 2\text{mV}$)，我們也可以觀察到在 SBR 圖形中，實作後的 CTLE 電路很好的發揮了補償的功用，在 SBR 尖端底下的兩側都能看出有 CTLE 補償後的痕跡和效果，這代表我們做出來的 CTLE 電路良好的發揮了作為訊號傳輸中等化器的作用。

1-4-4. 實作後的 NRZ 與 PAM4眼圖結果

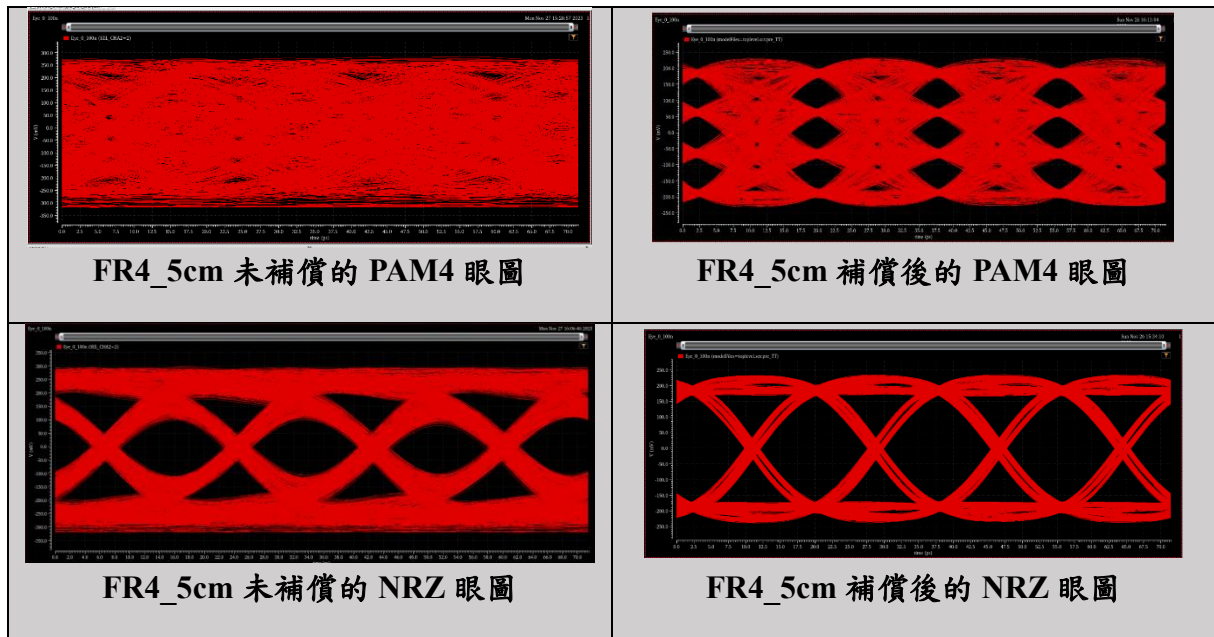


Fig. 5. FR4_5cm NRZ 與 PAM4 眼圖補償前與補償後之比較圖

可以由上圖 Fig. 5. 中的眼圖經過我們的等化器作用後變得良好。

1-4-5. Design comparison:

	ASSCC'21[4]	JSSC'21[5]	ISCAS'23[6]	This work
Technology	28nm	28nm	40nm	28nm
Single/Diff	Single	Single	Single	Diff
Signaling type	PAM4/NRZ	PAM3	PAM4	PAM4/NRZ
Supply(V)	1	0.6	1.25/0.9	0.9
Data rate(Gb/s)	24	30	48	56
Rx Equalization	CTLE	CTLE	CTLE	CTLE
Channel loss(dB)	5dB@6GHz	6.6dB@10G Hz	7dB@12GHz	7.66dB@28GHz
Power(J)	-	0.0333J	0.14256J	

1-5 總結

總結而言，這項專題研究著眼於現代通訊系統中至關重要的高速串列傳輸電路，特別針對通道效應對信號完整性的影響展開深入探討。透過理想高速串列傳輸電路的模擬和實際電路的設計，詳細評估了不同通道材料的長度以及鎖定條件對 SBR 圖的影響。報告中針對等化器基本電路架構、MMPD 鎖定條件的分析、不同 FR4 材質及長度對電路的影響等進行了深入的分析。SBR 圖的比較顯示不同通道的介質高度對信號的品質產生了明顯的影響。在調整參數的過程中，考慮了寄生電容與寄生電阻效應，調整電容、電阻與電感等參數找到對應的 pole 和 zero，使得實際電路模擬出的 AC response 符合理想電路的模擬結果，最後也成功補償 SBR 訊號使得雜訊成功抑制，這代表我們成功建構了一個 CTLE 電路，並成功地設計了一個等化器並讓其在訊號傳輸中發揮了正確的功用。這些分析結果有助於深入了解高速串列傳輸電路的性能，提供了實際電路設計的有價值參考，並強調了訊號完整性優化的重要性。

未來的規劃包括擴展研究範圍，包括更多的通道條件和更複雜的訊號模型，優化均衡器演算法，以進一步提升通訊系統效能。綜上所述，本研究成功改善了串行通訊中的訊號失真問題，提高了通訊的可靠性，並提出了未來的研究方向，以不斷改進通訊系統性能。這有望對高速串行通訊技術的發展產生正面影響。

II. 心得感想

我們這組專題生參加了實驗室的研究。在專題的最初，實驗室的博士生和碩士生提供我們專題相關的基本知識及模擬環境如何建構並幫助我們熟悉模擬程式的操作，接下來我們藉由模擬去找出正確對應的 poles 和 zeros 來構成最合適 AC response 的理想等化器，於最後在 Schematic 層級上設計自己的 CTLE 電路。在整個學期中，我們每週多安排時間一起使用通訊軟體 Discord 與組員內部線上會議和一同研究，而我們也花了許多時間在克服題目中遇到的各種難題，此時我們則會尋求實驗室的博士生和碩士生的幫助，並感謝他們給予我們多方面的指導和幫助。

透過本研究，我們成功地深入了解了高速串列傳輸電路的性能，特別是在不同通道條件下的表現。通過理想電路的模擬和實際電路的設計，我們成功優化了均衡器，提高了 SBR 圖和眼圖的效能，這對信號的傳輸品質至關重要。在未來，我們計劃擴展研究範圍，包括更多通道條件和更複雜的訊號模型，以進一步提升通訊系統效能。總體來說，這項研究為高速串列傳輸電路的設計和優化提供了有價值的參考資訊，並成功改善了串行通訊中的訊號失真問題。

III. 參考資料

- [1] Lee, Ping-Chuan Chiang, Pen-Jui Peng, Li-Yang Chen, & Chih-Chi Weng. (2015). Design of 56 Gb/s NRZ and PAM4 SerDes Transceivers in CMOS Technologies. *IEEE Journal of Solid-State Circuits*, 50(9), 2061–2073. <https://doi.org/10.1109/JSSC.2015.2433269>
- [2] Vladuță, Dobrescu, L., Militaru, N., & Dobrescu, D. (2020). High frequency common-mode noise in serdes circuits' optimized interconnections. *Facta Universitatis. Series Electronics and Energetics*, 33(3), 327–349. <https://doi.org/10.2298/FUEE2003327V>
- [3] Integrated Circuits and Communication Systemxs (ICICACS), IEEE International Conference on. (2023). IEEE Xplore All Conference Series.
- [4] H. Jin et al., "A 24Gb/s/pin PAM-4 Built Out Tester chip enabling PAM-4 chips test with NRZ interface ATE," 2021 IEEE Asian Solid-State Circuits Conference (A-SSCC), Busan, Korea, Republic of, 2021, pp. 1-3, doi: 10.1109/A-SSCC53895.2021.9634750.
- [5] H. Park et al., "30-Gb/s 1.11-pJ/bit Single-Ended PAM-3 Transceiver for High-Speed Memory Links," in *IEEE Journal of Solid-State Circuits*, vol. 56, no. 2, pp. 581-590, Feb. 2021, doi: 10.1109/JSSC.2020.3006864.
- [6] K. Kim, D. Yun, K. Baek, W. -S. Choi and D. -K. Jeong, "A 48-Gb/s Single-Ended PAM-4 Receiver with Adaptive Nonlinearity Compensation," 2023 IEEE International Symposium on Circuits and Systems (ISCAS), Monterey, CA, USA, 2023, pp. 1-5, doi: 10.1109/ISCAS46773.2023.10182132.