

A 10-bit 40-MS/s 2 Channels Time-Interleaved SAR ADC with a Monotonic Capacitor Switching Procedure

一個使用單調電容切換程序每秒四千萬次採樣之雙通道十位元時序交

錯循序漸進式類比數位轉換器

組別：B245 指導教授：謝志成 組員姓名：游智鈞、余岳龍

摘要

循序漸近式類比數位轉換器 (Successive Approximation Register Analog-to-Digital Converter, 或簡稱 SAR ADC) 是一種十分常見的類比數位轉換器, 具有較低的功耗、較小的面積及中高解析度等特性, 其運作原理是透過比較器 (Comparator) 對數位類比轉換器 (Digital-to-Analog Converter, 或簡稱 DAC) 的輸出電壓進行比較, 運用二分搜尋演算法 (Binary Search Algorithm) 逐次得到各個位元的數位輸出。

不過對於 SAR ADC 而言, 在每次比較器完成比較後會需要根據結果對 DAC 進行切換, 完成切換後還需要給予 DAC 足夠的安定時間 (Settling Time) 使 DAC 的輸出穩定, 之後才能進行下一次的比較, 而且一個 N 位元的 SAR ADC 要完成一筆資料的轉換就必須重複上述流程 N 次, 所以 SAR ADC 的最高操作速度往往受限於 DAC 及解析度, 也是 SAR ADC 較明顯的缺點。

為了能提升 SAR ADC 的最高操作速度, 時序交錯 (Time-Interleaved) 架構是其中一種方式。時序交錯架構運用 N 個一樣的 ADC, 透過控制各 ADC 的時脈訊號使 N 個 ADC 平行運作, 如此一來, 即使各 ADC 的操作速度與原本相同, 整體 ADC 的操作速度便能提升為原本單通道 ADC 的 N 倍。

此專題使用 T18 製程, 參考[1]中單調電容切換程序 (Monotonic Capacitor Switching Procedure) 之架構及切換方式, 建構出一個雙通道10位元時序交錯循序漸近式類比數位轉換器 (2 Channels Time-Interleaved SAR ADC)。經過電路模擬, 單通道的 SAR ADC 最高操作速度為20MS/s, 而雙通道時序交錯 SAR ADC 最高操作頻率則可以如我們預期的提升至40MS/s 並且維持原本單通道 SAR ADC 的解析度。目前已完成晶片下線, 待晶片製作完成後將進行後續量測工作。

本次 SAR ADC 採用單調電容切換程序 (Monotonic Capacitor Switching Procedure) 進行 DAC 的切換, 在每次比較後僅有一個電容的 Bottom Plate 會被切換, 其優點是可以近一步的減 SAR ADC 轉換所需的功耗, 但其缺點是比較器的輸入共模電壓 (Input Common-mode Voltage) 會在逐次比較的過程中漸漸往0V 收斂, 因此這個架構對於比較器的設計要求較高, 比較器需要確保能在不同的輸入共模電壓下具有足夠抵抗噪聲 (Noise) 和不匹配效應 (Mismatch) 影響的能力, 才能確保輸出結果的正確性。

一、前言

一個好的 ADC 能在高速運作的同時擁有高解析度，但對於循序漸進式類比數位轉換器 (SAR ADC) 而言，由於每個輸出數位位元的產生都需要經過一次比較與 C DAC 切換，解析度愈高的 SAR ADC 每筆資料所需要的轉換時間也會愈長，而當 SAR ADC 的操作速度逼近製程的上限，要兼顧操作速度與解析度是相當困難的。因此在這個專題中，我們使用 Time-Interleaved 架構，讓兩個 Channel 的 SAR ADC 平行運作，即使各 Channel 的操作速度依舊受限於製程，但等效上就可以突破這個限制，使整體 ADC 在維持原有的解析度下將最大操作頻率提升為原本單 Channel SAR ADC 的兩倍。

二、操作原理及架構說明

2-1. Time-Interleaved SAR ADC 操作原理

此次架構由 CLK generator，2個單通道 SAR ADC (Channel 1、Channel 2)，以及 MUX 組成，單通道 SAR ADC 內則包含 Sample & Hold、Comparator、C DAC (Capacitor Array)、Asynchronous Control Logic、DAC Control 等電路。下方圖1為 Time-Interleaved SAR ADC 的 Block Diagram，圖2為單通道 SAR ADC 的 Block Diagram。

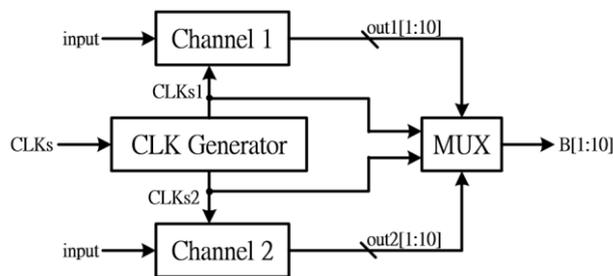


圖 1：Time-Interleaved SAR ADC 的 Block Diagram

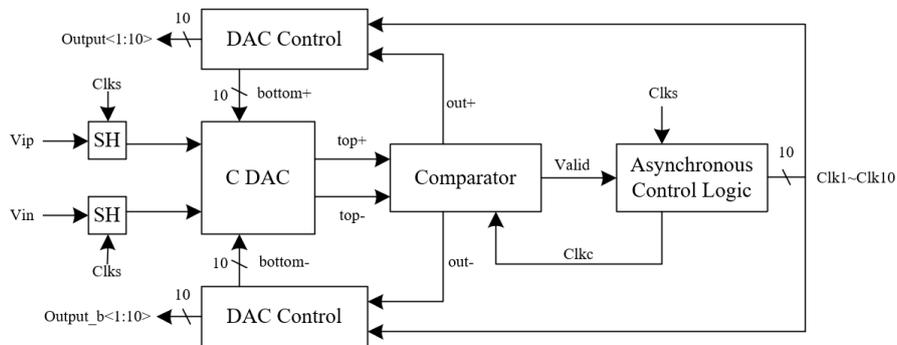


圖 2：單通道 SAR ADC 的 Block Diagram

單通道的 SAR ADC 操作流程為，differential input 會由 Sample & Hold 輸入，Sample & Hold 會依據 clock 進行採樣，採樣到的 data 會送入 DAC 的 top plate 並連接至 Comparator，由 Comparator 比較 P 端與 N 端的電壓大小，比較完畢後，Comparator 會將比較結果輸入至 DAC Control，DAC Control 便會根據比較結果對 DAC 中第 1 個電容的 bottom plate 進行切換並送出第 1 個 bit 的結果，之後 DAC 的 top plate 會根據電容比例進行分壓，完成第 1 個 bit 的比較，接著便重複上述步驟直到第 10 個 bit 比較完成，以逐次逼近的方式得到最終的 10-bit output code。而 Asynchronous Control Logic 的用途是在每次 Comparator 比較完成後傳遞 $clk1 \sim clk10$ 訊號給 DAC Control，讓 DAC Control 可以根據目前正在比較的 bit，對相對應的電容 bottom plate 進行切換。而本次設計使用 Time-Interleaved ADC 架構，包含兩個 Channel 的 SAR ADC，會由 CLK generator 輸出交錯的 CLKs1 與 CLKs2，分別作為 Channel 1 和 Channel 2 的 clock，兩個 Channel 便能輪流處理輸入資料，並透過 MUX 交錯輸出資料。CLKs1 與 CLKs2 同時也作為 MUX 的控制訊號，讓任一 Channel 在進行 Sample 的時候將其上一筆資料的結果輸出。圖 3 為輸出訊號的 Timing Diagram。

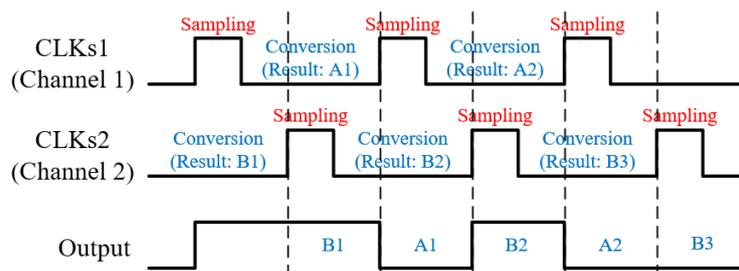


圖 3：輸出訊號的 Timing Diagram

三、模擬結果與下線佈局

3-1. Sample & Hold 模擬結果

Sample & Hold 以20MHz 的採樣頻率（此頻率為 TI 架構中單個 Channel 之操作頻率）對 input 為10MHz 的弦波進行採樣，表1及表2內的數值分別為 Pre-sim 及 Post-sim 根據採樣結果求得的 ENOB，由於我們的電路是10-bit 的 ADC，所以我們希望 Sample & Hold 的 ENOB 要達到12 bits 以上的解析度。從表1及表2可見，雖然 Post-sim 的 ENOB 略低於 Pre-sim，但無論是在25°C或80°C的情況下，各 corner 的 ENOB 依然有達到12 bits 以上。

ENOB	TT	FF	SS	FS	SF
25°C	13.6726	13.4927	13.7081	13.6507	13.5966
80°C	13.1975	12.7862	13.3542	12.9697	13.2352

表 1：Sample & Hold Pre-sim 模擬結果(ENOB)

ENOB	TT	FF	SS	FS	SF
25°C	13.1595	12.7704	13.4979	12.9565	13.1648
80°C	12.8229	12.3756	13.1313	12.5466	12.9199

表 2：Sample & Hold Post-sim 模擬結果(ENOB)

3-2. Comparator 模擬結果

由於本次使用的切法會導致 Comparator 的 Input Common-mode Voltage 在逐次的比較過程不斷下降，故以最後一次比較收斂到的 Input Common-mode Voltage (約0.01V)作為 worst case 進行設計及量測。表3為 Comparator 在80°C，Input Common-mode Voltage 0.01V 的 Pre-sim 及 Post-sim 結果比較，可以看到 Post-sim 測量到的 noise sigma 與 Pre-sim 時設計出的結果相距不遠，但由於 Post-sim 多考慮了 Layout 中的寄生電容，導致其所需的比較時間相較於 Pre-sim 多出了不少。不過我們在 Pre-sim 時有提前預留時間，所以 Post-sim 依然可以在 Conversion 的階段內完成10個 bit 的比較。

Corner	Noise Sigma		Comparison Time	
	Pre-sim	Post-sim	Pre-sim	Post-sim
TT	0.2041 LSB	0.1999 LSB	0.486 ns	0.815 ns
FF	0.2272 LSB	0.2210 LSB	0.396 ns	0.669 ns
SS	0.1869 LSB	0.1802 LSB	0.605 ns	1.026 ns
FS	0.1626 LSB	0.1471 LSB	0.482 ns	0.796 ns
SF	0.3125 LSB	0.3333 LSB	0.495 ns	0.843 ns

表 3：80°C $V_{cm} = 0.01V$ Comparator Pre-sim 與 Post-sim 比較

3-3. Time-Interleaved SAR ADC 模擬結果

表4為整個 Time-Interleaved SAR ADC 在25°C、Sampling Rate 40MHz、Input Signal Frequency 20MHz 的情況下(Nyquist Frequency)，各 corner Pre-sim 及 Post-sim 模擬結果的 ENOB。

Corner	Pre-sim	Post-sim
TT	9.9242	9.5716
FF	10.0340	9.5507
SS	9.9669	9.3846
FS	10.0420	9.5204
SF	9.9924	9.6077

表 4：TI SAR ADC Pre-sim 與 Post-sim 結果(ENOB)

3-4. 電路功耗(Power Dissipation)

表5為電路功耗表，表中分別列出 Sample & Hold 電源(VDDA_SH)、Comparator 電源(VDDA_CMP)、DAC Control 電源(VDDA_DAC)、Clock Generator 電源(VDDA_CG)、數位電源(VDDD)、Shielding 電源(VDDshield)、數位 ESD 電源(VDDED)和類比 ESD 電源(VDDEA)。Pre-sim 時並未加入 PAD 模擬，故無 VDDED 與 VDDEA 資料。VDDshield 為 Layout 上為保護 sensitive line 避免其受附近走線或 substrate 的干擾而加上之電源，Pre-sim 時因為沒有考慮走線之間的寄生電容或者來自 substrate 的干擾，故功耗為0。此外，由於數位訊號及 DAC Control 的切換功耗(switching energy)直接受到寄生電容的影響，VDDD 與 VDDA_DAC 在 Post-sim 的功耗相較於 Pre-sim 有較顯著的增加。

Power	Pre-sim	Post-sim
VDDA_SH	0.024 mW	0.032 mW
VDDA_CMP	0.139 mW	0.198 mW
VDDA_DAC	0.128 mW	0.332 mW
VDDA_CG	0.034 uW	0.081 uW
VDDD	0.685 mW	0.961 mW
VDDshield	0	5.401 nW
Total Power	0.977 mW	1.472 mW

表 5：電路功耗表

3-5. 下線佈局(Layout)

Chip Size: 1200um x 1070.5um

Transistor / Gate Count: 2216 transistors

Power Dissipation: 4.469 mW (Full Chip) / 1.472 mW (without PAD)

Max. Frequency: 40MHz

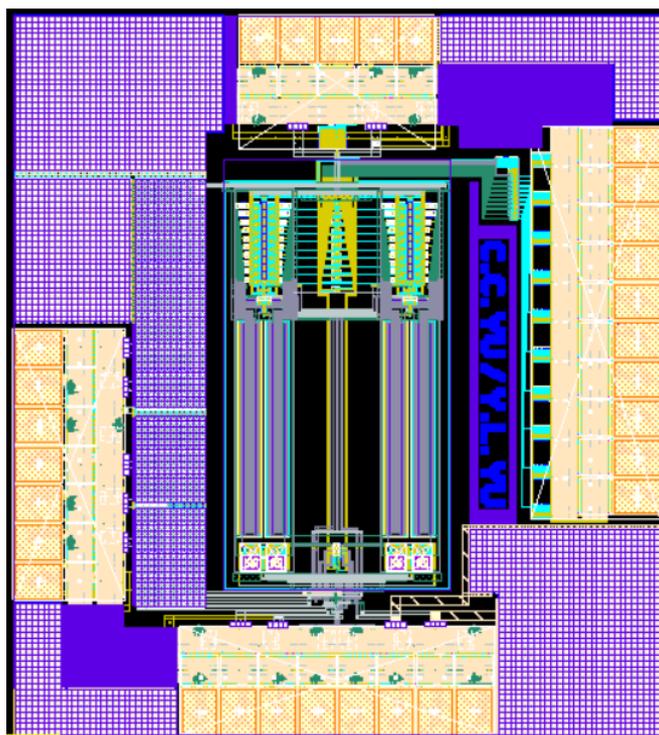


圖4：下線佈局圖

四、 結論

本次專題使用 T18製程實作雙通道10-bit Time-Interleaved SAR ADC，經過模擬確認此架構可以在維持單通道 SAR ADC 解析度的同時將最高操作頻率增加為原本單通道的2倍，由20MS/s 提升至40MS/s。由於下線的面積限制，本次專題僅使用雙通道 Time-Interleaved 架構，若能使用更多通道的架構，操作速度也可以進一步的提升至更高的倍數。Time-Interleaved 架構較顯著的缺點是需要的面積較大，若使用 N 個通道的 Time-Interleaved 架構，其面積也會變成原本單通道的 N 倍，而 CLK Generator 的架構也會因此變得更加複雜，才能夠產生 N 個通道所需要的時脈訊號。除此之外，Time-Interleaved 架構也會因為 process variation 的關係造成各個通道之間的 mismatch，造成整體解析度大幅下降，所以往往需要額外進行各通道之間的 calibration 才能消除 mismatch 的影響，是 Time-Interleaved 架構實作中重要的一部份。

五、參考文獻

- [1] C. Liu et al., "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure," in IEEE Journal of Solid-State Circuits, VOL. 45, NO. 4, April 2010, DOI: 10.1109/JSSC.3020.2042254.
- [2] V. Hariprasath, J. Guerber, S.-H. Lee and U.-K. Moon, "Merged capacitor switching based SAR ADC with highest switching energy-efficiency," in Electronics Letters, Vol. 46, No.9, 29th April 2010, DOI: 10.1049/el.2010.0706
- [3] Mingqiang Guo, Sai-Weng Sin, Rui P. Martins, S.-H. Lee and U.-K. Moon, "A 1.6-GS/s 12.2-mW Seven-/Eight-Way Split Time-Interleaved SAR ADC Achieving 54.2-dB SNDR With Digital Background Timing Mismatch Calibration" in IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 55, NO. 3, MARCH 2020.

六、心得

游智鈞：

雖然在做專題之前，我已經在積體電路設計導論及類比電路分析與設計這兩門課中有過許多電路實作的經驗，但真正開始專題實作後才發現原來過去課堂中的練習都還只是基礎而已，對一個真正要下線的電路而言，在設計時除了必須考慮 corner 及溫度對 Performance 的影響，還要將 noise、mismatch、clock jitter、coupling 等非理想效應納入考量，所以設計起來遠比過去實作過的作業困難許多。此外，這次專題是我第一次畫類比電路的 Layout，也是我第一次進行晶片下線，是一次十分嚴峻的挑戰，不過我也從中學習到了不少 Layout 技巧與觀念，像是利用 Guard Ring 或 Shielding 的技巧來保護類比電路及 Sensitive 的訊號、MOSCAP 的作用及使用、I/O PAD 的考量及規劃方式……等。在過去的幾個月中，從 paper survey 到最終的下線，我認為自己在電路實作方面的能力有十分明顯的進步，也是一次十分寶貴的經驗。最後，謝謝我的隊友余岳龍在這段時間的幫助，和我一起分工合作完成這次的專題任務；謝謝實驗室的學長姐們犧牲自己的研究時間，協助我們解決在專題過程中遇到的各種困難；謝謝教授設計這麼紮實的專題訓練並且在每次 meeting 中給予我們各種指導，讓我有機會可以親自經歷一個 Full-custom 晶片的流程，也使自己的能力有所提升。

余岳龍：

在大三上時，修了很多與晶片設計及類比相關的課程，像是類比設計與分析、VLSI 等等，培養我對於此領域的能力與興趣，因此在找專題教授時，希望能進入相關領域的實驗室，也感謝謝志成教授能給我機會，讓我能運用課堂學到的理論知識，完成跑完類比 IC 設計流程。在整個設計流程中，學長首先帶我們了解 ADC 的電路與理論名詞，而後開始模擬各項在課堂上學過的非理想效應，理解

noise、寄生電容、mismatch...等等在電路上實際的影響，接著在學長的指導下，訂出了題目與規格。學習好的類比電路 layout 該如何畫，需要注意對稱、dummy、guard ring、寄生電路、shielding.....等等。最後成功下線。

專題與課堂最大的不同在於沒有固定的進度，所有的一切都必須從 paper、討論、與實際模擬中找到答案，在這過程中，與學長的討論帶我們找到方向，與同伴一同模擬，深入理解電路運作，找出並解決問題，與另一組的同學互相討論彼此出現的問題，最後在 meeting 上，向教授報告，從教授的指導中學習。最後感謝隊友游智鈞的幫助，另一組陳柏閑、曾秉淮的幫忙，教授謝志成與實驗室學長姐的指導。