

Characterization of the 0.18 μ m Embedded Logic Non-volatile Memory

0.18 μ m 邏輯製程下之嵌入式非揮發性記憶體特性量測與分析

組別:A28 指導教授：金雅琴 教授 組員：張薇、黃怡涵

Abstract

Non-volatile memory (NVM) is widely used on electronic products. With the improvement in portable electronic products, embedded memories with low power and high durability are getting more important. The advantages of the embedded NVM include the considerable reduction in pins, the number of chips, and enough room for electric circuits.

In the standard CMOS process, which is widely used in the industry, the memory and logic integrated circuits are already integrated in the same chip as the wafer is produced, which effectively reduces the masking and processing procedures, and hence reduces the cost. As the embedded memory is one of the most important modules in integrated chips, our experiment is to measure the characteristics of an embedded multi-time programmable NVM under 0.18 μ m CMOS process. Through the coupling structures, we can control the potential of the floating gate based on the coupling ratio.

The advantages of the studied MTP memory include high programming efficiency, good disturbance immunity, low power consumption, and excellent data retention. Besides, since electrons pass through different oxide layers at programming and erasing operation, the memory device can support more programming and erasing cycles, and still exhibits good stability after many program-erase cycle tests.

Introduction

一、研究背景與動機

隨著物聯網裝置的興起，為因應其帶來的資料運算與儲存需求，嵌入式記憶體的需求也跟著增加，且傳統的電性抹除可程式唯讀記憶體大多不能與標準邏輯製程整合達到系統單晶片，故具有整合優點與低功耗及高耐用度的嵌入式記憶體逐漸受到重視。

此外由於嵌入式記憶體製程是在晶圓層級，在晶圓生成時便將邏輯 IC 與記憶體整合於同一晶片中，不需額外光罩與製程，大大降低了製程上的成本，也省

去了之後要整合 IC 與記憶體的問題。如此一來嵌入式記憶體對晶片的效能與體積都有了很好的提升，對於物聯網等智慧裝置經常需要數據運算與資料儲存來說發揮了很好的運用，使其透過單一晶片便能達成運算與儲存。

本專題欲藉由量測與分析標準邏輯製程下的嵌入式非揮發性記憶體，來探究其結構、陣列、操作機制與元件特性。

二、記憶體元件結構與陣列佈局

此記憶體採用 I/O 電晶體，其介電質(Dielectric)厚度為 68\AA 。一個晶粒(Die)中有三處 Testline，Testline 腳位分布依序為 AND 陣列(如圖 2.1)、標準記憶胞、Dummy 記憶胞和標準 NMOS 電晶體，其中兩個 Single cell 結構相同，每個 Die 中含有 $3 \times 2 = 6$ 個 Single cell。

此記憶體元件的結構為將一延伸之浮動閘極(Floating gate)覆蓋在兩 N 型井上如圖 2.2，面積較大者稱之編成閘極(Program gate, PG)，面積較小者稱之抹除閘極(Erase gate, EG)，藉由改變兩 N 型井上浮動閘極的面積，可以控制浮動閘極對耦合元件之耦合率(Coupling ratio)，耦合電壓公式如下示：

$$\alpha_{PGFG} = \frac{A_{PG}}{A_{PG} + A_{EG} + A_{Ch}}$$

$$\alpha_{EGFG} = \frac{A_{EG}}{A_{PG} + A_{EG} + A_{Ch}}$$

式中 A_{PG} 為 N 型井上編程閘極之覆蓋面積， A_{EG} 為 N 型井上抹除閘極之覆蓋面積， A_{Ch} 為讀取電晶體之面積， α_{PGFG} 為編成閘極對浮動閘極之電位耦合率， α_{EGFG} 為抹除閘極對浮動閘極之電位耦合率。由關係式可看出大的面積能有效提高耦合率與控制浮動閘極電位。

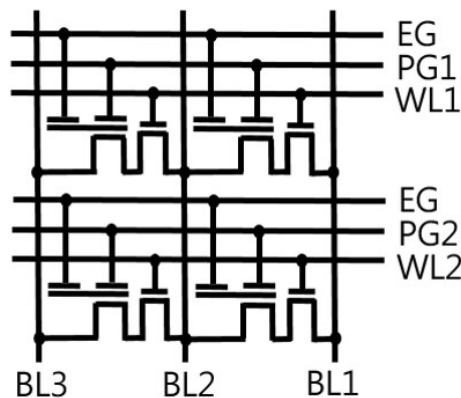


圖 2.1 記憶體 AND array 示意圖

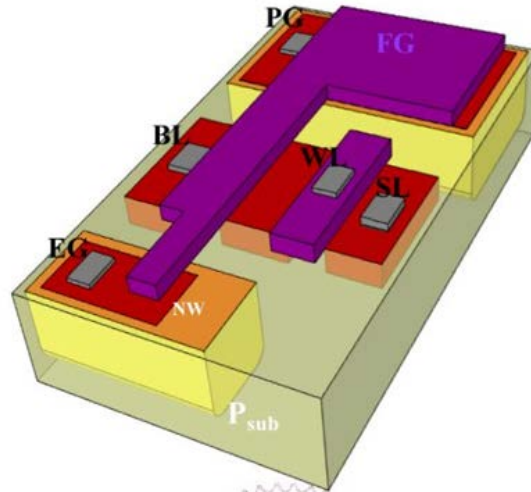


圖 2.2 記憶體 3D 結構圖

三、實驗結果

Coupling ratio

因為可以決定 Floating gate potential，coupling ratio 為元件中一個重要參數，在數個方法中，透過 sub-threshold swing ratio method 來求得 coupling ratio 為很常被利用的方式。

$$CR = \frac{SS_{standard\ NMOS}}{SS_{DUT}}$$

其中 $SS_{standard\ NMOS}$ 為 NMOS 的 sub-threshold swing，由圖 3.1 求得 $SS_{standard\ NMOS}$ 為 0.0988，而 SS_{DUT} 為透過 $V_{PG}-I_D$ 與 $V_{EG}-I_D$ 的關係圖求得，兩者的 sub-threshold swing 分別是 0.1286 和 0.78。

$$CR_{PG} = \frac{0.0988}{0.1286} = 0.77$$

$$CR_{EG} = \frac{0.0988}{0.780} = 0.12$$

而由先前所提到分別以浮動閘極覆蓋在兩 N 型井上面積所推算的 coupling ratio 為 $CR_{PG} = 0.79$ 與 $CR_{EG} = 0.13$ ，與量測誤差約分別為 2.35% 與 2.3%。誤差來源於計算 sub-threshold swing 時，在 $\log(I_D)-V_g$ 圖上的取點，由於在 sub-threshold region 裡，任兩點計算出的斜率，即 SS 不盡相同，因此可能造成誤差。此外，由於 CR 的計算是分別兩張圖的 SS 的比例，個別在 SS 的誤差也會使最後計算的誤差增大。

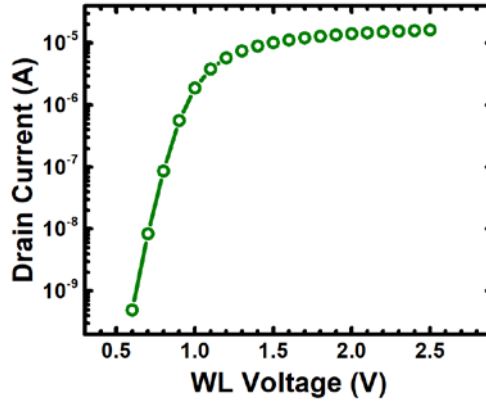


圖 3.1 $I_D - V_{WL}$ 關係圖

編程特性分析

編程方式為利用 Fowler-Nordheim 穿隧機制將電子注入浮動閘極(floating gate)，進而使讀取電晶體之臨界電壓(threshold voltage)變動。元件結構中編程閘極因為具有大面積，編程閘極到浮動閘極的電位耦合率高，若於編程閘極施加一高電壓，浮動閘極之電位會被拉至與編程閘極接近，此時把讀取電晶體之汲極元(BL)接地可製造通道與浮動閘極間足夠電壓差，使電子穿隧進入浮動閘極。

我們施加不同的編程閘極電壓(V_{PG})，量測元件的臨界電壓對編程時間的關係圖，其他端點的電壓則設為 0V，如圖 3.2 所示，可以發現越高的編程閘極電壓可以達到越快的編程速度。

此外，根據耦合浮動閘極公式，在源極線(SL)及基板(Bulk)接地時

$$V_{FS} = \alpha_{PG-to-FG} \times V_{PG} + \alpha_{EG-to-FG} \times V_{EG} + \frac{Q}{C_T}$$

其中 V_{FS} 為浮動閘極電位， V_{PG} 為編程閘極電壓， V_{EG} 為抹除閘極電壓， Q 為浮動閘極儲存電荷， C_T 為讀取電晶體的電容總和。因此，浮動閘極電位除了受到編程閘極的電位耦合影響之外，也會受到抹除閘極電位(V_{EG})的影響。透過抹除閘極加壓的方式，可以提高浮動閘極電壓，進而提高編程速率，也可防止電子從抹除閘極端注入。

然而抹除閘極在記憶體陣列規劃中是被共享的，對右邊兩個元件而言抹除閘極為共用，因此在編程上方的元件時，若在抹除閘極施加過高的電壓可能會對下方的元件產生干擾。經實際量測發現當抹除閘極到達 8V 時，對下方元件的臨界電壓仍是沒有什麼影響，故可以選擇 8V 作為編程時的抹除閘極電壓。

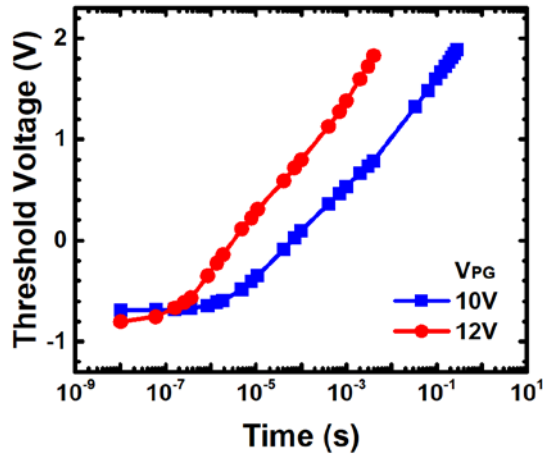


圖 3.2 記憶體編程特性比較圖

抹除特性分析

元件結構中抹除閘極的面積小，故從編程閘極到浮動閘極的電位耦合率非常小，若於抹除閘極施加一高電壓，浮動閘極會因為低耦合率而維持在低電位，故抹除閘極與浮動閘極間產生電壓差，提供電子利用 Fowler-Nordheim 穿隧的機制從浮動閘極被拉出，為此元件之抹除機制。

圖 3.3 為施加不同抹除閘極電壓(V_{EG})下，量測元件的臨界電壓對抹除時間的關係圖，其他端點的電壓均設為 0V。從圖中可以觀察到電阻電容延遲效應(RC delay)的影響，臨界電壓會有飽和現象而呈階梯式下降，且當施加在抹除閘極的電壓越大，臨界電壓可以下降到越低的值，下降的時間也會越快發生，因此可以藉由施加不同的抹除電壓及脈衝時間，準確控制記憶體元件的臨界電壓值，藉以定義不同的儲存狀態。

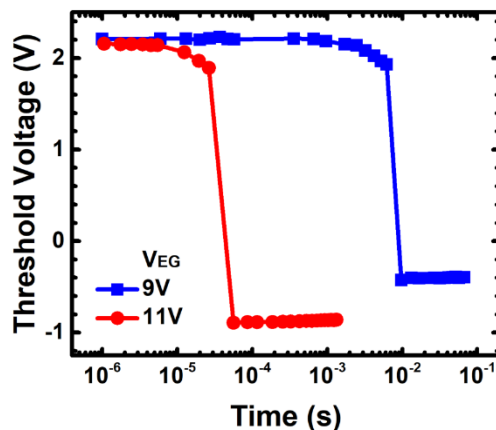


圖 3.3 記憶體抹除特性圖

讀取特性分析

一般記憶體元件的導通電流通常在超過 $10\mu\text{A}$ 時，才容易被周邊電路偵測，

此元件在讀取電流時，必須通過選定字元線(WL)和位元線(BL)來選擇要被讀取的記憶元件。將編程閘極接地，浮動閘極內之電子將決定通道的開關程度，量測字元線(WL)的 I_d-V_g 關係圖可以看到達到之最大通道電流，編程狀態與抹除狀態的電流差須超過一定值。在於不同字元線(WL)電壓下，作位元線(BL)電壓對電流關係圖，選取當通道電流達飽和區時之字元線(WL)和位元線(BL)電壓作為讀取條件。

心得感想

怡涵

經過了將近一年的專題實作，從一開始對非揮發性記憶體의懵懵懂懂，到逐漸了解研究元件的結構和特性，以及之後電路的模擬和實際量測，著實讓我學到不少。除此之外，更讓我從中學到如何團隊討論與報告，尤其是在每次 meeting 時，不管是老師的提問與講解，又是一個難得的學習機會，儘管多數時候我總是想不出問題的解決方法，但也提供了可以研究的方向。

在一開始進行的時候，我所遇到最大的問題便是讀相關論文，由於對相關領域的背景並不了解，對於許多專有名詞和原理都看不懂，導致不知從何看起，所幸後來經過學姊的提點才稍微清楚方向。此外，因為平常少有上台報告的經驗，一開始的幾次 meeting 總是讓我很緊張，但經過幾次後總算能逐漸適應，因此這次的專題也多少讓我在報告上有了難得的經驗。

最後，非常感謝組員張薇的合作和幫忙，讓專題能順利進行之餘，也讓我在團隊合作上學到很多。此外也非常謝謝淳仔學姊不厭其煩的回答我們的問題、每次在報告上給出的建議、教我們如何量測和約實驗室等，以及非常謝謝教授每次提出的建議、方向和觀念的講解，讓我們不致在研究上迷路。

張薇

從大一暑假對金雅琴教授的 StarLab 有興趣到大三進入實驗室完成專題，有一種願望終於達成的感覺，對嵌入式非揮發性記憶體也從初步的認知到更加深刻的理解，上學期研讀實驗室學長的論文和用 matlab 模擬元件、驗證理論，謝謝教授在每次的會議中都會提出問題、刺激我們深入思考，讓我們扎實地累積了必備的知識。

下學期接觸儀器並實際操作時特別興奮，雖然量測與分析時也遇到了一些挑戰，如碰到實驗中突發的問題，思考解決方式的過程很漫長，且在找尋相關資料時像大海撈針，但解決時的恍然大悟也讓人感受到做研究的樂趣，而且在解決問題的過程中收穫很多額外的知識與經驗，讓我有更深入的了解、也更想花心力在未來繼續研究這個領域。非常感謝過程中教授的指導，總是對問題有很精闢的見解，讓我們在會議中學到了很多專業知識，期許在未來研究中能像教授一樣，培養出對問題更高的敏銳度。

很感謝淳仔學姊在一整年中的幫助，永遠很細心又耐心地回答我們的疑問、指導我們儀器操作，也讓我們學到了做學問的方式與研究的態度。最後非常謝謝怡涵，對待問題總是很認真也很細膩，在研究與討論的過程中常能提出建設性的思路，在一年的合作過程裡學到很多，非常幸運能與這麼棒的組員一起完成專題研究。