

國立清華大學 電機工程學系

實作專題研究成果摘要

A 10bits 10kHz Low-Power SAR ADC with Bypass
Window using for Biomedical Application

一個用於生醫領域之10位元取樣頻率10k 赫茲具備旁
路區間之低功耗循序漸進式類比數位轉換器

專題領域：系統領域

組 別：B574

指導教授：鄭桂忠 教授

組員姓名：潘正翊、蔡奕昕、吳聲彥

研究期間：113年12月25日至114年11月25日止，共11個月

一、摘要

此專題以 K. Sun et al. 於 2025 發表在 TBioCAS 的論文基礎[1]，實作一顆具「偵測-省略(detect and skip)」功能的10-bits 10KS/s SAR ADC。設計目標為兼顧解析度與低功耗，達成 ENOB 9.5-bits 以上，功耗 50nW 以下，可應用於生醫系統之設計。在系統架構方面，整體包含 Sample and Hold 電路(Bootstrapped switch)、比較器、DAC 電容陣列、SAR 控制邏輯與數位輸出解碼器等模組。訊號流程分為取樣與轉換兩大階段，其中轉換階段透過分割 DAC 電容的方法使電路經由數位邏輯判斷輸入是否落於「旁路區間(Window)」內。若然，則可省去特定位元的電容切換，以數位邏輯生成結果，達到降低電路功耗的效果。

採樣訊號方面，此專題採用 Bootstrapped switch 作為 Sample and Hold 電路，設計解析度至 11-bits 以上，以提升整體架構之線性度。比較訊號則由改良後的比較器實現，在傳統的 strongARM 比較器中加入 shield NMOS 以達到更優良的功耗表現。為了達成「偵測輸入訊號是否落於旁路區間 (bypass window) 內」這項功能，CDAC 電容陣列之 MSB 與 MSB-1 電容根據預設比例分割，使 top plate 電壓有別於傳統二進制切換，進而透過比較結果判段訊號範圍。如果在目標範圍內則以低功耗的數位電路解碼器輸出結果，否則以傳統的循序漸進式切換輸出數位訊號。最後，SAR ADC 控制訊號與 sample CLK 產生模塊都是以 D flip-flop 與數位邏輯閘實現。

此專題經過完整的 Pre-sim、Layout、RC extraction、Post-sim、I/O pad design、Tape out 等電路設計流程。最終 Pre-sim 結果在 TT corner，97.65625Hz 正弦波測試訊號下達到功耗低於 50nW，ENOB > 9.50 bits 的目標，且在所有 corner 都可正常運作。然而 Post-sim 結果不如預期，雖然在所有 corner 都可以運作，但 SNDR 因電路 Mismatch 等影響急遽下降，ENOB 僅剩 8.13 bits。儘管如此，本專題還是以 UMC 180nm 製程完成設計，學習 Post-sim 後續的電路設計程序，並分析 Post-sim 模擬結果不盡理想之原因。

綜觀本研究，我們嘗試設計一個兼具低功耗、解析度，且適用於生醫電訊號之循序漸進式類比數位轉換器。此設計展現「旁路區間 (bypass window)」應用於低功耗類比數位轉換器之潛力。考量此設計之 SNDR 表現，未來可以進一步改進電路布局設計，並基於 SAR ADC 之高兼容性，可以考慮綜合其他可提高精度之架構，實現更高效且應用範圍更廣的類比數位轉換器。

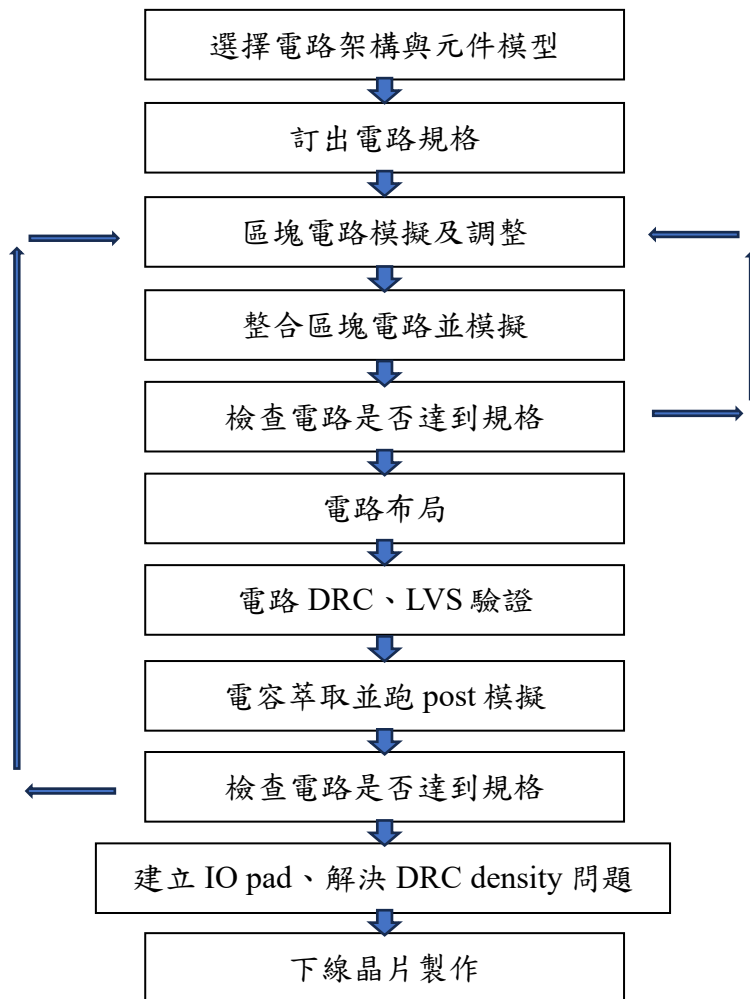
二、研究背景與目的

生醫電路系統應該具備持續監測的能力，並具有小型化、輕量化與無線連接的特性，且生醫訊號通常頻率低、振幅小，因此低功耗與高精度是生醫電路的核心需求之一[2]。生物醫學電訊號在短時間內會出現高頻且顯著的變化，但大部分時間仍處於相對穩定的靜止狀態。在處理這些訊號時，以 VCM 為基準的 SAR ADC 會導致冗餘的量化步驟。為了改善 SAR ADC 的量化效率，已有多種方法被提出。其中一種對生物醫學訊號特別有效的方法是 bypass window 技術[3]。當輸入訊號落在預先設定的旁路區間範圍內時，此技術會跳過冗餘的比較與 DAC 電容切換，進而降低 SAR ADC 的轉換功耗。

此專題旨在實現前人 (K. Sun et al., 2025) 提出的作品，並於過程中理解 SAR ADC 的運作原理、評估指標、優化技術，同時學習製作完整晶片的流程與技巧。

三、研究方法

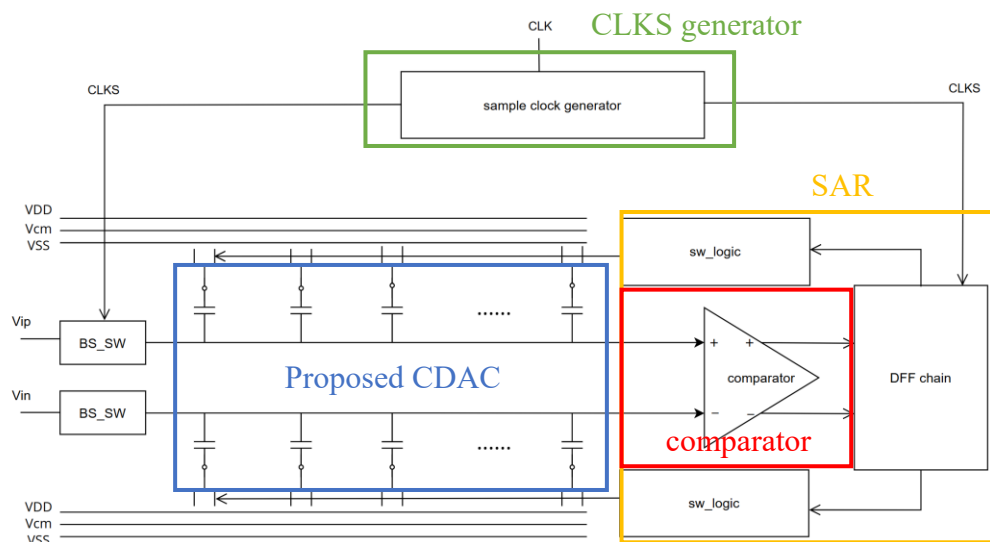
1. 設計流程



圖一：設計流程圖

2. 設計架構

此專題 SAR ADC 包含 CDAC、dynamic comparator、SAR logic、sample clock generator 四大模組，如圖一所示。此 SAR ADC 進行10 bits 的類比-數位轉換，採用 top plate sampling，相較於 bottom plate sampling 可省去對應 MSB 的電容 ($256C_u$)，有效降低開關切換功耗。



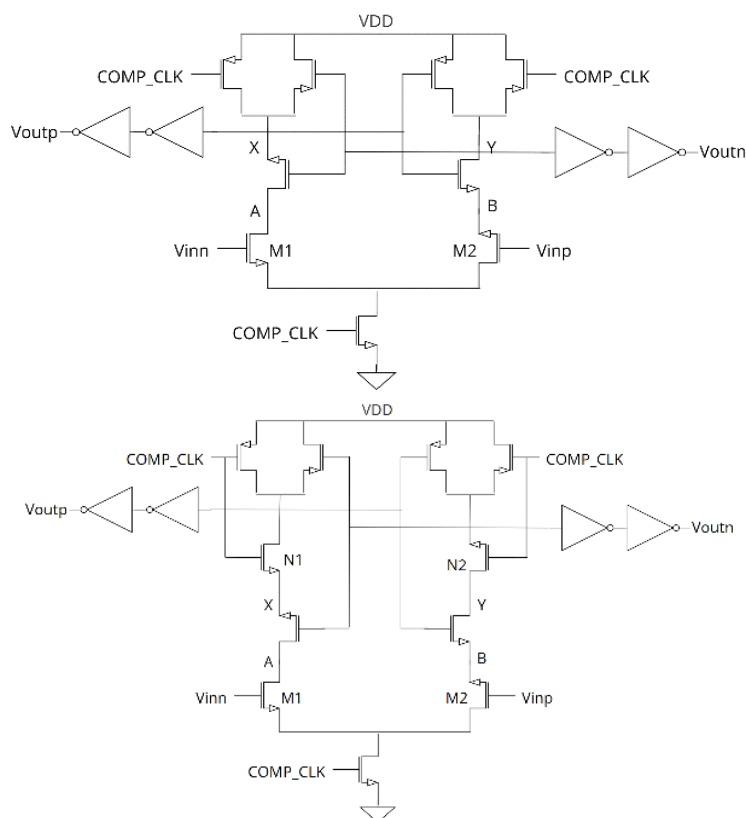
圖二：晶片架構圖

2-1. DAC 電容陣列

為了辨別類比輸入是否進入旁路區間，對應 MSB-1 與 MSB-2 的電容各分割出 32 單位電容，總計 64 單位電容額外進行一次變換。64 單位電容的變換會使 CDAC 的 top plate 產生 $\frac{64}{256}(V_{ref+} - V_{cm}) = \frac{1}{4}(V_{ref+} - V_{cm})$ 的電壓變化，因此在 $\frac{4}{8}V_{REF} < V_{in+} < \frac{5}{8}V_{REF}$ 之間會形成第一個旁路區間，稱作 Win1。由於各分出 32 單位電容，原本代表 MSB-1 的電容從 $128C_u$ 變成 $96C_u$ ，而 MSB-2 的電容從 $64C_u$ 變成 $32C_u$ 。 $64C_u$ 、 $96C_u$ 與 $32C_u$ 除了 Win1 外可以再形成另一個旁路區間， $\frac{6}{8}V_{REF} < V_{in+} < \frac{7}{8}V_{REF}$ ，稱作 Win2。

另外，Split capacitor array 較傳統 CDAC 具有更小功耗，故此專題前三個權重最大的電容採用此切換模式。

2-2. 比較器



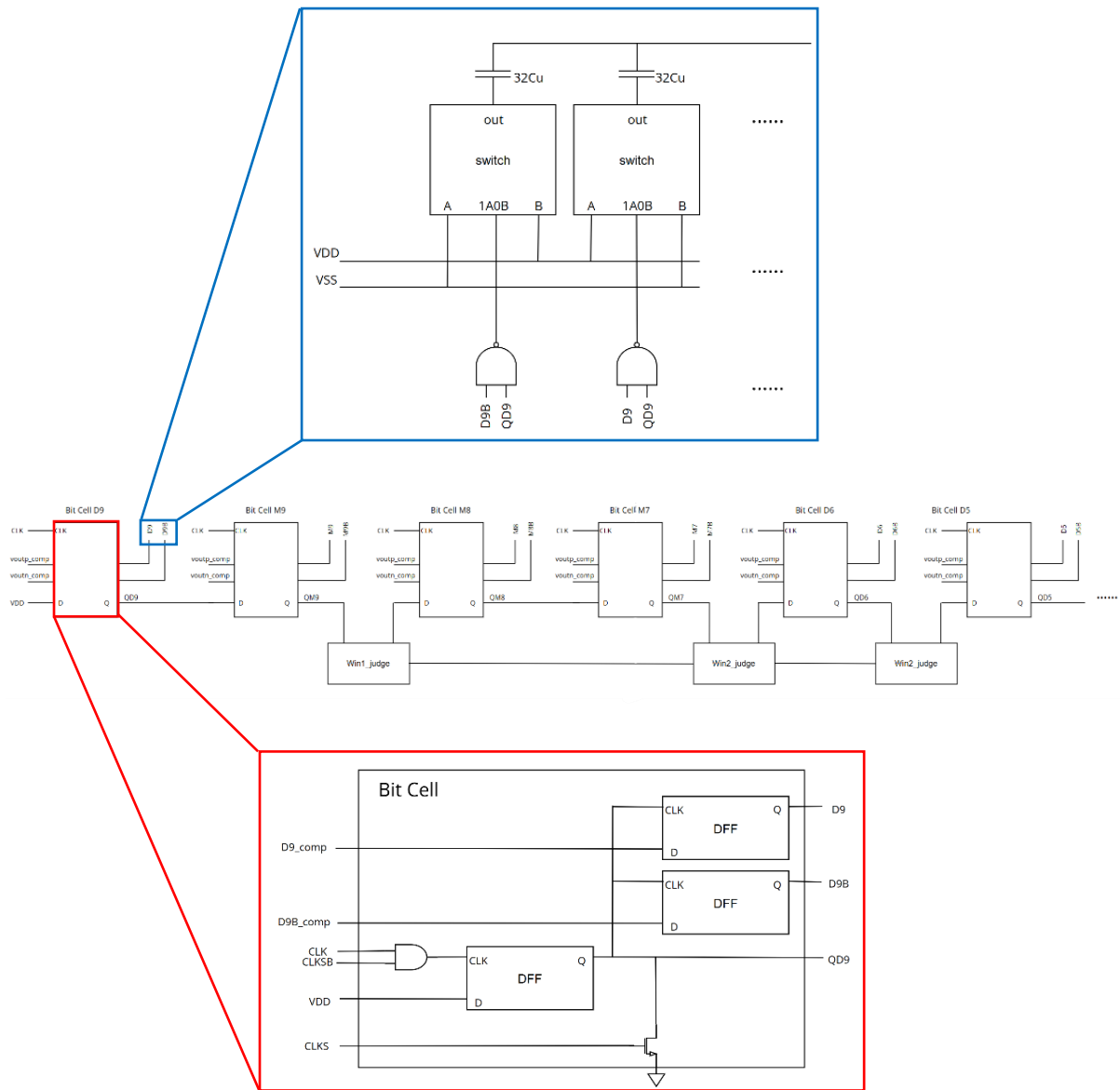
圖三：傳統 strongARM 比較器(上)與改良後之比較器(下)

傳統 strongARM comparator 的 A、B 節點電壓變化分別為 ΔV_A 與 ΔV_B ，X、Y 節點電壓變化分別為 ΔV_X 與 ΔV_Y 。此專題在傳統架構上加入 shield NMOS N1 與 N2，這兩顆 NMOS 在 RESET 階段會 turn off，進而有效壓縮 ΔV_A 、 ΔV_B 、 ΔV_X 與 ΔV_Y ，達到更低的功耗。

2-3. SAR ADC 邏輯控制電路與數位 encoder

為了依序進行不同位元的電容切換且進入下一個比較週期後不再影響先前切換的電容，此專題設計 DFF chain 產生「執行比較訊號(Q_{m9} 、 Q_{m8} 、 Q_{m7} ...)」，另外有額外的 10 個 DFF 用來儲存 D9 到 D0 十個轉換訊號，也就是 SAR ADC 的數位輸出。控制切換開關的邏輯訊號由「前一次轉換週期的比較結果」與「當前位元的執行比較訊號」共同產生。

若類比輸入信號落在 Win1 或 Win2 中，D8、D7、D6 會由數位電路產生，因此我們的 SAR logic 模組內還包含「Win1 判斷電路」、「Win2 判斷電路」、「D8 encoder」、「D7 encoder」、「D6 encoder」。



圖四：SAR logic 電路

2-4. Sample clock 生成電路

利用四個 DFF 產生四個數位訊號，組成二進制的 0 到 15，12 出現的時候利用邏輯閘產生邏輯 1，接著馬上重置所有 DFF。由此可以在 11 次 conversion cycle 後出現一個周期長的高電位訊號作為 sample 訊號。

四、研究結果

4-1. 模擬結果

此專題之循序漸進式類比數位轉換器以 $ENOB > 9.5\text{bits}$ ， $\text{power} < 50\text{nW}$ 為目標進行設計，最終 Pre-sim 結果達到目標，然而 Post-sim 結果不如預期。如表一所示。

Performance table		
	Pre-sim	Post-sim
Process(nm)	180	
Resolution(bit)	10	
Supply Voltage(V)	0.9	
Sampling rate(KS/s)	10	
Input swing(V)	0.9	
Input frequency(Hz)	97.65625	
Power(nW)	49.37	117.5
SNDR(dB)	60.7449	50.7062
ENOB(bit)	9.7981	8.1300

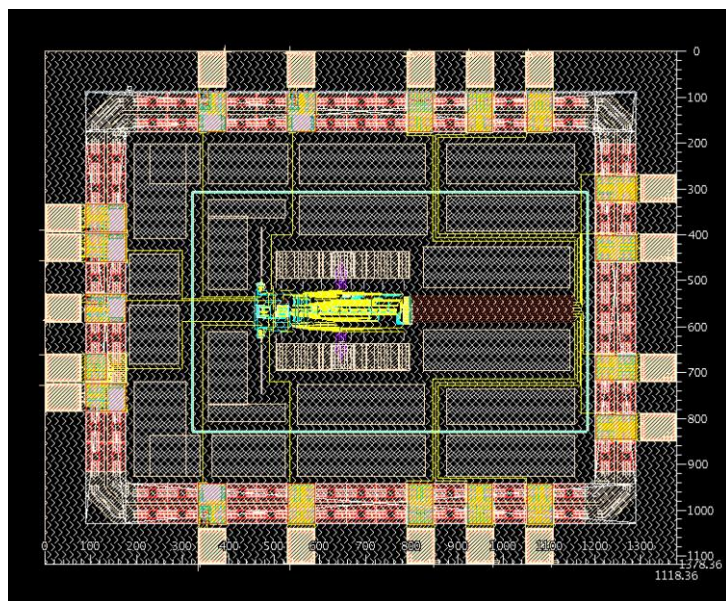
表一：本專題 SAR ADC 之模擬條件與結果

4-2. 電路布局

Chip Size: $1378.36 \times 1118.36 \text{ um}^2$

Transistors: 10050 transistors

Power Dissipation: 117.5nW (TT corner 25°C)



圖五：本專題之晶片 layout

五、總結

本專題之設計展現「旁路區間 (bypass window)」應用於低功耗類比數位轉換器之潛力，特別適用在生醫領域。除了在 CDAC block 有別於傳統設計，comparator 也有效能提升。儘管 SNDR 在 Post-sim 模擬顯著下降，待進一步改進電路 layout 之電容陣列位置關係，或修改 input swing 之範圍後，預計會有更高效的表現。

六、參考文獻

- [1] K. Sun, J. Liu, F. Yan, H. Sun, Y. Zhang, Y. Ren, L. Huang, Y. Pi, W. Wu, and J. Guan, “A 9.68 nW 57.51 dB SNDR SAR ADC with Dual Bypass Windows Based on Non-binary Split Capacitors for Biomedical Applications,” *IEEE Trans. Biomed. Circuits Syst.*, vol. 19, no. 2, pp. 1 – 14, Feb. 2025.
- [2] J. Wu et al., “A Low-Noise Low-Power 0.001Hz–1kHz Neural Recording System-on-Chip With Sample-Level Duty-Cycling,” *IEEE Trans. Biomed. Circuits Syst.*, vol. 18, no. 2, pp. 263-273, April 2024, doi: 10.1109/TBCAS.2024.3368068.
- [3] G. -Y. Huang et al., “A 1- μ W 10-bit 200-kS/s SAR ADC With a Bypass Window for Biomedical Applications,” *IEEE J. Solid-State Circuits*, vol. 47, no. 11, pp. 2783-2795, Nov. 2012, doi: 10.1109/JSSC.2012.2217635.

七、心得

在這次的專題研究中，我們有機會深入了解 SARADC 的基礎架構，並針對 CDAC 與 compiler 進行設計優化。從一開始的文獻探討，到後續實際使用 Custom Compiler 進行電路設計與模擬，每一個階段都讓我們體會到理論與實作之間的差距與挑戰。

過程中遇到了許多預料之外的問題，例如調整 Bootstrap Switch 與 CDAC 使整體電路在功耗與 ENOB 之間取得平衡、遇到陌生製成如何設置環境，以及如何從 layout 角度處理電路 mismatch 問題。定期的進度報告與討論會議也讓我們學習到如何清楚表達問題，並從指導老師與學長姐的建議修正自己的設計。

最後，感謝學長姐專題期間給和我們共同面對困難，讓我們每次遇到瓶頸時都能找到前進的方向，這段專題經歷不僅讓我們累積了寶貴的實作經驗，也給予我們更多信心面對未來的研究。