

3T邏輯相容之非揮發記憶體的特性分析研究

A Study of 3T Logic Compatible NVM Cell

組別:A87 學生:107061206黃振祐、107061217蔡岳呈 指導教授:金雅琴

摘要

隨著科技的日新月異及物聯網和大數據的蓬勃發展，資料運算與儲存的需求量越來越大，嵌入式非揮發性記憶體的需求也隨之成長，因為資料儲存量變大，所以尺寸越小記憶能力越強的記憶體才能有足夠的競爭力，其中邏輯整合式非揮發性記憶體因為相容於一般的CMOS製程，相較於傳統記憶體需要額外光罩與製程，因此能有效的降低成本，並且能把記憶體與邏輯模組整合在單一片晶片上。

此專題的元件是由兩個浮動閘極與一個選擇電晶體串連而成，兩個浮動閘極覆蓋到N型井作為耦合元件，耦合率可透浮動閘極覆蓋到N型井上的面積比來進行計算。由於耦合率高，所以寫入和清除的操作容易控制，此記憶體元件是透過熱載子注入的方式，把電子吸入到浮動閘極的方式來進行寫入的操作，再利用F-N穿隧的方式將電子從浮動閘極吸出來進行清除的操作，本次專題透過量測28nm邏輯製程下的整合式非揮發性記憶體來研究和分析此元件的結構和不同操作條件下的特性。

元件操作理論與結構

我們量測的元件是由兩個相同的浮動閘極(Floating gate)電晶體中間串連一個選擇電晶體(Word line)而成，兩個浮動閘極分別稱為(PGR, PGL)，左邊浮動閘極電晶體的源極(Source)連為BL1，而右邊浮動閘極電晶體的汲極(Drain)連為BL2，此元件的特色是我們可以單獨編程或讀取任一個浮動閘極(PGR, PGL)，而清除閘極(Erase gate)則為共用，因此只要執行清除就可同時清除兩個浮動閘極內的電子。

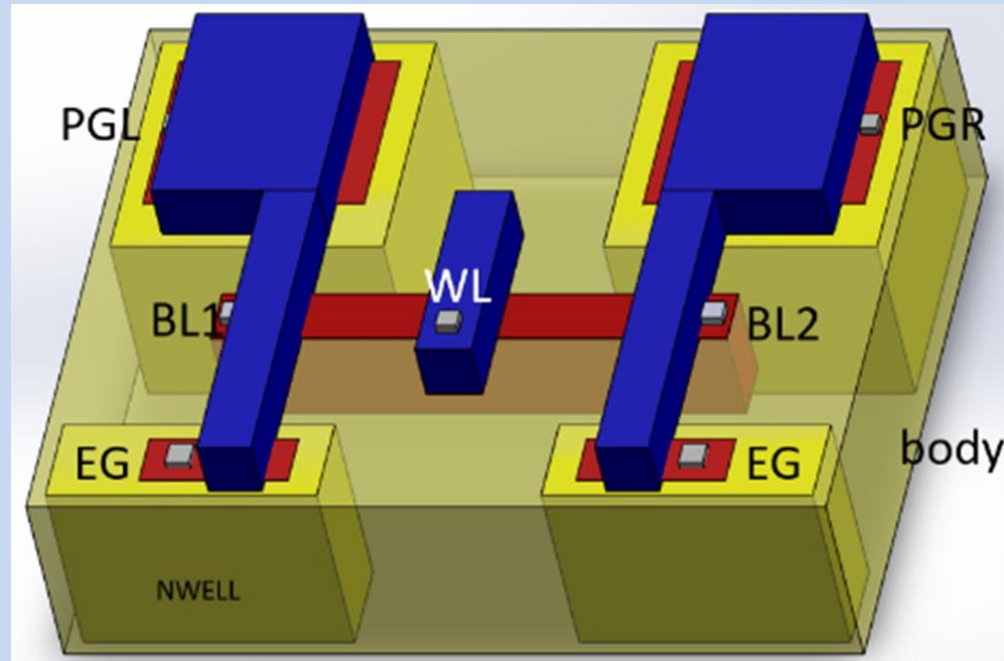
元件設計時將浮動閘極延伸覆蓋到N型井(Nwell)上作成耦合元件，因此耦合率(Coupling ratio)可以透過浮動閘極覆蓋於N型井上的面積比來進行設計，計算耦合率的公式如下：

$$\alpha_{PG-TO-FG} = A_{PG}/A_{EG} + A_{PG} + A_{Ch}$$

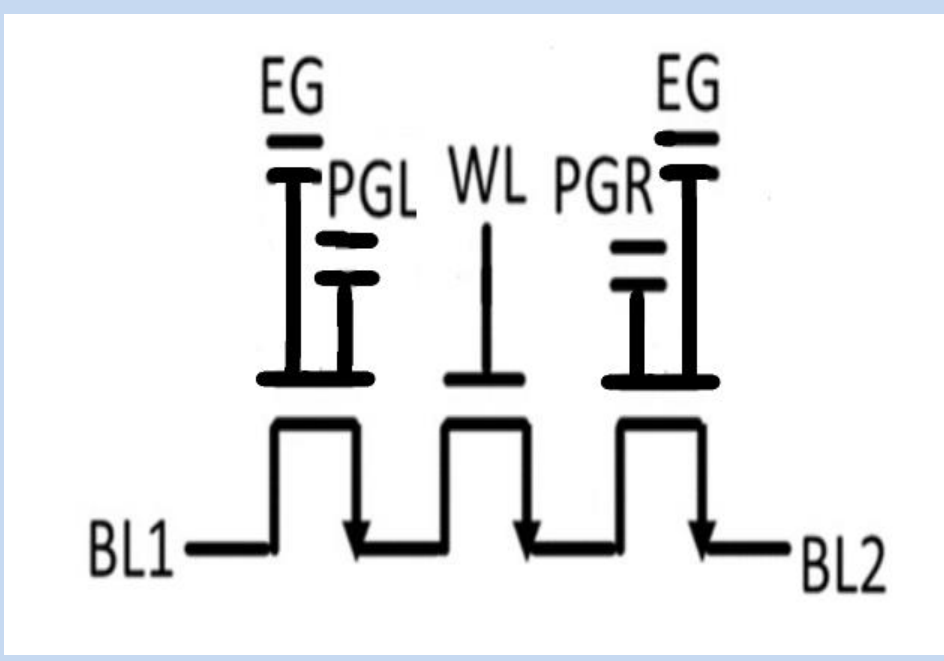
$$\alpha_{EG-TO-FG} = A_{EG}/A_{EG} + A_{PG} + A_{Ch}$$

此元件主要用來進行編程(Program)的方法為通道熱載子注入(Channel Hot Electron Injection, CHEI)，操作方法是當電晶體導通時，我們在汲極(Drain)加一個較高的電壓，在空乏區(Depletion region)形成一個橫向的電場，載子會受到電場的偏壓由源極向汲極移動，載子受到電場加速獲得動能所以稱為熱載子(Hot carrier)，這些熱載子會和晶格碰撞形成電子電洞對，同時我們在閘極加一個較高的電壓，產生垂直電場，有些電子電洞對會得到足夠能量越過絕緣層進入浮動閘極內。

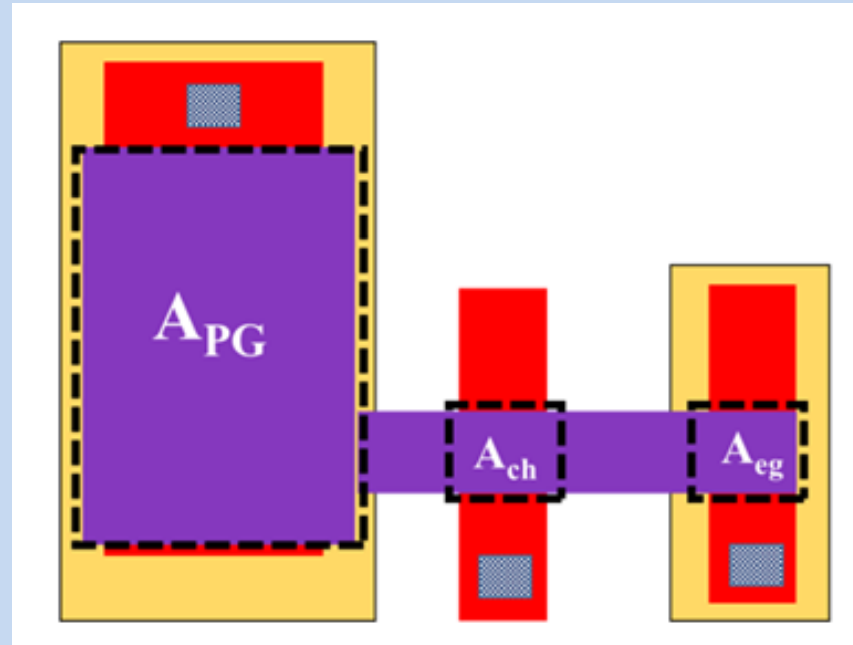
此元件主要用來進行清除(Erase)的方式為FN穿隧(Fowler-Nodheim Tunneling)，操作方法是給予氧化層兩端高壓差，造成其能帶圖彎曲變形，能障變薄，因此電子便有高機率穿隧到浮動閘極內，此元件清除閘極相對於編程閘極耦合率很小，因此施加高電壓時，浮動閘極的電位並不會跟著大幅上升，仍保持較低電位，符合前述FN穿隧的條件，使電子被從浮動閘極中清除，



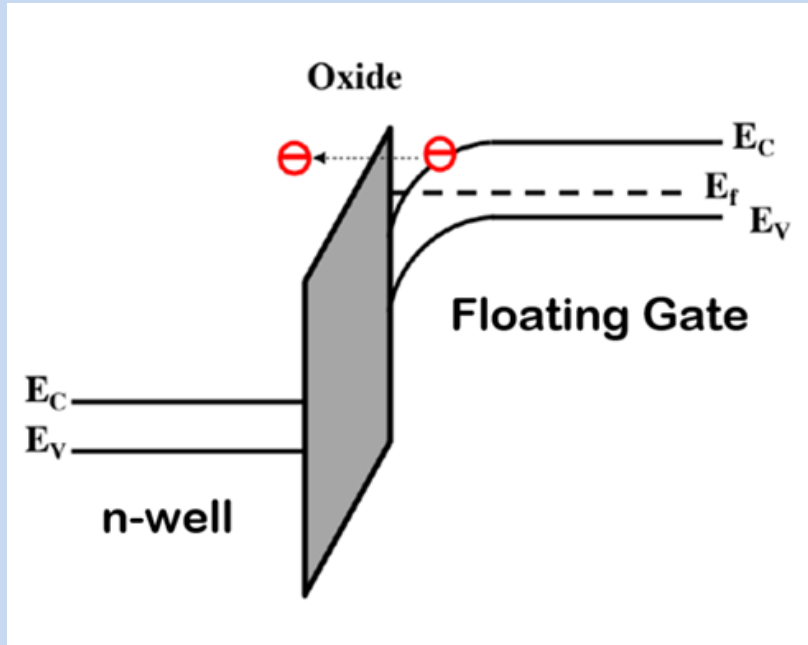
此記憶胞之立體結構圖



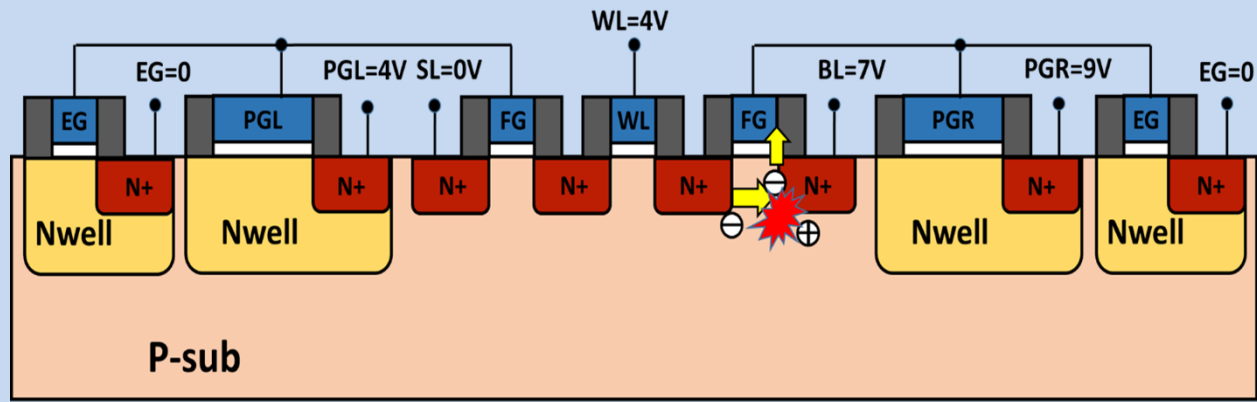
3T n-channel 2位元記憶胞之電路示意圖



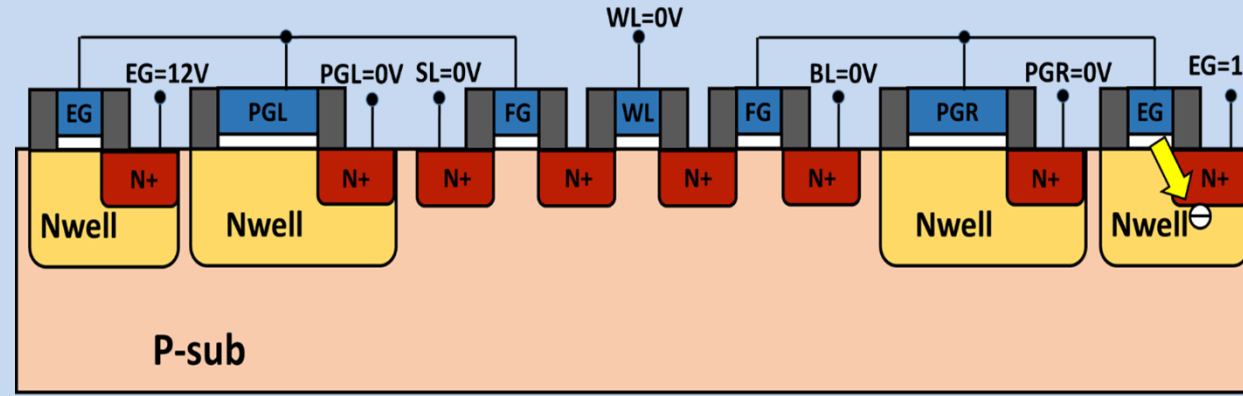
設計元件耦合率之主要面積上視圖



抹除操作之電子透過FN穿隧



此3-T記憶胞編程機制示意圖



此3-T記憶胞清除機制示意圖

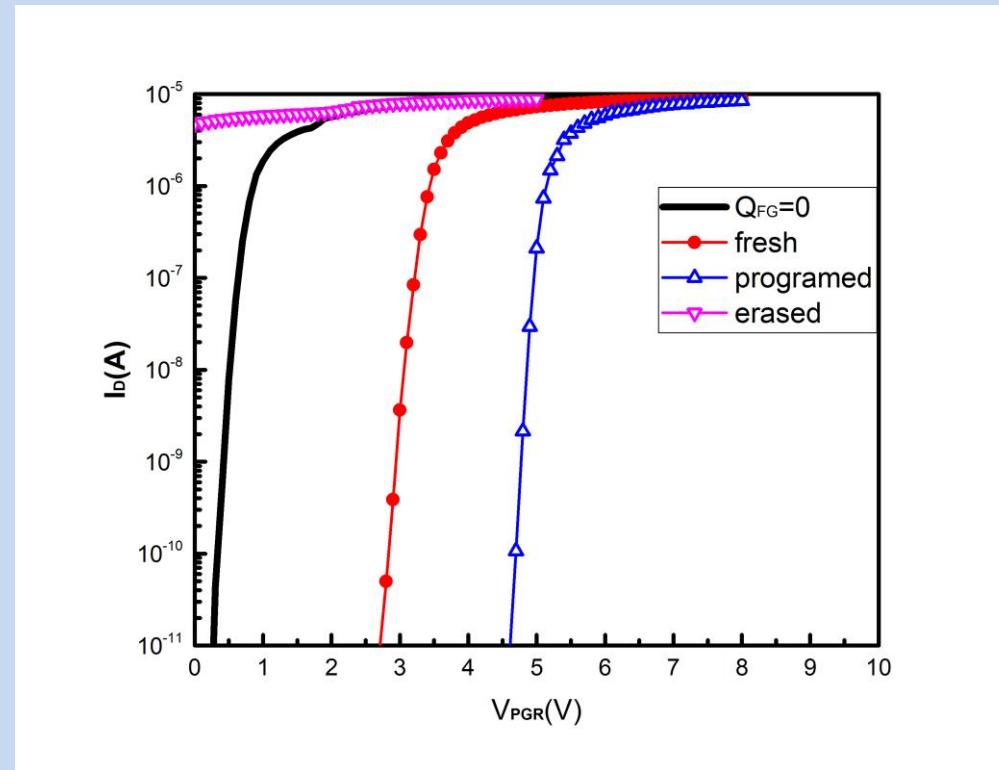
實驗結果

此元件的BL為共用，所以在讀取電流時可以透過選擇WL、PG來決定要讀取的電晶體，我們總共量測了四種狀態，一是浮動閘極內沒有電子的狀態，是由量測選擇電晶體並透過元件耦合率轉換得來；二是初始狀態，它代表的是我們在未對原件進行任何操作前所讀取到的狀態，可以看出它在理論值右側，因此可推斷浮動閘極裡一開始已有電子存在；三是在編程完成後的狀態，因為電子被吸引至浮動閘極中，所以臨限電壓會上升；四是進行清除操作後的狀態，由於浮動閘極內的電子會被清除，因此臨限電壓會下降。

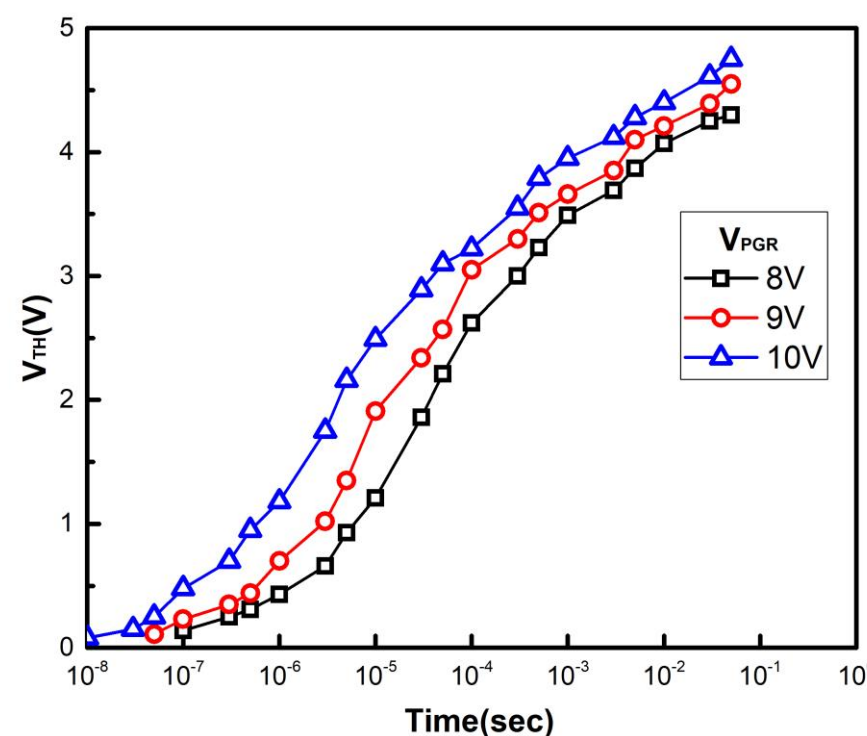
編程方式是以通道熱載子注入，以編程右邊的浮動閘極為例，須在左邊的浮動閘極WL施加適當的電壓將通道打開，然後在汲極施加一高電壓以產生通道電流，並且在原先欲操作點(右邊的浮動閘極)施加高電壓即可完成熱載子注入編程，當操作在右邊浮動閘極的電壓越高，電子被吸入浮動閘極的速率也越快，因此操作速度也較快。

此元件的兩個浮動閘極的清除閘極是共用的，因此在進行清除操作時，不用選擇元件即可進行清除的動作，當操作電壓越高時，浮動閘極內電子被拉出來的速率就越快，臨限電壓值也降得越快。

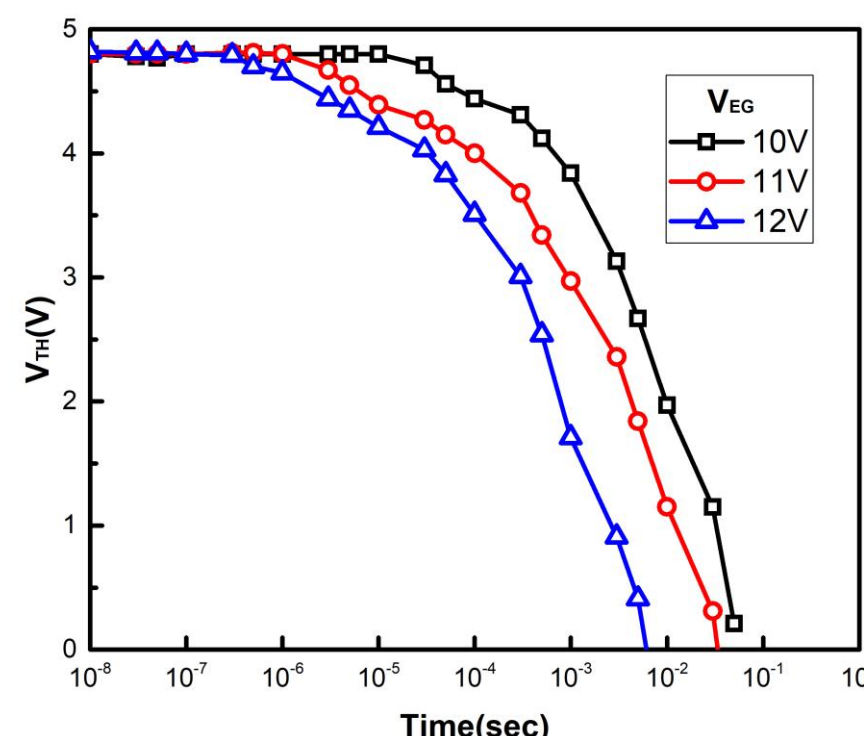
	PGL	PGR	WL	BL1	BL2	EG
Read(v)	4	0~10	4	0	0.1	0
Program(v)	4	8~10	4	0	7	0
Erase(v)	0	0	0	0	0	10~12



元件在初始狀態、浮動閘極中無電子狀態、以及編程和清除操作後之浮動閘極讀取電流-電壓圖



使用不同的操作電壓進行通道熱載子注入的編程操作之量測結果



使用不同的操作電壓進行FN清除操作所得出的量測結果

結論

本專題研究可多次編程非揮發性記憶體在符合28nm邏輯製程下的特性以及操作，其編程方式是透過通道熱載子注入，而清除則是透過FN穿隧，文中介紹關於浮動閘極的一些特色，還有元件操作會用到的理論，量測結果方面，可以看出施加更高的電壓，不論編程或清除的速度都明顯上升。這次實驗可以再改進的地方是因為一開始並未考慮周全，所以在編程時施加的電壓稍大，因此可能導致被編程的電晶體臨界電壓變得過大，進而影響元件導通造成後續讀取或其他操作可能出現誤差。