

# MRAM With 1-Cap Offset-Cancelled Sense Amplifier

## 磁阻式隨機快取記憶體用一電容消偏差的感應放大器

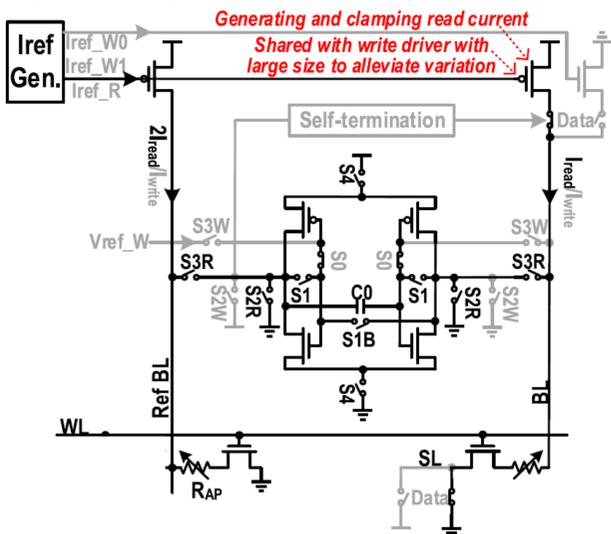
組別 : A43 指導教授 : 張孟凡 組員 : 王子瑜

### I. Abstract

以一個電晶體磁穿隧界面-旋轉矩磁阻隨機快取記憶體是目前最新興的次世代、高密度嵌入式非揮發性記憶體。由於磁阻式快取記憶體的兩個型態(平行和反平行)阻值差本來就不大的情況下，再考慮到製成變異造成偏差的情況下，感應差距會變得更小。因此，在本篇論文中將在180奈米製程下使用1比特一個電晶體磁穿隧界面-旋轉矩磁阻隨機快取記憶體，並且使用一個電容進行消除感應放大器的偏差的模擬。並且同時分析如何在正確率、讀取時間、降低耗能功率、面積、read margin中trade off。

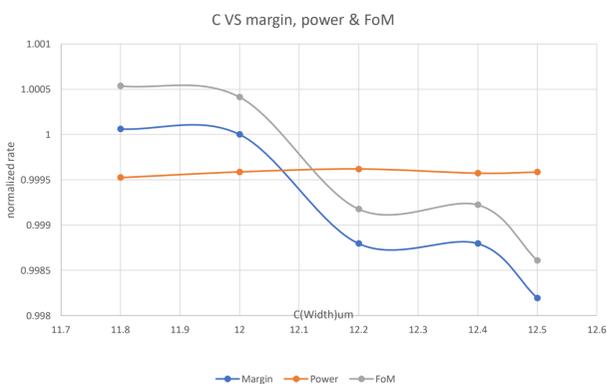
### Structure

與其他記憶體不同，讀取正確是與read margin為最重要指標之一。因此Reference與cell接電路為重要改善的目標。與傳統的Sense Amplifier的結構不同，在電路中間Cross couple的中間加入了一個電容。並利用4個stage來偵測offset的大小precharge，並進行補償再正常讀取，以維持Sense Amplifier read Margin與正確率。新的Sense Amplifier的抗offset  $\Delta V_{th}$  的能力約為比傳統架構多了17%。並且將把reference電路優化，由2T2MTJ改成1T1MTJ，大幅降低variation。並利用控制電流小於100u的方式，避免誤寫造成MTJ的阻值改變。



### Sense Amplifier III.

將要求的讀取的正确提高到大於99.99%時，則實驗結果無法用簡單的電路學解釋出複雜的結果。掃描10000條variation時，讀p時，MOSC的size在11.8u/0.4u到12.5u/0.4u之間。讀ap時，MOSC的size 10u/0.4u~15u/0.4u之間。由於在該交集範圍內的第三個Stage下，都會在0.9~1.0ns時VData和Vref才會達到穩態。因此read time可以認為一樣。而MOSC的面積僅占只佔MACRO的微乎其微，因此面積效應忽略。我們將定義FoM為margin/power。將Read p和Read ap的情況把Margin和power的值分別取算術平均數。並做縮放可以得到當width=11.8u時，有最大的FoM。

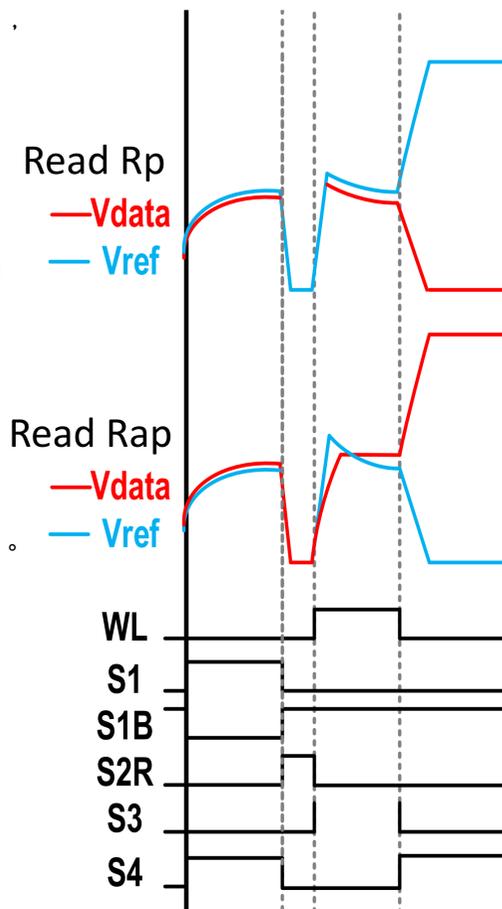


### Sense Amplifier I.

當使用足夠大的理想電容時，並給足夠長的read time模擬100次FET  $\Delta v_{th}=0.1$ 的蒙地卡羅，模擬出來的結果在L=0.18um時，read margin最大。其中當PFET和NFET的width太小(<0.4um)時會失敗。大約在PFET與NFET的width在0.5um時開始穩定。比值為PFET/NFET的width比值為10或1或0.1(5u/0.5u, 0.5u/0.5u, 0.5u/5u)，對sense margin無明顯改變。但會徒增功率與第四集所需要的時間。因此我們考慮PFET和NFET都用0.5u。而2C和0的架構的offset cancel皆較不理想，因此後面電路將使用1C模擬。

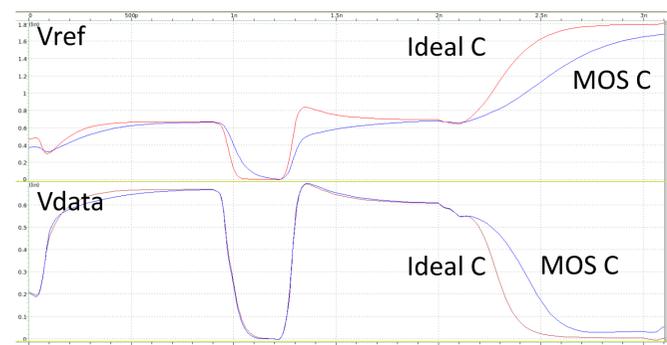
| case             |        |        |        |        |        |        |
|------------------|--------|--------|--------|--------|--------|--------|
| Width P          | 0.5    | 1      | 2.1    | 5      | 0.5    | 5      |
| Width N          | 0.5    | 1      | 0.5    | 0.5    | 4      | 5      |
| SA power (uW)    | 69.390 | 77.986 | 80.532 | 85.930 | 72.321 | 94.387 |
| Cell power (uW)  | 8u     | 3u     | 1u     | 7u     | 6      | 3      |
| Total power (uW) | 84.650 | 98.344 | 95.781 | 100.99 | 119.07 | 119.50 |

### Wave form



### Sense Amplifier II.

將Sense Amplifier裡面的理想電容改成使用MOSC去實做。將stage1穩態時的跨壓與Vbs固定，利用簡單一階RC電路，觀察時間常數並推論出等價理想電容。5u/0.4u約等效於7fF的電容。實際讀取一次週期，僅四個stage時的wave form不同。Ideal C快速完成大訊號操作減少read time，和所花費的功率。如果要求正確率>99%時，第三個stage時ideal C是讀p的時候會交錯，而MOSC則是在讀ap的時候交錯。一開始時，都會有一邊會明顯overshoot太多，而C越小時，該邊越容易快速放電，電壓往下達到穩態，因此所需要的時間越短，read margin也越大。而沒有交錯的波形圖始終平行，則是希望C越大，越慢進入穩態margin越大。電容值須要在讀AP和P之間的margin中做取捨，找出適當的C。MOSC的size約為在5u/0.4u到20u/0.4u。



### Result and Conclusion

- power在讀Ap和p時是trade off的趨勢，而Margin則不明顯變化。
- MOSC不能太大或是太小，而C的大小雖然會影響P和AP的read margin和power，但是兩者幾乎是定值且會互相trade off，所以總平均變化較小不明顯。因此讀取正确反而顯得更為重要。
- 成功的在180nm的製程下，實現了讀取1T1MTJ的MRAM Sense Amplifier的模擬首先改善了將兩個MTJ的reference改成使用一個reference，並降低了reference offset。Read cycle在四個stage下分別的耗時為0.9ns, 0.3ns, 0.8ns, 1ns總共3ns。最佳MOSC的size為11.8u/0.4u。read margin平均為0.0829V，read power為666.683uW。

### Reference

- Qing Dong, Zhehong Wang, Jongyup Lim, Yiqun Zhang, Mahmut E. Sinangil, Yi-Chun Shih, Yu-Der Chih, Jonathan Chang, David Blaauw, and Dennis Sylvester, "A 1-Mb 28-nm 1T1MTJ STT-MRAM With Single-Cap Offset-Cancelled Sense Amplifier and In Situ Self-Write-Termination" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 54, NO. 1, JANUARY 2019