

國立清華大學 電機工程學系

實作專題研究成果摘要

A Low-Noise Neural Signal Amplifier with
Adjustable Gain and Bandwidth for
Capturing AP/LFP Signals Separately

可分別擷取AP/LFP 的可調動增益及頻
帶之低雜訊神經訊號放大器

專題領域：系統領域

組 別：B328

指導教授：鄭桂忠 教授

組員姓名：鄭冠欣、唐振家

研究期間：2023 年 2 月迄今

一、 報告摘要

生物醫療系統已行之有年，然而近年來，隨著積體電路製程的演進及人類對健康管理的需求日增，可攜式或植入式系統儼然成為此類系統中的顯學。其應用面廣泛：如治療帕金森氏症、癲癇、中風等等皆屬於其範疇。在這種植入式系統裝置中，最前端的電路即為生醫放大器。

本次專題研究主要針對腦波 AP/LFP 做擷取，採用了三級式的架構，其中包含 LNA(Low-Noise Amplifier)、BPF(Band-pass Filter)、VGA(Variable gain amplifier)，也包含各級中的 pseudo resistor、bias circuit、CMFB 等等的設計。目標擷取頻段 AP/LFP 訂在以下範圍：AP(Action Potential)：300~4KHz、LFP(Local Field Potential)：20~300Hz，做出分別擷取這兩種波段並且由 VGA 做出可調節兩種不同增益大小的放大器，共計四種 mode。

由於生醫晶片使用在大腦內部，因此我們透過將電流壓在 nano 等級，並將 supply voltage 訂在 1V，得以降低 power。再來必須考慮到 area、power、noise、PSRR、CMRR 等等的需求進行設計，其中參考了多份的論文文獻與 gm/id 等等的設計方法，因為當製程非常精細之下，需要考量的 region 與效應就會變得較複雜，所以我們嘗試了不同架構，也參考了多篇論文，完成此電路的模擬及下線，此外避免訊號翻轉以及 gain 鎖不準的問題，PM 與 Open loop gain 也是需要謹慎設計的部分。

此次專題研究透過 TSMC 0.18 μm 之製程實現，根據 post-simulation 結果顯示，神經訊號放大器之增益為 42.7dB 以及 47.7dB，可調整頻帶下，高通轉角頻率範圍為 20Hz~300Hz，低通轉角頻率為 4kHz，輸入等效雜訊為 7.17 μVrms ，整體總功耗為 1.6001 μW 。

二、 背景與動機

隨著現今科技、醫療級半導體產業演進，CMOS 技術臻至成熟，植入式生醫晶片也逐漸發展，近年從帕金森氏症、阿滋海默症、顏面麻痺、癲癇、神經肌肉性疾病，到中風、癱瘓、眼盲、耳聾、腦科學、疼痛、沮喪、憂鬱症、睡眠疾病、生理訊號監護等等，都納入植入式生醫片的研究範疇中。

此外因為製程越趨先進與微小化，在設計植入式生醫晶片時，Noise 以及 PSR 需要更精細研究，此外需要注意到 Power 等問題，謹慎避免因為高溫破壞到健康腦部細胞的可能。

帕金森氏症(Parkinson's disease)，是一種漸進的神經退化性疾病，帕金森氏症常見的症狀有肌肉顫抖與僵直等等。早期由於較不易發現，因此即時的診斷出病因是一大課題。討論到引起帕金森氏症的原因，需要知道人腦內需透過多巴胺來指揮肌肉活動，而帕金森患者由於基底核(basal ganglia)與黑質(substantial nigra)中的細胞退化或者死亡，造成多巴胺(Dopamine)不正常的分泌，如果缺乏較足夠的多巴胺，會造成肌肉活動的障礙。

我們的研究主題為帕金森氏症的腦波不正常放電擷取，首先須知目標偵測波段為 AP(Action potential)、LFP(Local Field Potentials)，需要針對此兩種腦波做分析頻段與振幅分析，進而進行架構選擇與設計，希望將收到訊號進行處理之後，放大目標波段，以期達到監測患者腦部異常放電，方便進行後續治療手段。

三、 研究方法

研讀論文並且訂下 spec 和討論架構，選定架構後進行電路設計，設計符合所訂下的 spec 的電路，並且優化電路，pre-simulation 完成後進行 layout 繪製，並且需要補上 dummy 等等，最後進行 post-simulation。確認模擬結果是否符合 spec，符合之後進行晶片下線申請。在等待晶片送回來期間設計 PCB 且找廠商製作 PCB，做好量測前的準備工作等待晶片送回來進行量測，最終完成整個晶片設計的流程。

四、 架構

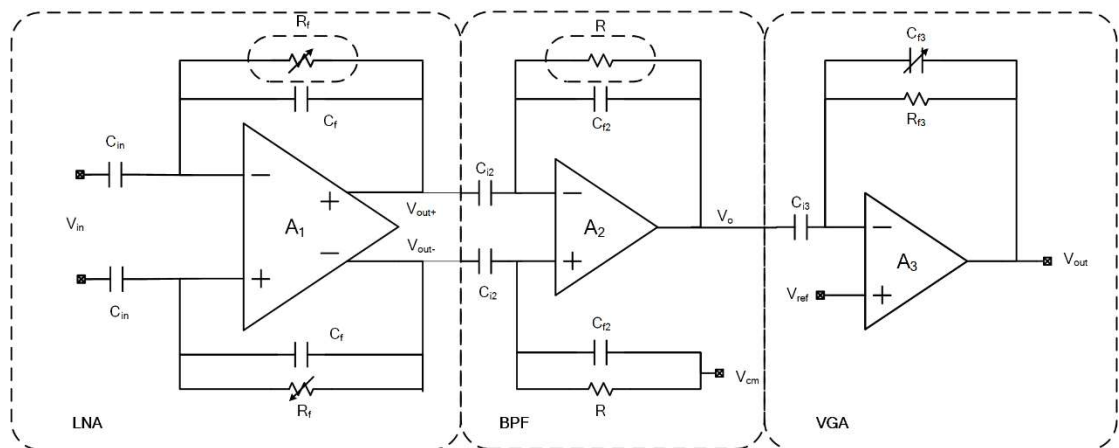


Fig1. 整體架構圖

此架構包含一個低雜訊放大器 (LNA)，一個帶通濾波器 (Band-pass Filter) 和一個可調式增益的放大器 (Variable gain amplifier)。

在擷取生醫訊號的生醫放大器的應用中，具有擷取多種訊號的能力是相當重要的，而各種訊號所在的頻帶均不同，訊號大小也不同，部分生物訊號（如 Local field potential）位於極低頻處，因此在設計此類放大器的帶通頻帶時，架構中必要極低的高通轉角頻率，放大器之高通轉角頻率如

下所示：

$$f_L = \frac{1}{2\pi R_{FB} C_{FB}}$$

其中 C_{FB} 為回授路徑上之電容，而 R_{FB} 則為與之並聯之電阻。在電容回授架構中的增益由輸入端電容 C_{IN} 與回授電容 C_{FB} 的比值決定。然而在先進製程中為達到足夠大的增益且電容面積在合理範圍內， C_{FB} 的大小不適於選擇過大的值，一般多選擇在幾百 fF 附近。因此要在此前提下，達到約 1Hz 的轉角頻率，所需之電阻阻值約在幾十到幾百 Giga 等級，如此大阻值的電阻非常占面積。因此綜合前面幾項因素，多採用偽電阻架構（Pseudo-resistor）。

由於傳統 MOS-bipolar 偽電阻架構受製程變異量極大，因此可調式偽電阻是必須的。上圖為可調式偽電阻，透過將 PMOS 操作在次臨界區，並利用 V_p 和 V_n 和訊號調整阻值。又因為需要將面積降低，電容不宜過大，因此在前兩級的部分均是疊接四顆偽電阻的架構，達到非常大的回授路徑 RC，藉此降低高通轉角頻率。

此部分需要知道 Pseudo-Resistor 對於製成變異較為敏感，因此在設計不同 Mode 時，需要根據不同 corner 調整 V_p 和 V_n 的大小，此後等晶片下陷完畢，在做實際測量時， V_p 和 V_n 也需要根據晶片當下情形進行調整。

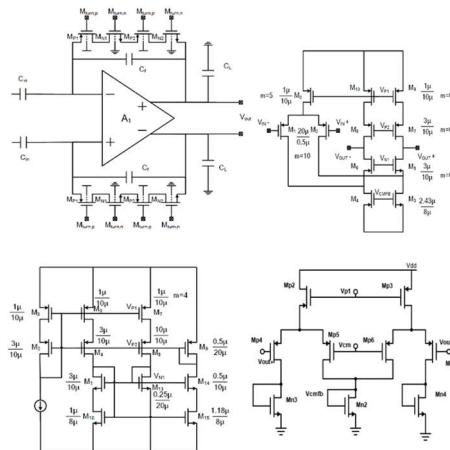


Fig2. 第一級 LNA amplifier 架構圖

第一級 LNA 使用 Folded-cascode 架構，是因為想在較低的 supply voltage 下有相對高的增益，雖然此架構相對於 telescopic 架構 noise 及 power 可能稍微高一些，但避免了 telescopic 架構輸入端點與輸出端點電壓設計上複雜的問題。另外，由於 P-type MOS 在若反轉區有較低的閃爍雜訊，因此選擇輸入電晶體為 PMOS，此外在設計時須考慮到 CMRR 的問題，在 Input pair 部分需要使用較大 size 的電晶體。

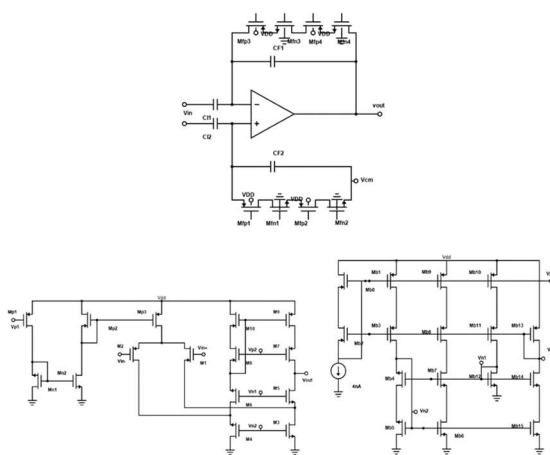


Fig3. 第二級 BPF amplifier 架構圖

Fig3.分別為第二級的架構圖和所使用的放大器、bias circuit 的架構圖，在這一級因為 CMRR 會被第一級的 gain 所除過，所以這一級的 CMRR 影響比較小。在這一級為了省下面積和功耗，所以使用了 single-ended folded-cascode amplifier，和前面一級一樣使用了 Capacitively-coupled instrumentation amplifier 的架構，增益是由輸入路徑的電容和回授路徑上的電容的比值所決定，在這一級將增益控制在3dB，頻帶為6kHz。

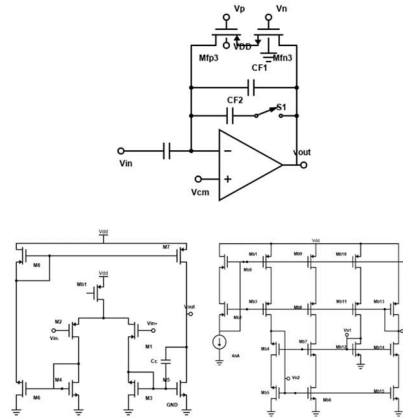


Fig4. 第三級 VGA amplifier 架構圖

Fig4 分別為第三級的架構圖和所使用的放大器、bias circuit 的架構圖，在這一級因為考慮到 output swing，所以我們不再使用 folded-cascode 的架構，而是使用 two-stage 的架構，因為 two-stage 可能會有 phase margin 上不夠的問題，所以使用米勒補償來使這個放大器 stable。在這一級使用的 bias circuit 和第二級使用的為同一組，整體的架構依舊為 CCIA 架構，所以增益依舊是受輸入電容和回授路徑上電容的比值所訂。然而這一級主要是控制兩種不同的增益，透過 switch 去控制回授路徑上電容的大小來改變增益的值，我們設計了兩種增益的模式:0dB 和 5dB，頻帶則是設計在 4kHz。

五、實驗結果

根據 post-simulation 結果顯示，神經訊號放大器之增益為42.7dB 以及 47.7dB，可調整頻帶下，高通轉角頻率範圍為20Hz~300Hz，低通轉角頻率為4kHz，輸入等效雜訊為7.17 μVrms ，整體總功耗為1.6001 μW 。

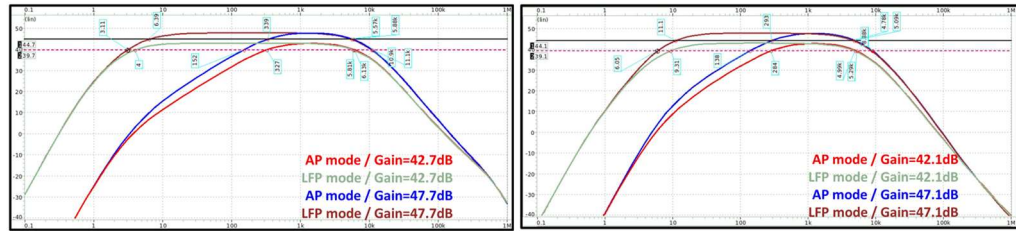


Fig5. Pre-sim(左)和 Post-sim(右) AC Response 圖

	spec	Pre-sim	Post-sim
TT 37°C			
Total current(uA)	-	1.60	1.65
Gain(dB) Clk=0/Clk=1	>40	47.7 / 42.9	47.1 / 42.1
Bandwidth(Hz) AP/LFP	20-4k / 400-4k	6.5-5.51k / 335-5.94k	10.8-4.56k / 300-5.09k
Power(uW)	<6	1.60	1.65
Noise (uVrms)	<15	7.17	8.05
Supply voltage (V)	1	1	1
PSRR(dB) AP/LFP	>60	70 / 67	68 / 67
CMRR(dB) AP/LFP	>60	78/70	66.9/65.1

Table1. Performance and comparison result

六、 結語

在大學畢業專題中，我們從閱讀論文開始，找尋專題題目，設定 SPEC，到 Simulation、到 Layout，最終下線完畢，走了一遍完整的過程。這是我們第一次執行較大的 block，雖說還是有很多不足的地方，但此次過程，我們閱讀論文、實際模擬，學習到不同架構的 op 特性、不同 CMFB 優缺點，以及 PSRR、CMRR、Noise 的計算、實測，gm/id 設計方法、單端、雙端的不同等等，這些都是在課堂中沒有機會完成的完整內容，此間體會到類比領域的有趣及奧秘，不僅僅是對類比領域產生更多的嚮往，更體會到做研究需要不停地查閱知識、翻找閱讀論文，大量搜尋國內外網站、各式不同的平台，或是自己嘗試，總能夠撈出一些很有用的資料，而收到資訊之後，需要內化、整理，也需要辨別知識真偽，最終才能運用在我們的實務上。

此外團隊合作腦力激盪討論，對我們來說也很重要，這也體現到無論未來進入職場或是繼續研究之際，除了自行努力找尋答案，若是可以有良好的溝通能力，能友善進行交流溝通討論，將會為結果帶來更大效益。

感謝的除了父母家人之外，還有感謝教授的指導，以及感謝指導我們的專題學姊，謝謝學姊總是為我們解答疑惑，對我們的進度非常用心，也很感謝台灣有這個教育環境，感謝 TSRI 將資料分享予學生，供予我們學習研究，期許自己未來無論是從事研究、產業、教學等領域，都能夠回饋家人、回饋社會，以示感謝之意。