

# A 10-bit 10 MS/s SAR ADC with 4-bit ripple cancellation and 1-bit redundancy

一個含有四位元的漣波抵消和一個冗餘位元的每秒一千萬採樣10位元的  
循序漸近式類比數位轉換器

組別：B143 指導教授：謝志成 組員姓名：王資涵、張浩文、曾詠津

## 摘要

循序漸近式類比數位轉換器(Successive Approximation Register Analog-to-Digital Converter)因為同時具有較低功耗、較小面積以及中高解析度的性質，被廣泛應用在穿戴式裝置、感測器等領域。

漣波(Ripple)的生成源自封裝打線產生的寄生電感，與晶片內的電容、電阻形成RLC電路，當DAC切換時電源線會受到擾動而開始振盪。漣波可能造成ADC的ENOB(Effective Number of Bits)嚴重下降，為了克服漣波以追求高速、高解析度的ADC，開始有針對漣波消除的架構被提出，此專題漣波消除電路架構主要參考[2]。

此專題利用T18製程做出解析度為10位元具有4位元漣波消除以及1冗餘位元(redundant bit)設計的SAR ADC，試圖透過電路模擬和布局對40nm製程解析度為10位元具有5位元漣波消除以及1冗餘位元設計[2]進行更深入的分析，試圖歸結出此架構的優劣勢。

電路設計依據[3]中的vcm-based differential SAR ADC架構作為基礎，增加漣波消除設計。為了測試增加的漣波消除機制對SAR ADC表現的影響，設計了一個test mode選擇是否要啟動漣波消除機制。輸入訊號設計除了要轉換為數位訊號的一組共模電壓0.9V的反相類比訊號，還有模擬漣波的訊號被設計成類比電壓源以500MHz的正弦波在理想的供電電壓振盪，透過改變振幅模擬不同漣波大小的電路表現。

透過test mode的控制，觀察到pre-sim展現出兩個趨勢，隨著漣波變大會有一、啟動以及不啟動消除機制的SAR ADC的ENOB都呈現下降的趨勢。二、啟動消除機制會比不啟動消除機制的ENOB表現好一些，但是不如[2]中的效果，目前認為這是因為kickback的影響，使漣波輸入端電壓受到干擾造成。

此設計的漣波消除確實可以改善SAR ADC的ENOB表現，但是效果不如預期的原因可能是因為電晶體的寄生電容 $C_{gd}$ 過大，有明顯的kickback發生，對消除漣波用的輸入端造成影響，最終造成消除效果降低。

# Introduction

## 一、前言

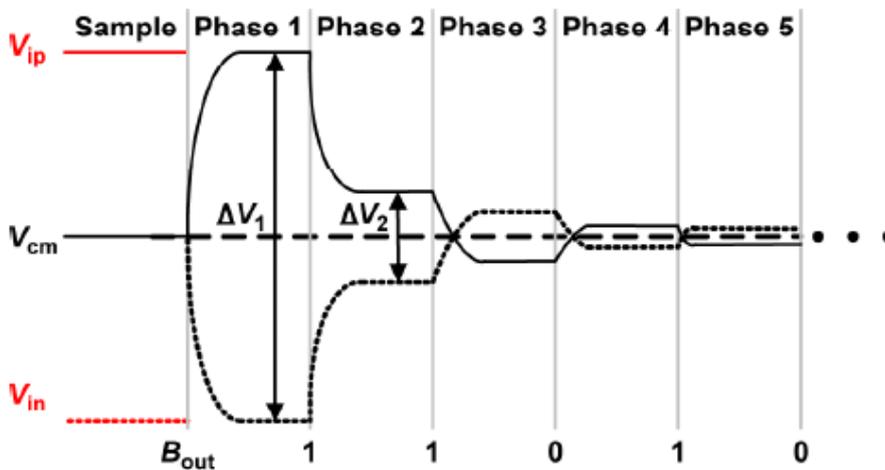
中高解析度的 ADC 經常受到封裝造成的非理想效應限制表現，如本文主要針對的 ripple (漣波)。Ripple 通常來自封裝的 bond-wire 造成寄生電感，與電路上的電容產生 LC 諧波，使輸入電源振盪。而當這一諧波振盪的最大值逐漸增加，ADC 的解析度會衰減得越嚴重。若是採用本次所參考的 ripple cancellation 架構，ripple 的影響將能稍微緩解。本文會在後面的章節分析和討論 ripple cancellation 原理及此次架構的優缺點。

## 二、原理與架構說明

### 2-1. SAR ADC 操作原理

SAR ADC 為二進制逐次逼近的比較方式，此外本次使用 differential 的比較方式，所以會有兩個輸入端。在不比較時 top plate 的兩端電壓會維持在  $V_{REF}$ ，而  $V_{REF}$  的值則根據自身設計需求而定，本文使用的  $V_{REF}$  為  $V_{DD}$ 。SAR ADC 主要分為 sampling mode (取樣階段) 和 hold mode (保持階段)，sampling mode 為 sample & hold 電路從外部輸入電壓，此時 top plate 會隨著外部電壓而變化；hold mode 則為 sample & hold 電路關閉時，top plate 會保持在關閉當下取樣到的電壓，之後在由比較器進行比較。

第一次比較(MSB)時，以圖(一)為例，當  $V_{ip}$  比  $V_{in}$  高時， $V_{ip}$  會降低  $V_{REF}/2$  以及  $V_{in}$  會增加  $V_{REF}/2$ ；而在第二次比較時因  $V_{ip}$  仍比  $V_{in}$  高所以  $V_{ip}$  會降低  $V_{REF}/4$  以及  $V_{in}$  會增加  $V_{REF}/4$ ；當第三次比較時  $V_{in}$  比  $V_{ip}$  高，則  $V_{ip}$  會增加  $V_{REF}/8$  以及  $V_{in}$  會降低  $V_{REF}/8$ ，以此類推其他位元。

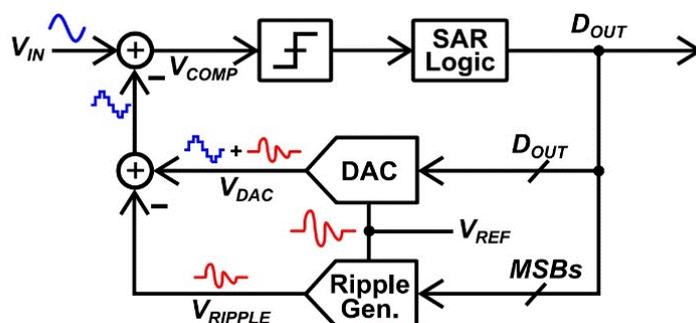


圖(一) SAR ADC 切換方式  
(資料來源: 參考文獻[3])

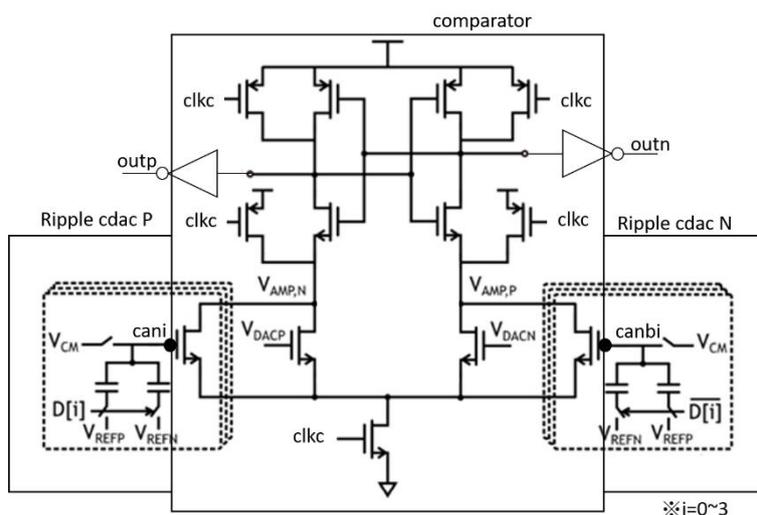
## 2-2. Ripple cancellation 原理分析

SAR ADC 輸入到 comparator 進行比較的訊號因為帶有 ripple 而影響比較結果，因此針對來自 main dac 的 ripple 的量值額外做出相對應的 ripple，並在進入 comparator 前進行抵消，如圖(二)所示。Ripple 大小受到 main dac 的電容比例影響，因此各個 ripple generation cell 裡的電容及 switch 也必須成比例，並且將 redundant bit 加入來吸收因 gain mismatch 造成的 residue ripple。

圖(三)中的 comparator 和 ripple cdac N/P 的區塊各別對應到圖(四)中 comparator 和 ripple cdac N/P。Comparator 的 input pair 的  $g_m$  ratio 和  $m$  被設計成 17:8:4:2:1，這組比例是由參考文獻[2]中的  $G_{RIP}[i] = G_{SIG} \cdot C[i]/C_{total}$  得到，其中  $G_{RIP}[i]$ (ripple gain)和  $G_{SIG}$ (vdac gain)由 input pair  $g_m$  實現。17 是  $V_{DACP}$ 、 $V_{DACN}$  的 input pair 比例，8 是 can0、canb0 的 ripple input pair 比例，4 是 can1、canb1 ripple input pair 比例，依此類推做出 4 bit ripple cancellation。

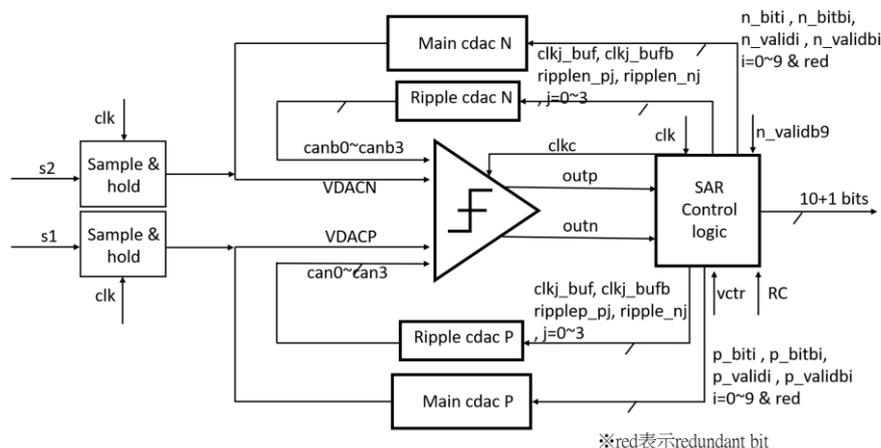


圖(二)、ripple cancellation 架構  
(資料來源:參考文獻[2])

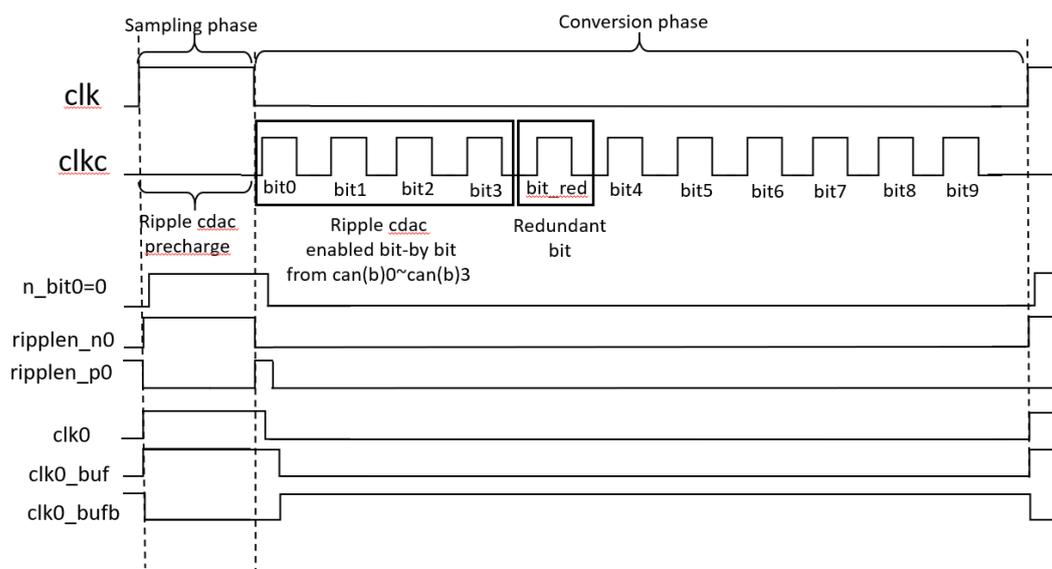


圖(三)、ripple cancellation embedded comparator  
(修改自參考文獻[2])

### 三、電路架構



圖(四)、電路詳圖  
(資料來源:自身構圖)



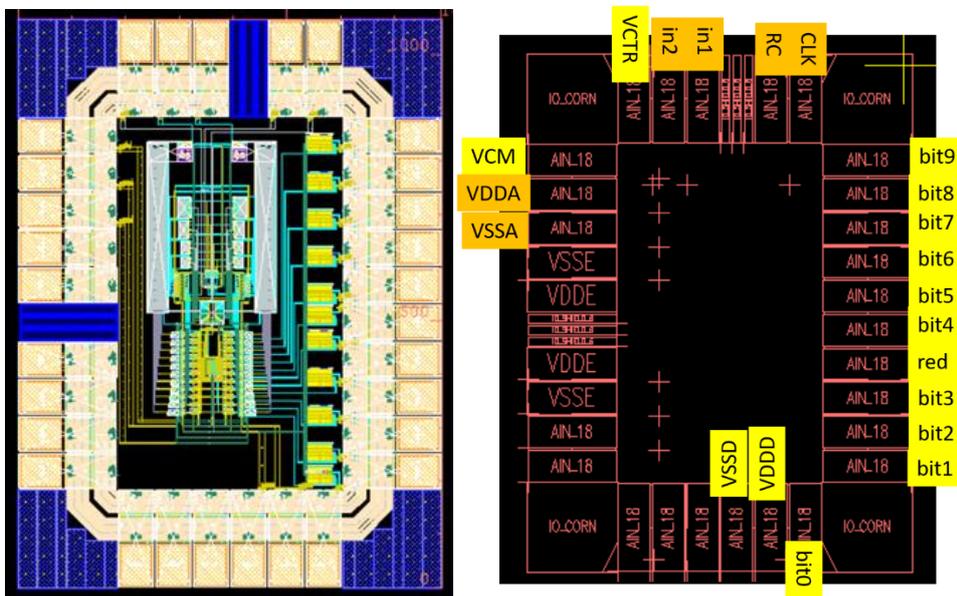
圖(五)、時序操作示意圖

圖(四)電路詳圖中標示了電路主要組成方式和訊號，從晶片输出的訊號共 11 個 bit，包含一個 redundant bit。從晶片外輸入的訊號包含：s1、s2、vctr、RC、clk。s1 和 s2 是 differential input；vctr 會連接到產生 clkc 的電路，並且可以透過調整電壓配合不同 corner 需要的 clkc 長短；clk 定義了 sampling phase 和 conversion phase 的時間，clkb 則是 clk 在電路內經過一級 inverter 產生，產生的 clkb 會被送到晶片中也需要使用到的位置；RC 訊號命名來自 R(ripple) C(ancellation)，RC high 表示 ripple cancellation 啟動，RC low 則表示進入不做 ripple cancellation 的 test mode，用於測試 ripple cancellation 架構啟動後對 ADC 表現的影響。

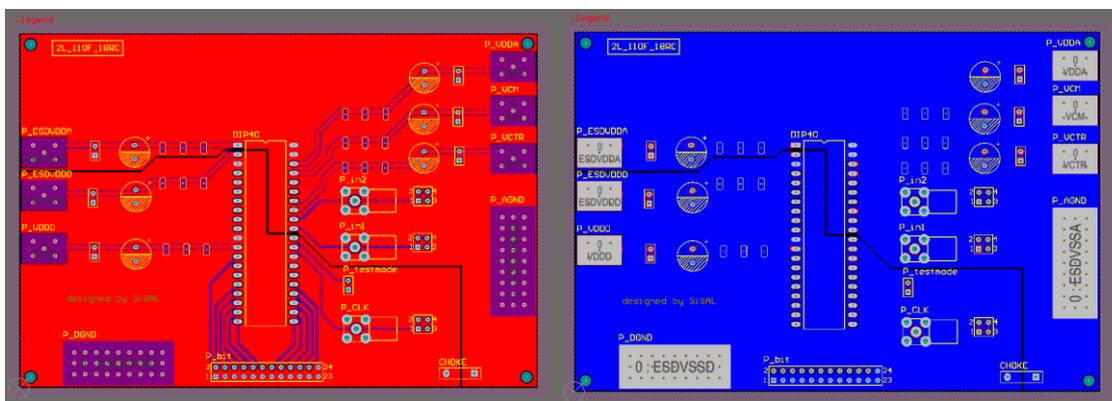
圖(五)是一張啟動 ripple cancellation 的範例訊號波型圖，n\_bit0 是 bit0 cycle 的比較結果；clk0\_buf 是 clk0 經過 buffer 產生的訊號與 clk0\_bufb 反相，負責控制 ripple cdac 中的 VCM switch 開關；ripplen\_n0、ripplen\_p0 則控制 ripple cdac N 的 canb0 組的電融 bottom plate switch，前者切換連接 Vrefn 的 nmos，後者切換連接 Vrefp 的 pmos，圖(五)表現出 canb0 接上 Vrefp，則表示 ripple cdac P 的控制訊號會使 can0 bottom plate 接上 Vrefn。

#### 四、模擬結果與佈局圖

晶片佈局圖：



PCB 佈局圖：



**Part 1: Sample & hold ENOB at 5 corners (w/o ripple, 1024 points)**

	TT25	SS25	FF25	FS25	SF25
ENOB	15.93	17.29	15.43	15.39	16.82

※FF25、SF25 clk duty cycle=15%，其他 corner 是 10%

**Part 2: SAR ENOB at TT25 (w/ ripple, 256 points)**

	RC = 0	RC = 1
ENOB	7.245167	8.057336

**2. Post-sim:**

**Part 1: Sample & hold ENOB at 5 corners (w/o ripple, 1024 points)**

	TT25	SS25	FF25	FS25	SF25
ENOB	11.43	11.19	11.52	10.97	12.17

※FF25、SF25 clk duty cycle=15%，其他 corner 是 10%

**Part 2: SAR ENOB at 5 corners (w/o ripple, 256 points)**

	TT25	SS25	FF25	FS25	SF25
Duty Cycle	10%	10%	15%	10%	15%
Vctr (V)	0.75	0.85	0.7	0.7	0.8
Range (V)	2.8	2.92	2.96	2.92	2.92
ENOB (bits)	9.111455	9.000358	9.221721	9.206172	9.081507

**Part 3: SAR ENOB at TT25 (w/ ripple, 256 points)**

	RC = 0	RC = 1
ENOB: Ripple = 0V	9.116057	9.111455
ENOB: Ripple = 0.017578V (5 LSB)	7.333988	7.845571

**五、結論**

此次架構缺點在於 comparator 的 kickback 對於 ripple cdac 的 top plate 影響甚鉅，推測為 comparator 的五個 input pair 的寄生電容大小因製程上的差異，導致雖以最小尺寸電晶體經  $g_m$  等比例放大，仍然無法負荷 kickback。從 Part 2 的 FFT 圖結果可以看到，在有 5 LSB 的 ripple 輸入的 pre-sim 下，ripple cancellation 的有無些微影響到整體 SAR 的 ENOB，只相差約 0.76 bit。而從 Part 3 的 FFT 圖結果也可看出在 5 LSB 的 ripple 輸入的 post-sim 下，兩者結果也只有相差約 0.51 bit，以付出的代價來看不太划算。總結

得知本次參考論文所引述的 40nm 製程的 ripple cancellation 架構有在 T18 製程中有設計上的困難。

## 六、心得

王資涵：

一開始會希望能在謝志成老師的實驗室學習 ADC 設計是因為大三上修完了 VLSI 課程非常希望能實際操作一次類比晶片設計的流程，向學長姐詢問過後我認為謝老師的實作專題可以提供扎實的訓練，是非常值得爭取的機會。實作專題中設計的電路和修課做的作業不同，我們在設計晶片遇到問題時可能不會有標準答案，甚至真正的問題是需要去自己發現然後分類、識別的，要如何排除其他可能性找到解決方法也是很有趣、很有挑戰性的過程。這是和一般上課非常不同的經驗，也是我收穫最多的地方。我們遇到最多困難的地方是在於參考架構的製程產生的寄生電容比較少，但換了製程之後由於寄生電容增加造成許多不預期的反應，最後甚至需要為了寄生電容調整架構、規格。到了 layout 階段，發現照著當時的設計畫出的 layout 會有對稱性不好的問題，容易造成 mismatch，以至於需要調整架構，這時我才理解為甚麼一個好的電路設計師一開始就要對 floorplan 有清晰的規劃和理解，才能避免這些情況。從電路開始訂規格、設計、pre-sim、layout、post-sim，能夠完成這件事除了小組內成員的努力還要感謝實驗室的學長姊每個步驟都為我們提供強力支援。

張浩文：

這次專題實作「ripple cancellation」是一個非常特別的電路，它透過簡單的切換以及  $g_m$  ratio 來消除來自電源端 bonding wire 的 RLC 電路所產生的 noise。在設計初期，學長姊一步步教導我們 ADC 的基本設計原理及模擬方法，例如:comparator noise 的 normal distribution 以及 SNDR 和 ENOB 的 matlab 模擬方法等，讓我能夠對 SAR ADC 的設計流程有初步的認識。

接下來設計 layout 時，除了要考慮 routing 對 top plate 的影響，dummy cell 的填補也是一大重點。與在大三學到的積體電路設計導論不太一樣的是，因為我們此次是設計偏向於類比電路，所以需要考慮的非理想效應比起以前要來的多上許多，不過也為未來的電路設計增加許多寶貴的實作經驗。最後謝謝這次一同參與的組員，大家的分工配合讓這次專題實作能夠順利進行，也謝謝指導教授和學長姐每次 meeting 或是會後討論，紮實專題生們的基礎並且圓滿達成一個里程碑。

曾詠津：

經過這兩學期的專題，我覺得整個過程非常扎實，閱讀論文、模擬電路、下線、量測，雖然在專題跟課業間要做出取捨，但當親手拿到自己設計的晶片及 PCB 板時真的覺得很興奮。

每週專題生都會參加實驗室的 meeting，跟教授、學長報備進度和討論模擬結果並且會給予我們建議。我們的題目是 SAR ADC 再加上 ripple cancellation，是出現在前年

論文裡的架構，由於架構挺新的又沒有太多相關資料可以查閱，對於我們真的是項很大的挑戰，除了與組員間經常討論，在最後的模擬過程基本上都是每天不斷地在跟學長在群組裡討論，在和學長的假設與驗證中也學習到很多。暑假時也開始準備下線的準備，每天不斷地趕工，跟組員甚至好幾天在半夜兩點多開 teams 討論 layout 的擺放位置，思考如何將寄生效應降到最低。最後，真的非常感謝我的組員們的互相配合幫忙，也很謝謝學長和教授的指導，更謝謝教授給予我們下線的機會，讓我們有個很難得的經驗。

## 七、參考文獻

- [1] Y. Shen et al., "A 10-bit 120-MS/s SAR ADC With Reference Ripple Cancellation Technique," in IEEE Journal of Solid-State Circuits, vol. 55, no. 3, pp. 680-692, March 2020, doi: 10.1109/JSSC.2019.2946215.
- [2] X. Tang et al., "A 10-Bit 100-MS/s SAR ADC with Always-on Reference Ripple Cancellation," 2020 IEEE Symposium on VLSI Circuits, 2020, pp. 1-2, doi: 10.1109/VLSICircuits18222.2020.9162786.
- [3] C. Liu, S. Chang, G. Huang and Y. Lin, "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure," in IEEE Journal of Solid-State Circuits, vol. 45, no. 4, pp. 731-740, April 2010, doi: 10.1109/JSSC.2010.2042254.