

國立清華大學 電機工程學系

實作專題研究成果報告

Measurement and Analysis of FinFET
Logic-Compatible High Density
Embedded 3D Stackable Via RRAM

相容於 FinFET 邏輯的三維高密度堆
疊通孔電阻式記憶體的量測與分析

專題領域：電子領域

組 別：A414

指導教授：林崇榮教授

組員姓名：郭郁翔、吳冠誼

研究期間：2023年7月1日至2024年5月8日止，共10個月

Abstract

Our project introduces a complete 16nm finFET logic-compatible 5-layer three-dimensional high-density stackable Via RRAM. We focus on measuring the stability of the third layer, discussing the measurement methods and procedures, and exploring the operating range and characteristics of this RRAM.

At first, we comprehensively understand the operating principles of RRAM, including the Forming, Set, and Reset operations, along with logic state interpretation of "0" and "1". We also delve into the basic architecture of high-density stackable Via RRAM, constructing circuit schematics and layout diagrams.

In terms of operation, we employ both DC and AC measurement methods. Leveraging the characteristics of RRAM, we establish a systematic measurement procedure to stabilize the results and identify stable operating conditions for both DC and AC.

Based on the results obtained from our measurement procedure, we analyze current-voltage characteristics after setting and resetting, resistance characteristics after setting and resetting, the relationship between current magnitude during setting/resetting and the source-drain voltage, and conditions for changing the operation window size to accurately switch between high and low resistance states. We explore the causal relationships underlying the measurement results.

Ultimately, this project provides insights into the 1T2R architecture and the electrical performance of RRAM in practical operation. It also enhances our proficiency in using measurement instruments and interpreting data, while highlighting the importance of stable operation procedures and controlled current limiting in quickly identifying appropriate operating conditions.

摘要

本專題介紹一種完整相容於先進製程的 16nm 鰭式邏輯製程的 5 層三維高密度堆疊通孔電阻式記憶體 (High Density Embedded 3D Stackable Via RRAM)，我們量測其中穩定性較高的第三層 RRAM，其具有 1T2R 的結構。

專題的一開始我們首先了解 RRAM 的操作原理，包含 Forming, Set, Reset 的操作方式，以及判讀「0」和「1」的邏輯狀態，並了解三維高密度堆疊通孔電阻式記憶體的基本架構，建構電路架構圖以及佈局 (layout) 圖。

操作流程的部分，我們分別採用 DC 以及 AC 的量測方式，基於 RRAM 的特性，建構出一套有系統的量測步驟流程，讓量測結果能更加穩定，進而找到 DC 和 AC 的穩定操作條件。

根據我們所制定的量測步驟流程所量測出的結果，我們將探討 AC 及 DC 的設置重置後的電流大小、設置重置後的電阻大小、設置重置時電流大小對應源極線電壓，以及操作視窗大小和準確改變高低阻態的操作範圍條件，並探討量測結果背後的因果關係。

最後，這次專題讓我們認識了 1T2R 的架構以及實際運作上 RRAM 所顯示的電性表現，更在其中精熟了測量儀器的使用以及讀取數據時的判讀，也認知到穩定的操作流程及限制電流的控制是使得我們能更快速找尋到適當操作條件的關鍵。

目錄

一、	研究動機.....	1
二、	研究目的.....	1
三、	研究方法.....	1
1.	RRAM 原理.....	1
2.	RRAM 架構.....	2
3.	操作流程.....	2
3-1.	DC 直流下的操作.....	2
3-2.	AC 交流下的操作.....	3
四、	研究結果.....	4
五、	結論.....	6
六、	心得感想.....	7

一、 研究動機

在這個科技世代，記憶體顯得越來越重要，要怎麼在最小的空間擁有最多的記憶體，要怎麼快速且穩定的寫入及讀取是這個世代的一大課題，而三維高密度堆疊通孔電阻式記憶體就是一種省下許多空間的一種記憶體，所以我們選擇對此種記憶體進行量測，包括寫入、抹除、讀取等操作，並尋找出適合的操作條件及範圍。

二、 研究目的

近年來，隨著科技的快速發展，我們對物聯網、行動裝置、電腦等產業的技術要求越來越高，也因此過去常使用的儲存元件如 DRAM 及 NAND Flash 雖擁有高容量的儲存空間，但其耗電量、資料存取速度已無法滿足科技發展的需求，因此我們需要轉向發展更有效率的記憶體元件（如本次探討的三維高密度堆疊通孔電阻式記憶體），甚至開始研究類神經仿生運算。

快速發展的時代我們必須解決許多科技瓶頸，例如：摩爾定律，因此為了突破電晶體的物理限制，我們捨棄傳統的 CMOS，改用先進製程的 16nm 鰭式場效電晶體(FinFET)，讓積體電路上可容納更多的電晶體數量。

基於以上因素，本專題將透過量測 RRAM 深入了解三維高密度堆疊通孔電阻式記憶體特性，探討其操作方式與流程，最終找到 RRAM 適合的操作範圍、探討其重複操作的耐受度(endurance)，幫助我們在未來的研究能更熟悉且有效的利用 RRAM 元件。

三、 研究方法

1. RRAM 原理

RRAM 結構為簡單的金屬-絕緣層-金屬 (Metal-Insulator-Metal, MIM)，其原理為施予電壓或電流操作來改變元件的高低電阻的狀態，重複操作重置(Reset)與設置(Set)就可以達成 RRAM 的寫入與抹除，達成數位訊號儲存效果，並利用特定的電壓來讀取不同狀態的電阻值（電流值），進而判讀「0」和「1」的邏輯狀態。

RRAM 操作方式分為單極性 (Unipolar) 和雙極性 (Bipolar)，單極性施加單一方向的電壓即可作 Set 與 Reset 操作，Reset 過程由焦耳熱 (Joule Heating) 使得電阻燈絲熔斷，因此產生阻態變化；而雙極性則是元件的 set 及 reset 的操作步驟須在不同極性的偏壓下操作，雙極性阻態變化的原因則來自於氧離子的移動，進而對電阻燈絲進行氧化還原作用。本實驗的 RRAM 為單極性操作，後續將討論其操作特性。

2. RRAM 架構

本專題量測的 RRAM 為 1T2R 的結構，並實際應用先進製程的 16nm 鰭式場效電晶體 (FinFET)，Fig.1 為 1T2R 的電路架構圖，透過一個前端製程的 FinFET 來控制兩個電阻式電晶體，操作過程中需使用適當限制電流來防止 Over Set，而 FinFET 的尺寸設計必須考慮其能承受的通過電流範圍能使 12 層的雙位元通孔電阻式記憶體都能成功 Reset。

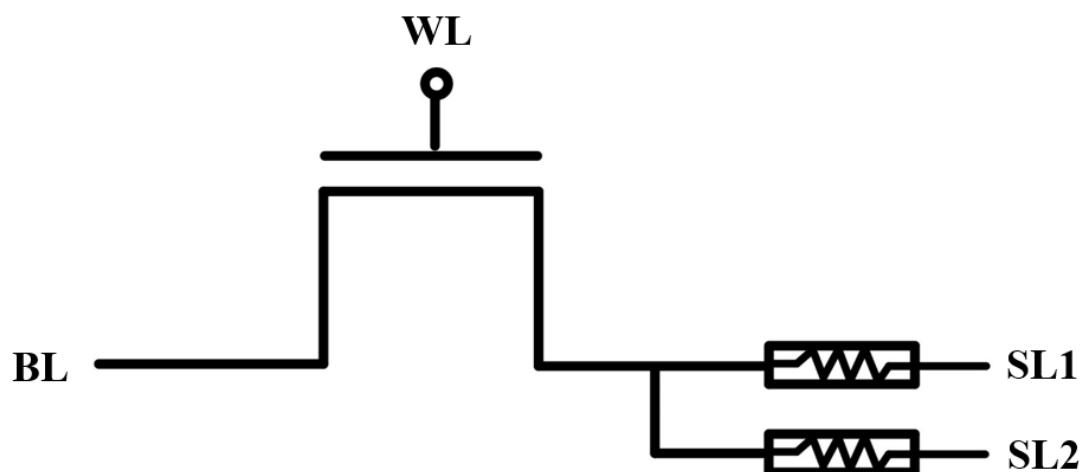


Fig.1 Structure of 1T2R 1T2R 的結構

3. 操作流程

3-1. DC 直流下的操作

首先，為了讓之後的操作不易將 RRAM 過度打穿，也就是施加比正常操作時更高的電壓可能導致材料內部的電場達到足以破壞絕緣層的強度，使得無法在下次 Reset 將電阻燈絲熔斷，我們會先測量 MOS 在不同 V_{DS} 下固定 $V_{GS} = 0.4V$ 時的電流大小（大致上為 MOS saturation 時的電壓大小），以利找尋到後續操作的限制電流 (Compliance Current)，並加以尋找更穩定的操作條件。

再來，當我們要初始化 RRAM 的時候，我們要先讀取 RRAM 目前的阻值大小以確定我們將進行設置 (set) 操作或是重置 (reset) 操作，大致上我們以 10^5 為界線，當阻值大於 10^5 時為高阻態 (HRS)，阻值小於 10^5 時為低阻態 (LRS)。

高阻態時我們使用設置來操作，也就是我們給予 SL 一個 step 為 0.05V 的電壓且初始狀態會讓電壓跑到 2V，若無法順利地設置則會透過 ISPP (Increment Step Programming Pulse) 每次將 max V_{SL} (Maximum Voltage of Source Line) 增加 0.5V 直到成功的將 RRAM 從高阻態轉為低阻態，在設置的時候我們也會隨時注意限制電流以確保不會過度的設置 (Over set)。

低阻態時我們則使用重置來操作，也就是在電阻轉換層通一個足夠大的電流以

破壞其路徑，而使用重置操作時 RRAM 為低阻態，此時施加一個小電壓時就等同於一個大電流，所以就透過這個方法一樣在 SL 施加一個 step 為 0.05V 的電壓但初始狀態只會讓電壓跑到 0.6V，若無法順利地重置則會透過 ISPP 每次將 max V_{SL} 增加 0.2V 直到成功的將 RRAM 從低阻態轉為高阻態。

我們採用的測量操作為單極性的操作，所以如果設置電壓大小與重置電壓大小過於接近，可能會在進行重置操作時，發生重置後又立即設置的情況，因此測量上會希望可以讓設置操作及重置操作能有足夠大的操作視窗。

讀取 (read) 操作，則是透過給予一個極小的電壓差 (我們選擇 0.4V) 去觀察 RRAM 此時的阻態大小，而極小就是為了避免在讀取時改變目前的阻態狀況。

實際的操作流程如 Fig.2 所示。

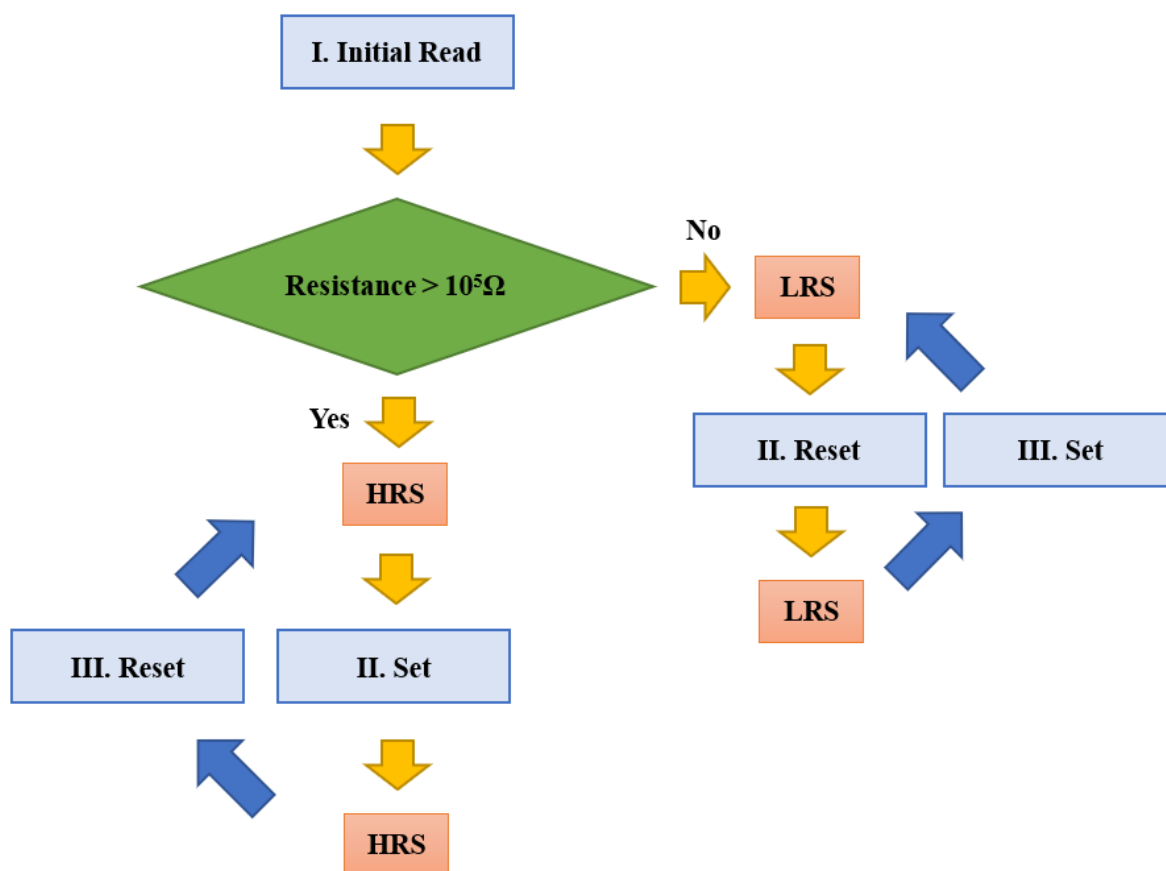


Fig.2 Flow chart of RRAM under DC operate RRAM 於直流操作下的實驗流程圖

3-2. AC 交流下的操作

隨著時代的進步，記憶體的寫入及抹除的速度變得相當重要，為了能快速的操作我們決定使用交流脈衝 (AC Pulse) 來進行設置操作及重置操作。而最後的目標，就是能找到一個穩定的操作的條件使得在交流脈衝下，可以快速又準確的改變 RRAM 的高低阻態。

為了尋找這一個穩定的操作條件，我們決定從 DC 先觀察大致上的操作範圍，

在切換成 AC 尋找穩態的操作。剛開始時常會不抓好取範圍，雖然我們皆是使用 ISPP 慢慢的去設置及重置，但 WL (Word line) 的大小容易影響過度的設置或是重置，導致要回到正常的操作條件時範圍會相對浮動，所以可以看到後期相比前期低阻態時的 I_{SL} (Current of Source line) 穩定且上下浮動的程度沒有那麼大，就是因為漸漸找到適合的 WL 及對應的穩定操作條件。

而進到 AC 後，我們一樣透過 ISPP 慢慢找尋我們的目標，先將電壓設定在 DC 時找到的操作電壓，然後讓時間從 500ns 開始慢慢增加 Pulse 的時長，直到加到 5ms 如果還是不能順利得設置或是重置，我們就會將電壓增加 0.2V 且讓時間回到 500ns，並重複此操作直到成功轉換阻態。

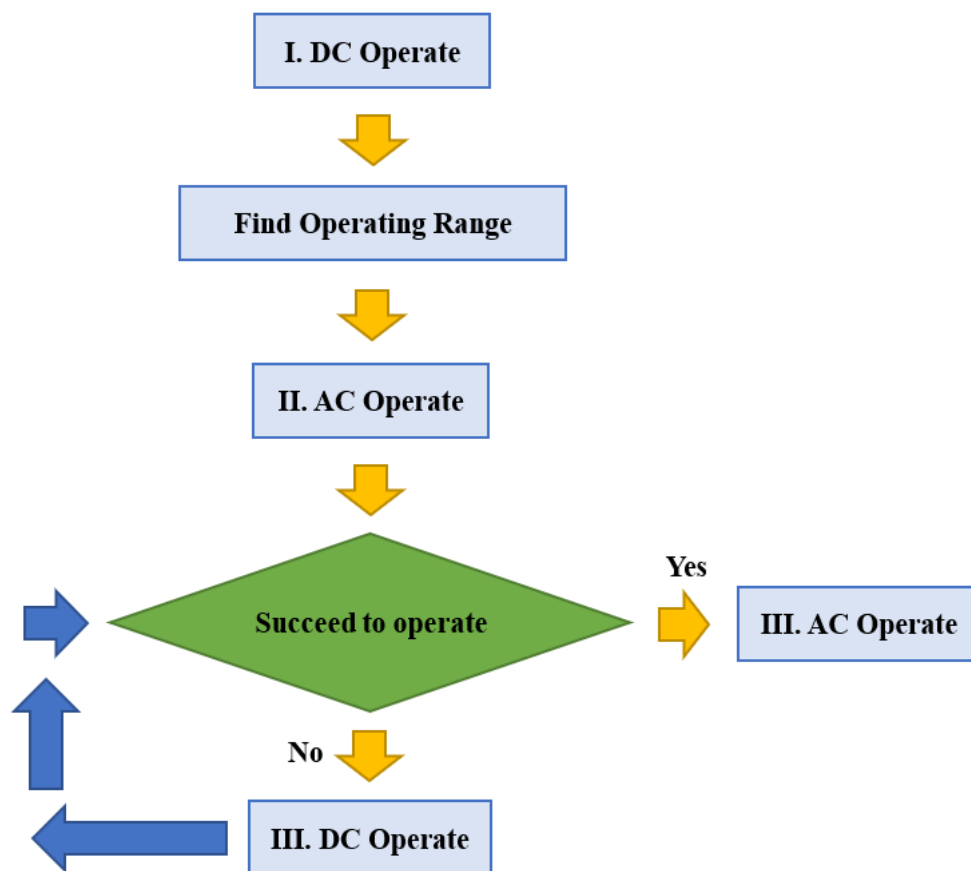


Fig.3 Flow chart of finding AC Pulse Operating Range 尋找交流脈衝下的操作範圍流程圖

四、 研究結果

從 Fig.4 左圖為設置時隨著 SL 的電壓增加，所讀得的電流大小，可以看到在大約 2.2V 時電流突然飆升，是因為 RRAM 從 HRS 轉為 LRS。若發生 Over Set 的情形，在下一次的 Reset 操作將需要更高的 VSL 使 RRAM 再次回到 HRS。在三維高密度堆疊通孔電阻式記憶體中，越高層的 RRAM 之間的間距會越大，使得初始電阻較高，因此高

層的 RRAM 其 Set 操作的 VSL 會更大。

Fig.4 右圖則為重置時隨著 SL 的電壓增加，所讀得的電流大小，可以看到前半部分電流隨著電壓上升是因為目前為低阻態且阻值固定，直到大約 0.6V 時電流突然驟降，是因為 RRAM 從 LRS 轉為 HRS，降低選擇電晶體通道的等效電阻，此時會有大量的電流流經 Via 來達到切換電阻的目的，因此電流值會瞬間驟降。操作過程中，要確保 WL 電壓不能過大，以免影響電阻轉換層(閘極絕緣氧化層)，使得下一次的 Set 更加困難。

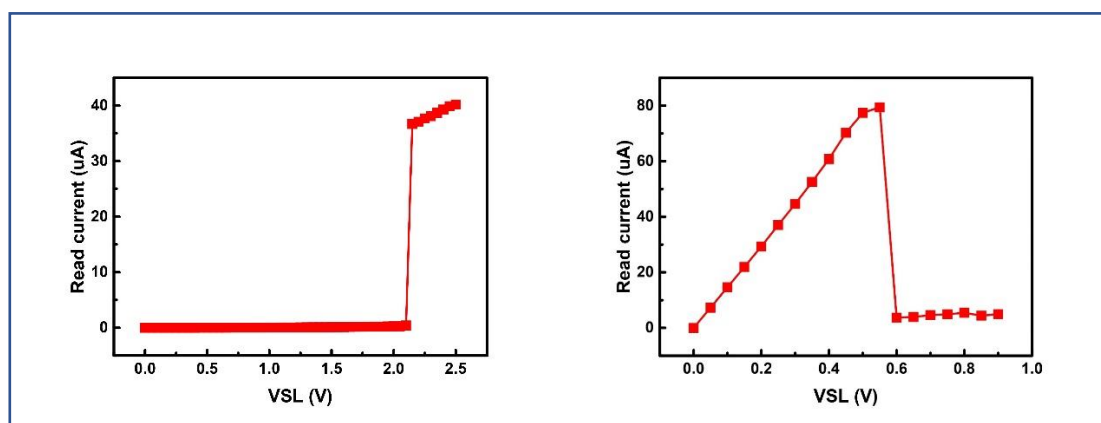


Fig.4 DC Set characteristic of Via RRAM M3 Layer / DC Reset characteristic of Via RRAM M3 Layer

從 Fig.5 左圖是直流操作下的圖，可以看到前半段設置後的電流大小浮動較大，推測可能是 WL 的大小容易影響過度的設置或是重置，導致要回到正常的操作條件時範圍會相對浮動，所以後期漸漸找到適合的 WL 及對應的穩定操作條件，因此相比前半段低阻態上下浮動的程度沒有那麼大，也可以看到操作視窗相當的充足可以到達 12 倍。

Fig.5 右圖則是交流操作下的圖，可以看出隨著 AC 次數增加，重置的電流大小有漸漸變小的趨勢，原因是相比設置，AC 操作中較為困難的是重置，因此會需要 DC 重操作，設置後電流大小比較低的那幾個點就是 DC 重置後回到 AC 設置時的情況，經過推測我們覺得可能是有過度設置的情況，所以我們想要在設置的時候不要過度的擊穿，因此我們也邊調整 WL 的大小靠限制電流降低設置時的擊穿程度，以至於設置後的電流會變小，而在最後也趨於平穩，也可以看出交流相比直流擁有更大的操作視窗可以到達 16 倍，讓我們更容易的操作。

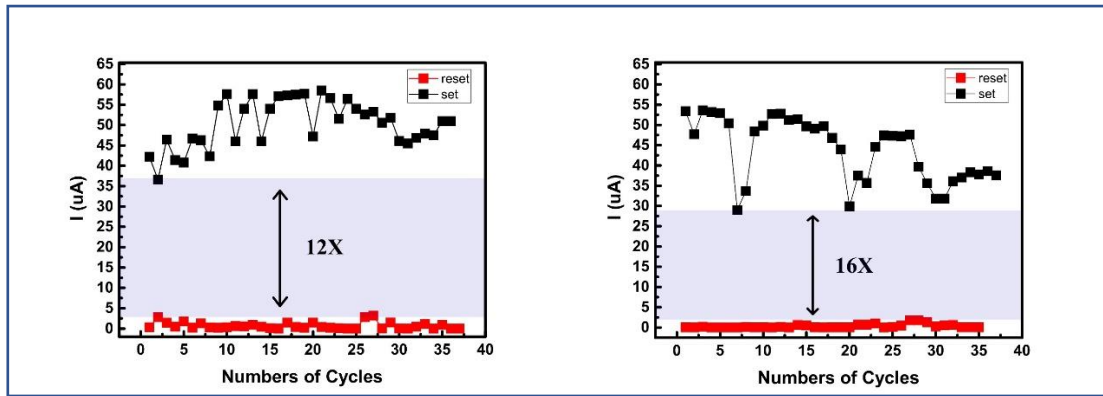


Fig.5 DC Current after set and reset 直流設置重置後的電流值／AC Current after set and reset 交流設置重置後的電流值

以下表格則為統計眾多數據操作條件所分布的數值，也可明顯看出相比 DC AC 操作條件的範圍較小也比較穩定，因此也算是達到我們的目標，也就是找到一個穩定的操作的條件使得在交流脈衝下，可以快速又準確的改變 RRAM 的高低阻態。

	DC	AC電壓	AC時間
reset	0.5V~1.3V 50uA~150uA	1.3V~1.5V	50us~5ms
set	1.7V~2.7V	2.3V~3V	500ns

五、 結論

本次的專題深入研究探討先進製程的 16nm 緒式邏輯製程的 12 層三維高密度堆疊通孔電阻式記憶體 (High Density Embedded 3D Stackable Via RRAM)，認識了 1T2R 的架構以及實際運作上 RRAM 所顯示的電性表現，更在其中精熟了測量儀器的使用以及讀取數據時的判讀。當操作量測時，我們透過多次的 DC 測試找到合適的 WL，並且觀察 Set 和 Reset 當下的電壓大小及電流變化，來尋找合適的操作電壓，也避免量測時發生絕緣層被破壞的情形，使得量測更加順利，多次量測後也能初步的預測在重置電流大約為 130uA，而設置電壓大置會落在 2V 左右。

從中也認知到製作一個可用的三維高密度堆疊通孔電阻式記憶體相當困難，我們也曾量測較高層的金屬，但非常難操作且操作視窗非常小，容易在重置時又設置了，所以我們選擇其中穩定性較高的第三層，探討量測操作的方法與流程，並討論此 RRAM 之操作範圍及特性。

最後，穩定的操作流程及限制電流的控制使得我們能有足夠的操作視窗，讓我們得以快速找尋到適當操作條件的關鍵。

六、心得感想

郭郁翔

在上學期時，大多時間在閱讀相關的論文，並準備與之相關的報告，有時候有蠻多不好懂的地方，但透過組員的報告又或是學長學姊的講解後就更加理解了論文的內容及所要傳達的想法。漸漸的也對 PUF 或是 RRAM 有更多更深入的了解，也開始思考一些有沒有可能創新的一些可能性。

下學期時，我們開始進到量測室進行 RRAM 的量測，從只能在旁觀看學姊的操作到自己下針自己量測，這之中不只是獲得了很多成就感，當然也學習到了很多知識，從原本的紙上談兵但後來實際的遇見，雖然做的事情有時候很繁瑣，但我們也在這之中熟悉並且認知到了更多實際會發生的情況。

雖然我們目前做的都只是很基本的量測，但也是讓我打下很好的基礎。這個專題真的讓我收穫許多，不只是能更快速的抓取論文的重點，也知道了一個好的流程的重要性。最後，謝謝林崇榮教授讓我們成為他的專題生，也謝謝耀弘學長及凱晴學姊耐心的指點及帶領。

吳冠誼

首先要謝謝林崇榮教授，給予我進入 Star Lab 做專題生的機會，讓我在當專題生的這十個月裡能更了解未來的研究方向。在上學期的專題訓練，我們閱讀了數篇有關於 PUF 以及 RRAM 的文獻，那時的我才發現原來過去學過的課程知識原來可以應用在那麼多領域，也對電子領域的相關知識越來越有興趣，而這裡要特別感謝耀弘學長每次都在我們報告完 paper 後都認真糾正我們講得不正確的部分，並給予我們很多的建議與指導，這個部份真的讓我收穫非常多，幫助我能結合過去所學加深了解 paper 的內容。

到了下學期，一樣有文獻閱讀的部分，並且由凱晴學姊帶我們進行量測，一開始看學姊操作儀器時真的覺得有點複雜，也覺得整理數據很困難，但在學姊耐心的教學以及回答我的問題，我也越來越熟悉量測的操作流程並且學會繪圖軟體 Origin，真的非常感謝學姊的耐心指導！

平常報告文獻以及撰寫專題的過程中，我也更重視和夥伴合作的重要性，如果沒有和郭郁翔的分工合作，自己一個人也無法將專題做的如此完善，我也將帶著這份對團隊合作的重視，應對未來的研究。這兩個學期下來，真的學習了很多東西，希望自己能帶著這些收穫，應用在未來的研究領域。