

國立清華大學 電機工程學系

實作專題研究成果摘要

Neobit OTP Memory Cell  
Measurement & Analysis

Neobit 一次性寫入記憶體  
之量測與分析

專題領域：電子領域

組別：A506

指導教授：金雅琴

組員姓名：謝志良、呂哲儀

研究期間：113 年 09 月 01 日至 114 年 4 月 30 日止，共 8 個月

## 摘要

本次專題主要在研究金屬氧化物半導體場效電晶體以及一次性寫入記憶體(Neobit)，利用量測儀器，先深入了解 NMOS 之操作電壓對應之電流特性等，以及觀察不同尺寸對於元件的影響並分析。接著分析 Neobit 元件的基本操作特性分析，包含不同寫入機制之探討，如通道熱載子注入(Channel hot carrier injection)、帶對帶穿隧(Band-to-band Tunneling)以及 FN 穿隧(F-N tunneling)。最後針對 Neobit，對其進行寫入及讀取機制的研究，不同注入機制下其原理與結果之區別，最後實際對 Neobit 進行寫入，觀察其寫入結果，並討論陣列寫入及讀取時之干擾現象。

完成以上對於基本元件以及 Neobit 的特性分析、寫入及讀取機制等分析及研究之後，讓原本抽象的理論概念能夠以數據化的量測成果呈現在眼前，對於日後進行更深入的記憶體研究能夠打下深厚基礎，也對於 CMOS 邏輯相容之非揮發性記憶體有更進一步的研究，對於日後研究相關記憶體元件領域有很大的幫助。

### 一、 研究背景與動機

此專題基於對於記憶體元件之發展性，希望能深入研究其基本特性，替日後研究相關領域打好基礎。本專題著重在研究一次性寫入記憶體元件(OTP) Neobit 的特性分析與研究，首先會先利用 NMOS 元件進行基本特性分析並熟悉量測儀器與軟體之使用，透過量測結果繪成的  $I_D - V_D$ 、 $I_D - V_G$  圖，我們便可對 NMOS 的閾值電壓(Threshold voltage)與汲極電流(Drain Current)等相關參數及特性進行計算以及分析討論，觀察通道長度對 NMOS 的影響，將所學之理論與實際量測結果進行對比。在了解基本 MOS 特性後，在實體晶片上尋找尚未進行寫入之 die(裸晶)，隨後利用量測平台對其進行寫入之操作，將電子注入浮動閘極，再利用軟體觀察寫入前與寫入後的性質變化，同時討論在寫入及讀取時所產生之干擾現象。

## 二、 研究流程圖

- (一) NMOS 量測及特性分析
- (二) 電子注入閘極機制探討
- (三) Neobit 寫入操作及特性分析
- (四) Neobit 寫入干擾分析

## 三、 研究方法

- (一) NMOS 分析
  1. 待測元件：不同長寬比(aspect ratio)之 NMOS (180nm 製程元件)
  2. 不同尺寸電流之比較

表一

相同 Channel Width、不同 Channel Length 之尺寸表 (For  $I_D - V_D$ )

$I_D - V_D$ ( $V_G = 3.3V$ )	Width ( $\mu m$ )	Length ( $\mu m$ )
Sample 1	10	0.18
Sample 2	10	0.22
Sample 3	10	0.5
Sample 4	10	1.0
Sample 5	10	10.0

表二

相同 Channel Width、不同 Channel Length 之尺寸表 (For  $I_D - V_G$ )

$I_D - V_G$ ( $V_D = 1.8V$ )	Width ( $\mu m$ )	Length ( $\mu m$ )
Sample 1	0.22	0.18
Sample 2	0.22	0.22
Sample 3	0.22	0.5
Sample 4	0.5	0.18
Sample 5	0.5	0.22
Sample 6	0.5	0.5

3. 分析參數 (以 aspect ratio =  $\frac{0.22}{10}$  為例)

透過改變閘極電壓( $V_G$ )以及汲極電壓( $V_D$ )，可以得到對應之汲極電流( $I_D$ )，並得到  $I_D - V_D$ 、 $I_D - V_G$  關係圖，並從量測結果以及元件規格進一步推導出閘值電壓(Threshold voltage)以及次臨界擺幅(Subthreshold swing)等等相關延伸參數，並對其進行深入討論。

**Threshold voltage**：有關 Threshold voltage，這是一個有關電晶體以能否導通的重要參數，這裡使用 Constant current method：

$$I_{target} = I_{critical} * \frac{W}{L} \quad (I_{critical} = 100nA)$$

透過此方法可以確定目標電流為多少，以  $I_D - V_G$  量測資料找到該目標電流對應到的  $V_G$  為何，該電壓即為 Threshold voltage。

**Subthreshold swing**：這個參數是描述 MOSFET 在亞閾值區 (subthreshold region) 時，其汲極電流隨閘極電壓變化的靈敏度。它的物理意義與電晶體的開關速度與能效表現密切相關，Subthreshold swing 越小，代表電晶體開關速度越快，因為單位是 mV/decade，表示當閘極電壓增加多少毫伏特，漏電流才會增加一個 decade (即十倍)，這邊有電流原因是因為雖然  $V_{GS} < V_{TH}$ ，MOSFET 仍有小電流流動，這段稱為次臨界區 (subthreshold region)，主導機制是熱載子穿隧。

$$SS = \frac{dV_G}{d \log I_D}$$

透過前面 Constant current method 可以知道 Threshold voltage 的

值，觀察在 Threshold voltage 前的  $\frac{dV_G}{d \log I_D}$  即可知道此 NMOS 的

Subthreshold swing 的大小。

4. 電子注入閘極之分析( $I_G - V_G$ )

透過適當之操作電壓，可以量到電子注入閘極時之電流值，針對不同區段進行不同機制的分析與討論，最後計算其注入之效率 (Injection efficiency)

5. P/N Junction 分析

檢查 Substrate 與 Drain 之間 P-N Junction Reverse bias 以及 Forward bias 現象是否正常。

## (二) 電子注入閘極之機制探討

### 1. 通道熱載子注入(Channel hot carrier injection)

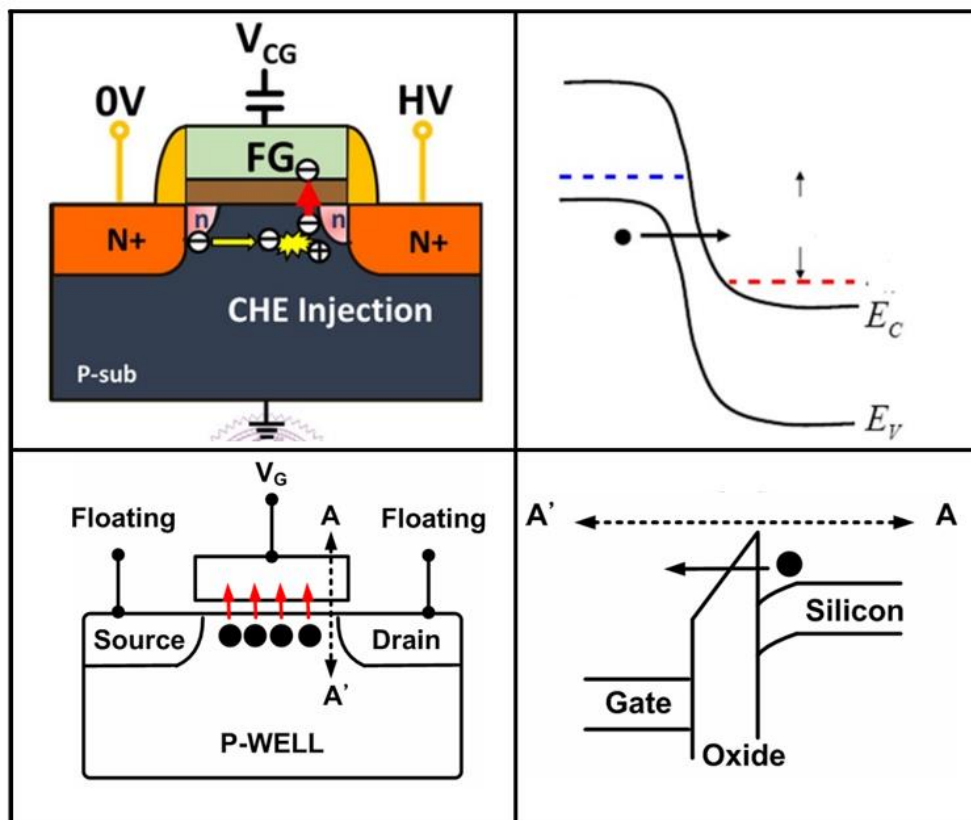
通道熱載子注入關鍵在於需要先提供一個足夠大的橫向電場 (在汲極上加偏壓)，加速載子供給載子足夠的能量並成為熱載子，此時在閘極上加電壓，產生一個垂直電場，此時熱載子就有機會透過高能量穿過氧化層而被吸引到浮動閘極裡面。

### 2. 帶對帶穿隧(Band-to-band Tunneling)

帶對帶穿隧通常發生在 P-N Junction 的空乏區，主要是透過在基板接地並且在汲極加正電壓使 P-N 接面變成 reverse bias，此時就會產生能帶扭曲，使 bandgap 變窄，電子更容易從 valence band 進到 conduction band，產生電子電洞對。此電子電洞對再更進一步產生熱電子，注入閘極。

### 3. FN 穿隧(F-N tunneling)

FN 穿隧較為直接，穿隧的能量會直接來自外加電壓，也就是在閘極上加上電壓，當垂直電場足夠大時，載子就有足夠能量可以直接穿隧過氧化層進到閘極。



圖一 (注入機制示意圖，左上:通道熱載子注入，右上: BTBT，左下及右下: F-N Tunneling)

### (三) Neobit 操作特性分析

1. 待測元件：T18 製程下之 Neobit 元件
2. 量測及分析方式、項目

對未進行寫入之 Neobit 元件進行量測，確保電流趨近於零，接著使用熱電子注入機制以及帶對帶穿隧之兩種不同寫入方式對其實際進行寫入，量測後觀察與寫入前之差別，最後討論當進行陣列式寫入及讀取時所產生之干擾現象(Disturbance)。

## 四、研究結果

### (一) NMOS 分析 ( $\frac{W}{L} = \frac{0.22}{10}$ )

1. 不同 aspect ratio 對於 Drain current 之影響

從圖二左上 ( $I_D - V_D$ ) 可以觀察到，根據 saturation region 公式

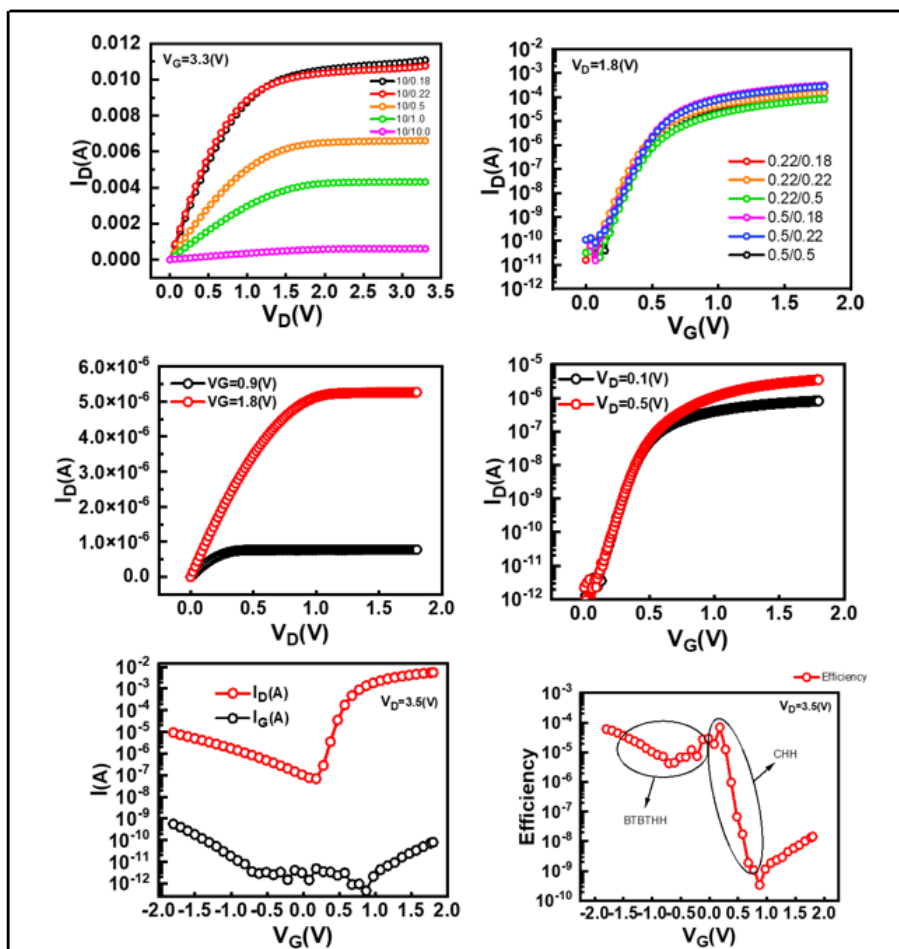
$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$$

， $\frac{W}{L}$  與  $I_D$  呈現正相關。並且在曲線末端呈上升趨勢，顯示出 Channel Length Modulation (CLM) 現象，與  $(1 + \lambda V_{DS})$  有關，而  $\lambda \propto \frac{1}{L}$ 。

圖二右上 ( $I_D - V_G$ ) 中，低  $V_G$  區域可用 Subthreshold current 解釋，根據 linear region 公式  $I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} [2(V_{GS} - V_{TH})V_{DS} - V_{DS}^2]$ ， $\frac{W}{L}$  雖與  $I_D$  呈現正相關，但影響不大。

2.  $I_D - V_D$  &  $I_D - V_G$  &  $I_G - V_G$  & 注入 Efficiency

由圖二左二  $I_D - V_D$  圖可以發現當  $V_G$  越大，要進入 Saturation 的  $V_{DS}$  就要越大，因為根據公式 Saturation:  $V_{DS} > V_{GS} - V_{TH}$ ，且  $V_{GS}$  較大者電流上升較快。接著觀察圖二右二  $I_D - V_G$  可以發現，在飽和區時， $V_D$  越大，原本應該成水平線的電流值傾斜程度越大，這是因為隨  $V_D$  變大，等效通道長度會變短，使 CLM factor  $\lambda$  變大，進而使電流越來越大。最後觀察左下  $I_D - I_G$  & 右下 Efficiency 的圖；我們將 gate current 除以 drain current 之後可以得到注入效率，接著將其作圖後可以發現，熱電子注入之效率會比帶對帶穿隧導致之熱電子注入機制差。



圖二 (左上:  $W=10\mu\text{m}$   $I_D - V_D$  , 右上:  $W=0.22$  &  $0.5\mu\text{m}$   $I_D - V_G$   
, 左二:  $I_D - V_D$  , 右二:  $I_D - V_G$  , 左下:  $I_D - I_G$  , 右下: 注入效率)

### 3. Threshold voltage & Subthreshold swing

**Threshold voltage** : 根據 Constant current method ,

$$I_{target} = I_{critical} * \frac{W}{L} \quad (I_{critical} = 100nA, \frac{W}{L} = \frac{0.22}{10}) = 22nA$$

22nA 對應到的  $V_G$  為 0.33V , 所以 Threshold voltage 即為 0.33V 。

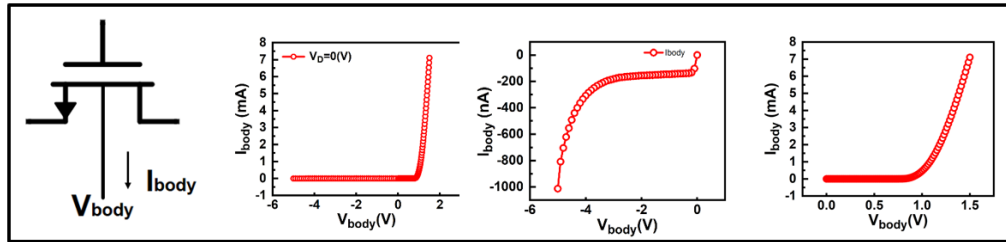
**Subthreshold swing** : 根據 Constant current method 得到 Threshold voltage 之後 , 根據定義 ,

$$SS = \frac{dV_G}{d\log I_D}$$

所以取 gate current 的變化量除以  $\log I_D$  的變化量即可獲得導數 , 此時因為 Threshold voltage 為 0.33V , 因此只須觀察 0.33V 之前的區間 (仍需刪除一開始電流過小的數據點) , 取最小 SS 值 70.14mV , 即為此 NMOS 的 Subthreshold swing 。

#### 4. P/N Junction

由下圖可以發現，當 reverse bias 時，電流非常小，且尚未發生 breakdown 現象，基本上出現的電流都是漏電現象，但在 forward bias 時，電流很大，代表 pn junction 成功順向導通。



圖三 (由左至右依序為量測 Bias 電路圖、 $I_{Body}$ 、Reverse bias Forward bias)

#### (二) Neobit 操作特性分析

##### 1. 操作電壓

表三

寫入及讀取之操作電壓表

	$V_{SG}$	$V_{SL}$	$V_{BL}$	$V_{body}$
<b>Program</b>	<b>-3.3V</b>	<b>0V</b>	<b>Pulse -5V (1ms)</b>	<b>0V</b>
<b>Read</b>	<b>-3.3V</b>	<b>0V</b>	<b>Sweep to -0.9V</b>	<b>0V</b>

(來源:研究者自製)

##### a. Neobit Cell 寫入操作

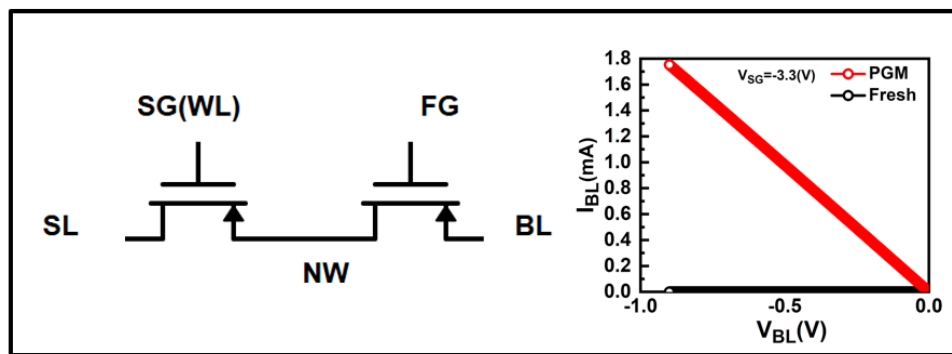
Neobit Cell 寫入時，透過在 BL 施加 -5V 脈衝並於 SG 施加 -3.3V 負壓，使 SL 與 BL 間形成足夠的水平電場，促使碰撞游離產生電子電洞對。此時，FG 因相對正壓吸引電子，藉由熱載子注入進行寫入。為了精確控制注入的數量，BL 所施加的是脈衝電壓 (1ms)，而非直流電壓。

### b. Neobit Cell 讀取操作

Neobit Cell 讀取時，透過對 BL 進行電壓掃描，觀察其電流變化以判斷是否已寫入。未寫入時，無論掃描至何電壓，電流皆接近零；已寫入時，在 BL 約掃至-0.9V 時即可讀取到明顯電流。讀取操作僅需在 SG 施加負壓以導通選取 PMOS，再根據電流判斷 FG 電晶體是否成功導通。

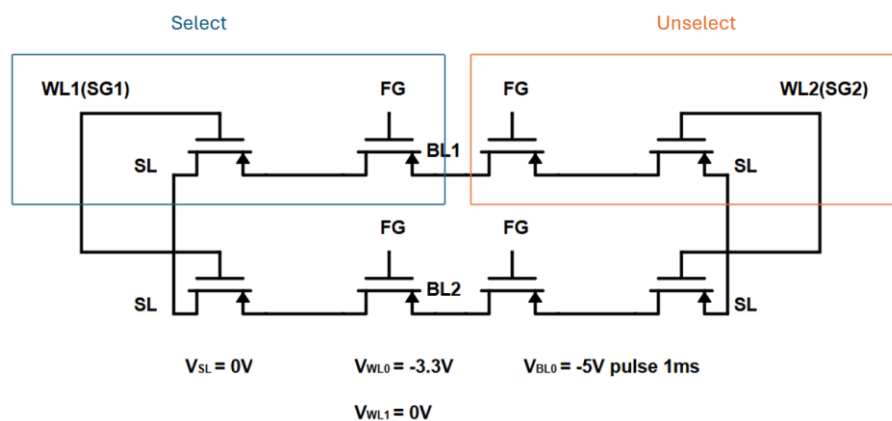
## 2. 電路圖 & 寫入前後以及讀取操作之結果

由圖四右邊的圖可以發現當已經進行寫入之後，電流會形成一條斜直線，當 drain voltage 很低的時候會處在 Linear region，至於 drain 施加低電壓的原因是若電壓太大會導致高電流，進而產生讀取時的干擾現象。此測量結果顯示寫入操作將電子成功注入 FG，將 FG transistor 打開。



圖四 (Neobit 電路圖及寫入前後量測結果)

## 3. 陣列寫入干擾之討論



圖五 (memory array disturbance)

a. Neobit 記憶陣列寫入干擾

Neobit 記憶陣列之寫入操作分為 Selected Cell 和 Unselected Cell 兩種，而操作電壓如表(3.1)。依照此電壓條件，當 WL1 跟 BL0 被選中時(WL1 加負壓使其導通，BL0 也加負壓使其產生強烈水平壓差)，就會對左上方 Cell 進行寫入，但右上方 Unselected 的部分也會因為寫入時加的強烈壓差導致有電子有機率穿隧到浮動閘極裡面，此即為寫入干擾。

b. Neobit 記憶陣列讀取干擾

在讀取時，根據前面經驗我們只需要使用  $V_{BL} = -0.9V$ ，即可成功讀取到有 Programmed 之 Neobit 電流。照理說-0.9V 的讀取電壓與-5V 的寫入電壓差距甚大，基本上不會因為讀取時-0.9V 的電壓操作，使得電子被大量寫入，但若長期執行讀取累積下來，也可能使 Unprogrammed 的 Neobit 的 FG 累積過多電子導致其導通而被讀取到電流，此即為讀取干擾。

表四

Neobit 記憶陣列之操作表

State		WL	SL	BL	body
Program	Selected	-3.3V	0V	-5V Pulse (1ms)	0V
	Unselected	0V	0V	-5V Pulse (1ms)	0V
Read	Selected	-3.3V	0V	-0.9V	0V
	Unselected	0V	0V	-0.9V	0V

## 五、 結論

本研究旨在分析 MOSFET 與 Neobit (一次性寫入記憶體) 的特性。研究首先分析了 NMOS 元件的電流與電壓關係，觀察到閘極電壓越大，MOSFET 進入飽和區所需的汲極電壓也越大，且較大的汲極電壓會因 CLM 效應導致電流增大。透過恆定電流法，量測到特定 NMOS 的閾值電壓為 0.33V，次臨界擺幅為 70.14mV。研究也探討了電子注入閘極的效率，發現熱電子注入效率較帶對帶穿隧差。此外，P-N 接面在逆向偏壓時電流小，順向偏壓時導通正常。接著，研究探討了通道熱載子注入、帶對帶穿隧及 FN 穿隧等電子注入機制。針對 Neobit 元件，研究進行了寫入操作，觀察到寫入後元件在量測時的電流呈現斜直線，低汲極電壓下處於線性區。為避免讀取干擾，讀取操作需施加較低的汲極電壓。最後，研究討論了在記憶體陣列寫入或是讀取時，未被選取的單元可能因壓差產生電子穿隧，造成寫入及讀取干擾。本研究成功量測並分析了 NMOS 的基本特性以及 Neobit 元件的操作特性，驗證了理論概念，為未來深入研究記憶體元件奠定了基礎，並對 CMOS 邏輯相容的非揮發性記憶體有更進一步的了解。

## 六、 心得

在這次專題中，從最基礎的 NMOS 元件量測出發，我們一步步熟悉了半導體元件的電性特性與實際量測技術，包含了汲極電流與閘極電壓之間的關係、Threshold Voltage 的計算、次臨界擺幅的分析、P-N 接面行為驗證以及閘極注入效率等細節。透過實際操作 Cascade 探針台與量測儀器，不僅加深了對 MOSFET 理論的理解，也對 180nm 製程下的元件特性有了更直觀的掌握。在這個過程中，學會如何由一組組量測數據推導出物理現象，並且驗證了如 Channel Length Modulation 效應對元件行為的實際影響。進入 Neobit 元件的研究後，我們對熱載子注入、帶對帶穿隧以及 Fowler-Nordheim 穿隧這些注入機制有了更深入的探討，並親自設計與執行 Neobit 的寫入與讀取操作。從量測結果中，能夠清楚看到寫入前後元件電流的明顯變化，也理解到在低電壓讀取時避免讀取干擾的重要性。進一步進行記憶體陣列層級的分析時，我們觀察到了寫入干擾與讀取干擾的潛在問題，這不僅提升了我們對單一元件行為的理解，也讓我們對記憶體整體可靠性設計有了初步的體會。整體而言，這次專題讓抽象的半導體理論透過親手操作變得具體而生動，也讓我們學會了從電性量測到資料分析、從元件特性到系統考量的完整思考流程。在實驗過程中，我們也更體會到每個參數設定、每次量測步驟細節的重要性，任何小小的疏忽都可能對結果產生巨大影響。這些經驗對未來如果繼續從事半導體元件設計、量測或記憶體研究，無疑是一個非常重要且扎實的基礎。也讓我們對 CMOS 製程相容的非揮發性記憶體有了更深的認識與興趣，期待未來能在此領域有更多探索與貢獻。