

國立清華大學 電機工程學系

實作專題研究成果摘要

7-bit SAR ADC with Switch-bootstrapping,
USPC DAC

自舉式開關與單位電容加開關之
7-bit 循環漸近式類比數位轉換器

專題領域：系統組

組 別：B465

指導教授：鄭桂忠

組員姓名：王庭佑、張祐佳、蘇芃睿

研究期間：113年1月15日至 113年10月31日止，共9個月

Abstract

This project successfully designed and implemented a 7-bit Successive Approximation Register Analog-to-Digital Converter (SAR ADC) based on the T18 process. Its main feature is the integration of a bootstrapped switch with a Unit-Switch Plus Capacitor Digital-to-Analog Converter (USPC DAC) architecture, aiming to meet the demands for high performance, low power consumption, and compact size in analog-to-digital converters.

The architecture of this design includes several modules, such as the sampling circuit, comparator, SAR logic, clock generator, and USPC DAC. Among them, the SAR logic state machine controls the digital conversions, performing bit-by-bit decisions based on the comparator's output. The USPC DAC achieves precise voltage conversion by optimizing the layout of unit capacitors and the design of switches, reducing non-ideal effects such as parasitic capacitance to ensure conversion accuracy and system performance.

Simulation results show that the SAR ADC maintains an effective number of bits (ENOB) greater than 6.5 under different corner-conditions and demonstrates stable performance and high conversion efficiency at a sampling frequency of 20 MHz. These results confirm its reliability across various operating environments. Additionally, the effective suppression of parasitic effects in the circuit architecture further enhances signal integrity and conversion accuracy, making this design competitive in high-performance, low-power applications.

However, the study found that the operating speed is still limited by the charging and discharging speed of the DAC capacitors, which may affect overall performance in high-speed applications. Although increasing the size of the DAC switch transistors can improve operating speed, the parasitic capacitance effects introduced by this approach limit its effectiveness. Therefore, future research could focus on implementing asynchronous architecture to make good use of conversion times per bit. It can also be extended to time-interleaved architecture in the future.

In summary, this research successfully proposes a high-performance, low-power, compact SAR ADC design. Through multiple optimizations and integrations, the circuit demonstrated excellent performance and reliability under various process conditions. Simulation results confirmed the feasibility of this design in different operating environments, and its low power consumption and high accuracy make it highly promising for future applications. Nevertheless, there is still room for improvement, particularly in enhancing conversion speed and further reducing power consumption, which presents other directions and challenges for future research.

摘要

本專題成功設計並實現了一個基於 T18 製程的 7 位元循序漸進式類比數位轉換器 (Successive Approximation Register Analog-to-Digital Converter, SAR ADC)，其主要特點為結合自舉式開關與單位電容加開關數位類比轉換器 (Unit-Switch Plus Capacitor Digital-to-Analog Converter, USPC DAC) 架構，旨在滿足高效能、低功耗及小尺寸類比數位轉換器的需求。

本設計的架構包括多個核心模組，如取樣電路、比較器、SAR 邏輯、時脈產生器及 USPC DAC 等。其中，SAR 邏輯狀態機控制數位轉換過程，負責根據比較器的輸出逐位判斷，完成轉換；USPC DAC 藉由優化單位電容佈局與開關設計進行精確電壓轉換，減少非理想效應如寄生電容的影響，確保轉換精度與系統效能。

經模擬結果顯示，該 SAR ADC 在不同的製程 corner 條件下均能維持超過 6.5 位元的有效位元數 (ENOB)，並在 20 MHz 取樣頻率下展現穩定的性能與優異的轉換效率。這些結果證實該設計在多種工作環境下具有良好的可靠性。此外，電路架構中針對寄生效應的有效抑制，進一步增強了信號的完整性與轉換精度，使該設計在高效能、低功耗的應用中展現出競爭力。

然而，研究中也發現，SAR ADC 的操作速度仍受限於 DAC 電容的充放電速度，這在高速應用場景中可能會影響整體性能。雖然增大 DAC 開關電晶體尺寸可提升操作速度，但由此帶來的寄生電容效應限制了這種方法的效果。因此，未來研究可嘗試導入非同步架構，更有效率的安排每一位元所需之轉換時間。更進一步可將此小尺寸 ADC 擴充成 Time interleaved 架構，以提升取樣率。

總結而言，本實作專題呈現一個高效能、低功耗的小尺寸 SAR ADC 設計，經過多次優化與整合，該電路在多種製程條件下均展現了良好的性能與可靠性。模擬結果證實了該設計在不同工作環境中的可行性，並且其低功耗與高精度的特性使其在未來的應用中具有廣泛的潛力。儘管如此，未來仍有提升空間，特別是在提升轉換速度與進一步降低功耗方面，這為後續研究提供了新的方向與挑戰。

一、研究動機與目的

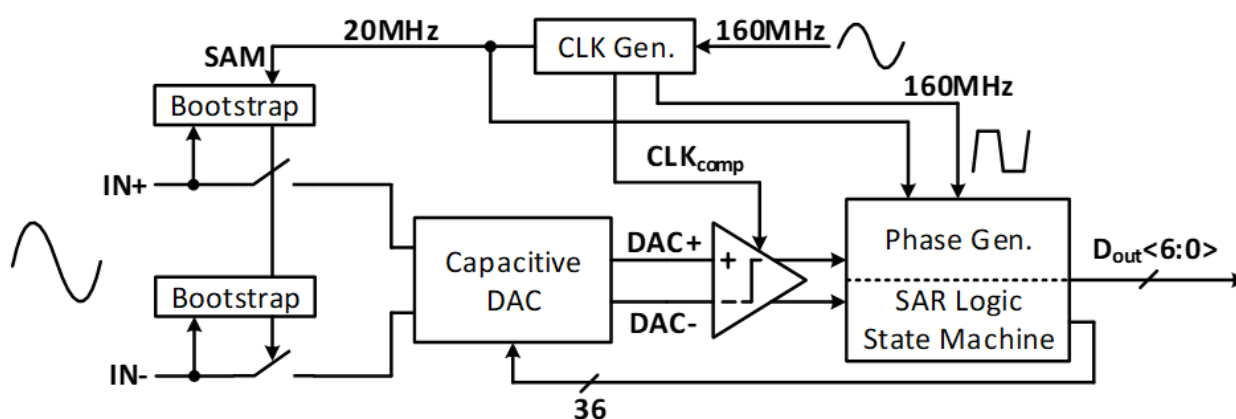
現代電子設備對於高效能、低功耗、小尺寸類比數位轉換器的需求日益增長。循序漸近式類比數位轉換器 (Successive Approximation Register Analog-to-Digital Converter, SAR ADC)，憑藉其結構簡單、解析度高及能效比優越，已成為無線通訊、數據採集、感測器介面、醫療電子設備，以及消費性電子產品中的音頻和影像信號處理等多種應用場景的首選方案。本專題使用 T18 製程，參考了文獻[1]的電路架構，並針對單元開關加電容數位類比轉換器 (Unit-Switch Plus Capacitor Digital-to-Analog Converter , USPC DAC) 的結構和部分電路邏輯進行改進。在保持小體積和簡單邏輯的前提下，實現了此結構在 T18 製程下的最大取樣頻率。

二、原理及架構說明

SAR ADC 利用電路來實踐 binary search 算法將類比訊號轉換成數位訊號表示。其中包含 sample and hold 電路、比較器 comparator、SAR Logic State machine、clock generator 以及一對 USPC DAC。

sample and hold 電路將 differential input 取樣並儲存起來到 DAC 上電容 top plate，透過比較器比較兩端大小，經過 SAR logic state machine 調控 DAC 上連接電容 bottom plate 的 switch 來增減 top plate 的電壓，再次重複比較的流程直至 7 bit 輸出結束。以上完成一次類比數位轉換。而 Clk_Gen 則負責產生各 sub-block 所需 clock 訊號。

如圖(1)所示，sample 之後 DAC 上兩個 top plate 即會帶有 sample 到的電壓值，若 input 正端 V_{ip} 大於負端 V_{in} ，經過比較器與 SAR logic，DAC 上 DAC+ 放電 0.5VDD，DAC- 充電 0.5VDD，若 DAC+ 仍大於 DAC-，DAC 上 DAC+ 放電 0.25VDD，DAC- 充電 0.25VDD，依此類推。

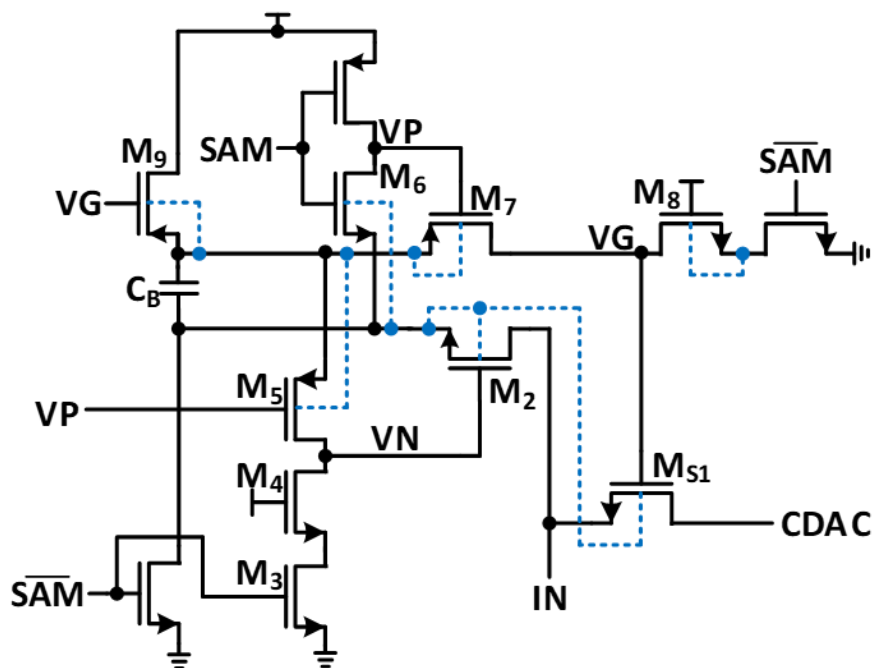


圖(2) 整體架構圖

三、子電路架構

3-1. Sample and hold 電路(bootstrap switch)

Sample and hold 電路的線性度直接影響整體 ADC 的性能，因此使用 bootstrapped switch 來維持高頻取樣的線性度。取樣電路的線性度很大一部分取決於 M_{S1} 的 R_{on} 是否與 IN 電壓相關。主要原理在於利用 C_B 電容將 M_{S1} 的 gate 電壓抬升至 $V_{in} + V_{dd}$ ，使得 gate-source 電壓在取樣時維持在 VDD，實現低且穩定的 R_{on} 以提高線性度。其中與傳統 bootstrapped switch 不同在於 M_2 不是由 VG 控制，而是由 $M_3 \sim M_5$ 提前開啟一條平行於 critical loop 的分支，減少 VG 節點的負載。



圖(3) Sample and hold 電路架構圖

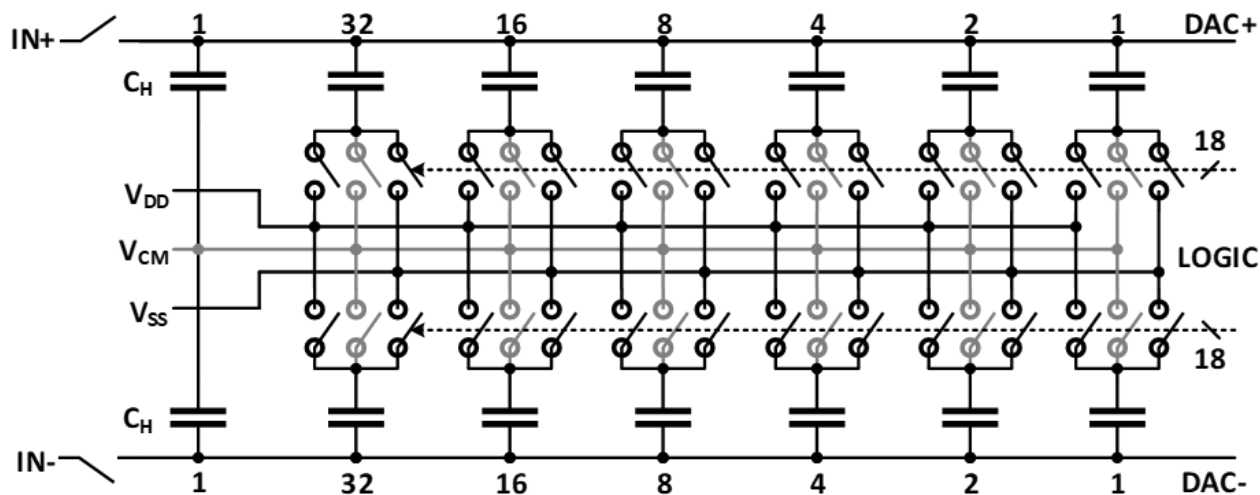
3-2. USPC DAC

USPC 代表 unit switch plus capacitor，每一個單位電容都要相配一個開關接到參考電壓。相較於傳統的作法開關會離電容底板較遠，造成額外的寄生電阻影響電容充放電的速度。USPC 一方面將開關做在電容附近降低電阻值，一方面電容與開關大小成固定比例，每一位元的電容充放電速度會幾乎一樣。

Top plate sampling 中 input 電壓直接接到比較器的輸入，切換模式構造較 bottom plate 為簡單，可使用較小面積完成。 V_{cm} based 的設計可在一次取樣周期內維持 CDAC 兩個 top plate 固定的 common mode 電壓，對於比較器的 input common mode range 較為友善。

電容設計之大小主要需考量 noise 與 mismatch。一般而言 mismatch 所要求的電容大小會較 noise 來的大上許多。

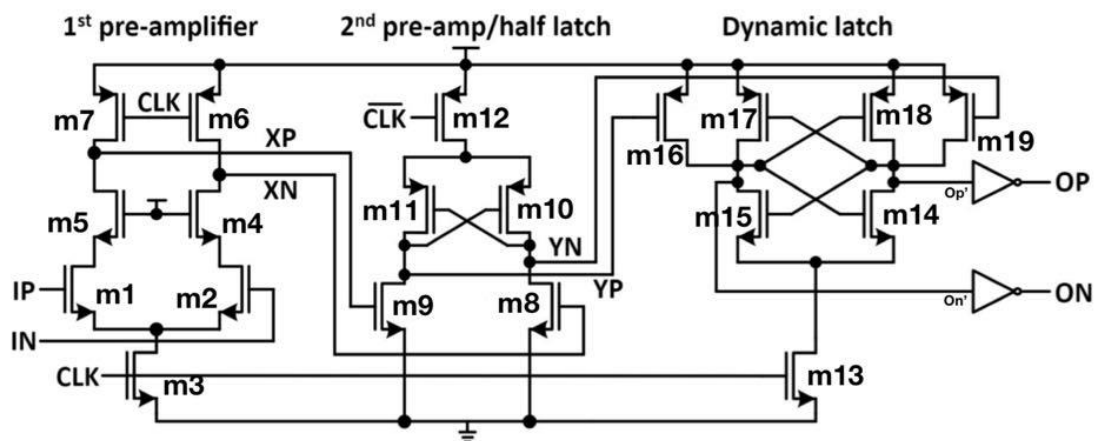
電容部分使用 MOM 電容，具有高電容密度、低寄生電容等優點。單位電容值為 6.7pF，在不造成電路過大負擔的情形下可遠大於雜散電容，以維持 DAC 之精確度。



圖(4) DAC 簡圖

3-3. Triple tail comparator

Triple tail comparator 是一個 dynamic comparator，共分成三級。pre-amplifier + latch-amplifier + latch(+buffer)。



圖(5) 比較器架構圖

3-4. SAR logic

SAR logic 接收由 clock generator 產生的訊號，根據比較器的結果發送控制訊號給 CDAC 並且輸出 digital code。

3-5. Clock generator

由外部輸入一個頻率 $8F_{sampling}$ 的 clk 訊號，經過三個 inverter 組成的 buffer，透過三個串接的 D Flip-Flop 除頻至取樣頻率，再透過邏輯閘產生適當的 SAM、Clkcomp 工作週期。

四、模擬結果

SAR ADC

Pre-sim 與 Post-sim 皆可見 Top ADC 輸出位元。經量測統計出 $ENOB > 6.5$ 。

	corner	Power Supply(V)	Power Consumption (core) (mW)	Sampling Frequency (MHz)	ENOB
specification	all	1.5	< 2.5	20	> 6.5
Pre-sim	TT	1.5	1.458	20	6.946
	FF	1.5	1.575	20	6.923
	SS	1.5	1.342	20	6.955
	FS	1.5	1.446	20	6.944
	SF	1.5	1.534	20	6.947
Post-sim	TT	1.5	1.952	20	6.912
	FF	1.5	2.071	20	7.072
	SS	1.5	1.775	20	6.957
	FS	1.5	1.94	20	7.045
	SF	1.5	2.002	20	6.919

表(3) Power and ENOB list

五、結論

本專題成功設計並實現了一個基於 T18 製程的七位元循序漸近式類比數位轉換器 (SAR ADC)。模擬結果顯示，該 SAR ADC 在多種 corner 條件下 (TT、FF、SS、FS、SF) 均能維持超過 6.5 位元的有效位元數 (ENOB)，並在 20 MHz 取樣頻率下展現穩定的性能。此外，提出的電路架構有效減少了寄生效應，增強了信號的完整性和轉換精度，證明了該設計在各種應用環境中的可靠性和優勢。然而，SAR ADC 的操作速

度受限於 DAC 電容的充放電速度。雖然增大 DAC 開關電晶體的尺寸可以提升操作速度，但寄生電容的影響限制了這種方法的效果。因此，未來研究可嘗試導入非同步架構，更有效率的安排每一位元所需之轉換時間。更進一步可將此小尺寸 ADC 擴充成 Time interleaved 架構，以提升取樣率。

六、心得

王庭佑：

從電路架構設計與優化，到電路布局、模擬驗證，再到最終晶片下線，這次專題研究的完整過程讓我獲益良多。不僅加深了我對晶片設計流程的理解，也累積了豐富的實際操作經驗。在此過程中，我學會了如何應對設計中的各種挑戰，從架構優化與模擬驗證，到解決製作階段遇到的問題，每個環節都磨練了我的專業能力與問題解決的思維。此外，這次專題研究也讓我深刻體會到團隊合作的重要性。由於專題涉及多個環節，我需要與組員、教授以及實驗室學長密切配合，協同完成各項任務。最後，我由衷感謝在這段過程中提供指導與支持的教授、學長以及我的組員，他們的幫助讓這次專題更加圓滿成功。

張佑佳：

在大三上學期修習類比電路設計與分析一後，我認為我終於踏入真正的類比電路設計領域，而當時課程的教授正好是鄭桂忠教授，在此課程中引起我很大的興趣。幸運的是鄭桂忠教授也在此學期開授專題。整個專題的過程從背景知識的建立到實際執行模擬其實花費了不少心力，同時也有其他專業課程在進行，下線之前的時程可說是相當緊湊，我覺得這項專題可說是大學四年來最完整的一次電路設計流程，我在其中奠定了基礎，甚至確定我碩班研究方向，非常感謝教授提供的資源與機會，也感謝助教的指導，以及組員們一起努力才能有此成果。

蘇芄睿：

回顧整個實作專題的過程，其實自己也覺得設計與架構都還有不少可以做得更好的地方，但無論成果是否完美，這一整個流程仍讓我更加了解類比電路設計的領域，也有機會實踐了過往許多在課堂上學到的知識，是一個非常寶貴的經驗。感謝教授與助教的指導，也感謝組員的配合和付出，也感謝所有暑假期間在資電館 407 畫 layout 時一起互相交流鼓勵並苦中作樂的朋友們。以此經驗為助力，未來我也將持續精進，做出優秀的作品。

七、參考文獻

- [1] Ramkaj, A. T., Strackx, M., Steyaert, M. S. j., & Tavernier, F. (2018). A 1.25-GS/s 7-b SAR ADC With 36.4-DB SNDR at 5 GHz Using Switch-Bootstrapping, USPC DAC and Triple-Tail Comparator in 28-Nm CMOS. *IEEE Journal of Solid-State Circuits*, 53(7), 74.
- [2] Abozeid, K. M., Khalil, A. H., & Aboudina, mohamed M. (2014). Different Configurations for Dynamic Latched Comparators Used in Ultra Low Power Analog to Digital Converters. 2014 International Conference on Engineering and Technology (ICET).
- [3] dortz, N. L., Blanc, J. P., Simon, T., Verhaeren, S., Rouat, E., Urard, pascal , Tual, S. L., Goguet, D., Perrault, C. lelandais, & Benabes, P. (2014). 22.5 A 1.62GS/s Time-Interleaved SAR ADC with Digital Background Mismatch Calibration Achieving Interleaving Spurs below 70dBFS. 2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC).
- [4] Razavi, behzad . (2015). The Bootstrapped Switch [A Circuit for All Seasons]. *IEEE Solid-State Circuits Magazine*, 7(3), 12–15.
- [5] Lee, S., Kang, H., & Lee, M. (2024). 9.9 A 2.72fJ/Conv 13b 2MS/s SAR ADC Using Dynamic Capacitive Comparator with Wide Input Common Mode. *IEEE International Solid-State Circuits Conference (ISSCC)*.
- [6] Tao, Y., Gu, M., Chi, B., Zhong, Y., & Jie, L. (2024). 22.4 A 4.8GS/s 7-ENoB Time-Interleaved SAR ADC with Dither-Based Background Timing-Skew Calibration and Bit-Distribution-Based Background Ping-Pong Comparator Offset Calibration. *IEEE International Solid-State Circuits Conference (ISSCC)*.