

# Measurement and Analysis of CMOS Logic Compatible Non-Volatile Memory Cell

## CMOS 邏輯相容的非揮發性記憶單元測量與分析

專題領域：電子領域 組別：A388 指導教授：金雅琴 組員：鞠思平、黃俊穎

### 摘要

本研究報告旨在探討 CMOS 邏輯相容的非揮發性記憶單元，與了解 Neobit 的操作特性。透過分析 NMOS 和 PMOS 的基本特性，觀察通道長度和次級效應對元件的影響，並探索不同機制對閘極注入電子的影響。最後對 Neobit 元件進行寫入操作，並討論陣列中的寫入干擾現象。

報告針對 CMOS 邏輯相容的非揮發性記憶單元進行深入分析，包括對元件特性、寫入操作和干擾現象的研究成果。這些研究結果有助於深入了解新型記憶單元的性能特性，並探討其在未來應用中的潛在價值和挑戰。透過本研究，我們能夠更好地理解 CMOS 邏輯相容的非揮發性記憶單元的運作原理，為未來相關領域的研究和應用提供重要參考依據。

### 一、研究背景與動機

本專題想要更了解 Neobit 的操作特性，首先以討論 NMOS 與 PMOS 的基本特性出發，透過量測結果繪成的  $I_D - V_D$ 、 $I_D - V_G$  圖，我們分析 MOS 的閾值電壓與汲極電流對 aspect ratio 的特性，觀察通道長度與 MOS 的次級效應對元件的影響。隨後分別利用通道熱載子注入(Channel hot carrier injection)與帶對帶穿隧(Band-to-band Tunneling)的方法，將電子注入至閘極中，觀察不同閘極電壓(Gate voltage)對閘極漏電流(Gate leakage current)的影響，並討論不同機制的優劣。最後利用 Neobit 元件，進行寫入操作，將電子注入浮動閘極，觀察寫入前與寫入後的性質變化，並討論陣列中寫入干擾的現象，最後呈現電壓操作表。

### 二、研究流程圖



### 三、研究方法

#### (一) NMOS 基本特性

##### 1. 待測元件

根據表一、在0.18微米製程下不同長寬比(aspect ratio)的 NMOS I/O 元件。

	Width	Length				
Case1	$W = 10\mu m$	$L = 10\mu m$	$L = 1\mu m$	$L = 0.5\mu m$	$L = 0.22\mu m$	$L = 0.18\mu m$
Case2	$W = 0.5\mu m$	$L = 0.5\mu m$	$L = 0.22\mu m$	$L = 0.18\mu m$		
Case3	$W = 0.22\mu m$	$L = 0.5\mu m$	$L = 0.22\mu m$	$L = 0.18\mu m$		
	Length	Width				
Case4	$L = 0.22\mu m$	$W = 10\mu m$	$W = 1\mu m$	$W = 0.5\mu m$	$W = 0.22\mu m$	$W = 0.18\mu m$

##### 2. 討論項目

透過改變汲極電壓( $V_{Drain}$ ) 與閘極電壓( $V_{Gate}$ )，得到汲極電流( $I_{Drain}$ )的值，除了呈現不同 Case 的  $I_D - V_D$ 、 $I_D - V_G$  圖，也從中萃取資料，算出不同 NMOS 尺寸的閾值電壓(Threshold Voltage:  $V_{TH}$ )和汲極電流-長寬比( $I_{Drain} - Aspect\ ratio$ )的關係，並作深入的討論。

##### 3. 元件分析項目與方法

###### (1) $I_D - V_G$ 圖：Threshold voltage extraction: Constant current method

利用 Constant current method 找出閾值電壓為以下公式：

$$V_{TH} = V_{GS} \Big|_{I_{DS} = I_{Dcritical} \times \frac{W_g}{L_g} (I_{Dcritical} = 10^{-7} A)}$$

在本次實驗中， $V_{GS} = V_{Gate}$ 、 $I_{DS} = I_{Drain}$ ，由於我們知道不同元件的 aspect ratio，因此能利用內插法(Interpolation)，將其閾值電壓  $V_{TH}$  找出來。最後，我們能進一步地將 Case1~Case3 對不同通道長(Channel Length)的閾值電壓做圖，觀察在 Narrow width 與 Long width 下，Channel Length 對  $V_{TH}$  的影響。

###### (2) $I_D - V_D$ 圖： $I_{Drain}$ 與 Aspect ratio 的關係

透過量測結果，我們萃取 Case1 中不同 Aspect ratio 的  $I_{Drain\_saturation}$  值作圖，觀察其趨勢變化，並與公式的理想曲線做比較，討論兩者差異。

#### (二) PMOS 基本特性

##### 1. 待測元件

在28奈米製程下長寬比  $\frac{W}{L} = \frac{0.27\mu m}{0.27\mu m}$  的 PMOS I/O 元件。

##### 2. 討論項目

同樣透過改變汲極電壓( $V_{Drain}$ ) 與閘極電壓( $V_{Gate}$ )，得到汲極電流( $I_{Drain}$ )的值，觀察  $I_D - V_G$ 、 $I_D - V_D$  圖，也從中萃取資料，算出其閾值電壓  $V_{TH}$ 。

### (三) 電子注入閘極特性

#### 1. 待測元件

在16奈米製程下長寬比  $\frac{W}{L} = \frac{5 \times fin}{72nm}$  的 PMOS core 元件。

#### 2. 討論項目

觀察不同閘極電壓下電子注入閘極的情形，並討論產生各項情形背後的機制，並比較孰優孰劣。

#### 3. 元件分析項目與方法

分析不同機制下的電子注入效率(將閘極漏電流與通道電流相除得到比值，即為注入效率)、操作電壓、電子控制。

### (四) Neobit 操作特性

#### 1. 待測元件

在0.18微米製程下的 Neobit 元件。

#### 2. 討論項目

寫入前與寫入後的 Neobit 元件特性，並觀察寫入過程中產生的干擾及讀取干擾。

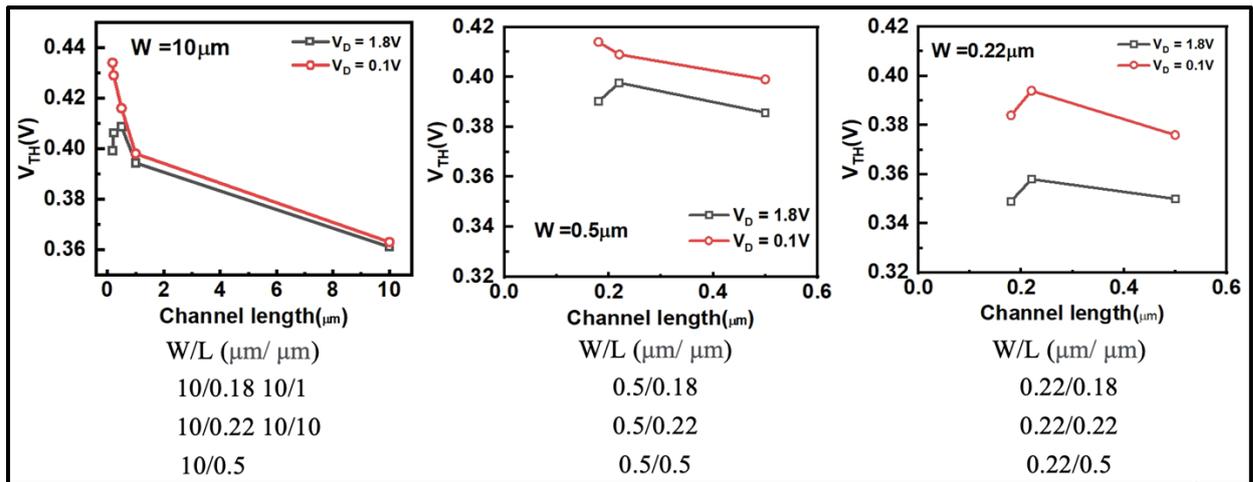
#### 3. 元件分析項目與方法

利用熱電子注入和帶對帶穿隧兩種機制去分別做寫入，並分析其對元件中陣列單元的選擇性(cell selectivity)。

## 四、研究結果

### (一) NMOS 基本特性分析

#### 1. $V_{TH}$ 對 Channel Length 之討論



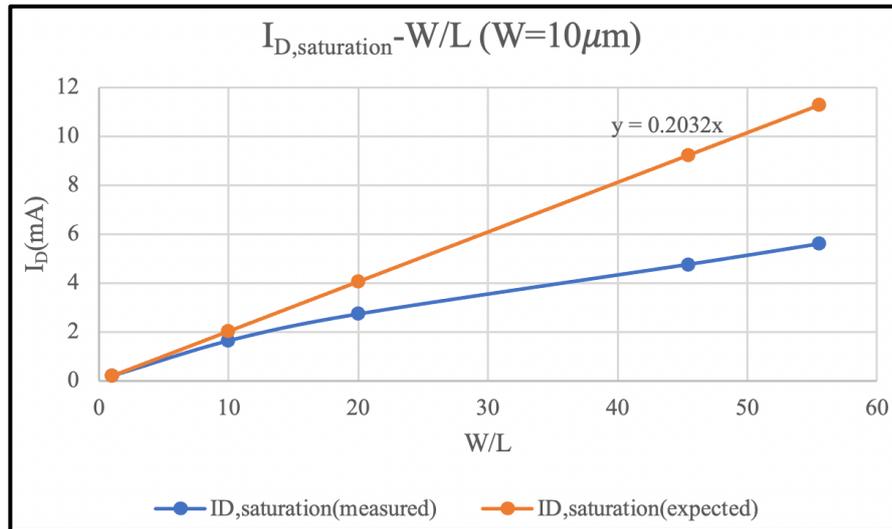
圖一

圖一是 Case1~Case3 的  $V_{TH} - L$  圖。我們取低  $V_{Drain}$  的資料得出不同  $L$  的值的  $V_{TH}$ 。然而我們可以看到圖一最右邊  $W = 0.22\mu m$  的條件下， $L = 0.18\mu m$  時的  $V_{TH}$  是下降的，相比前兩個 Case 隨者  $L$  越來越小越高的趨勢是相反的。在此我們有以下討論：

(1) Constant current 方法只考慮元件的 aspect ratio，然而不同的製程（通道長度與寬度、絕緣層厚度、參雜、corner 等）都會影響到一顆元件的  $V_{TH}$  大小，因此利用 Constant current 找出來的  $V_{TH}$  並非滿足所有的 MOS 條件。

(2) 在本次實驗中，narrow width 的兩個 case 只有3個樣本點，會導致資料失真，無法清楚得知在不同 channel length 下的  $V_{TH}$ 。因此量測的樣本數也會影響判讀  $V_{TH}$  趨勢的結果。

## 2. $I_D$ 對 Aspect Ratio 之討論

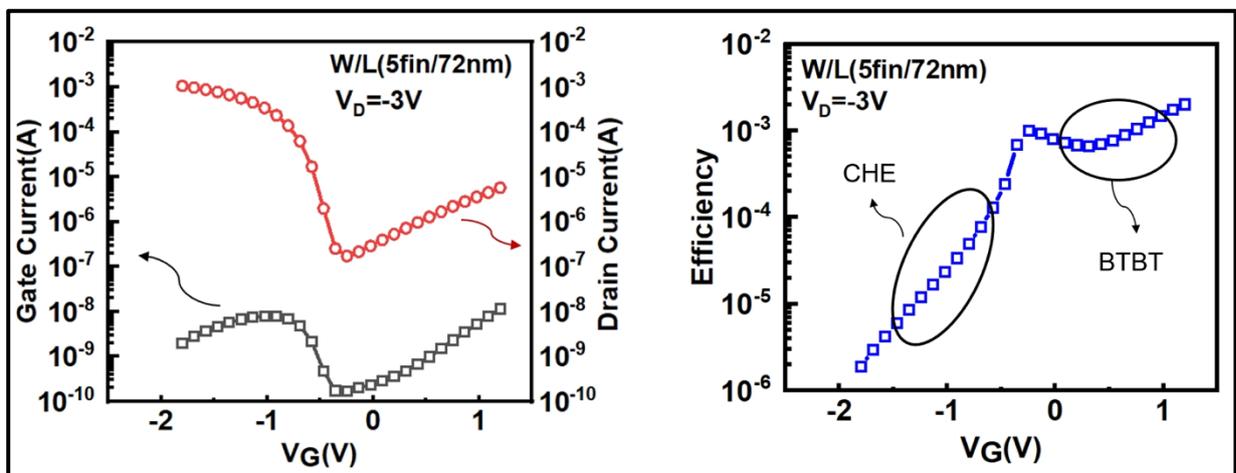


圖二

圖二為 Case1 五個不同 aspect ratio 在  $V_{Gate} = 1.8V$  下的  $I_D$  值，照理說  $I_D$  與  $W/L$  應該成正比，然而量測結果的藍色曲線與理想值的橘色線有些偏移，主要是因為在本 Case 中，高 aspect ratio（意味著  $L$  最小）造成電子速率（ $v = \mu E$ ）在高電場下達到飽和，使得電子移動率  $\mu$  隨著電場越高而越低，因此量測的  $I_D$  值比預期來得小。

## (二) 電子注入 Gate 特性量測

### 1. 電子注入效率

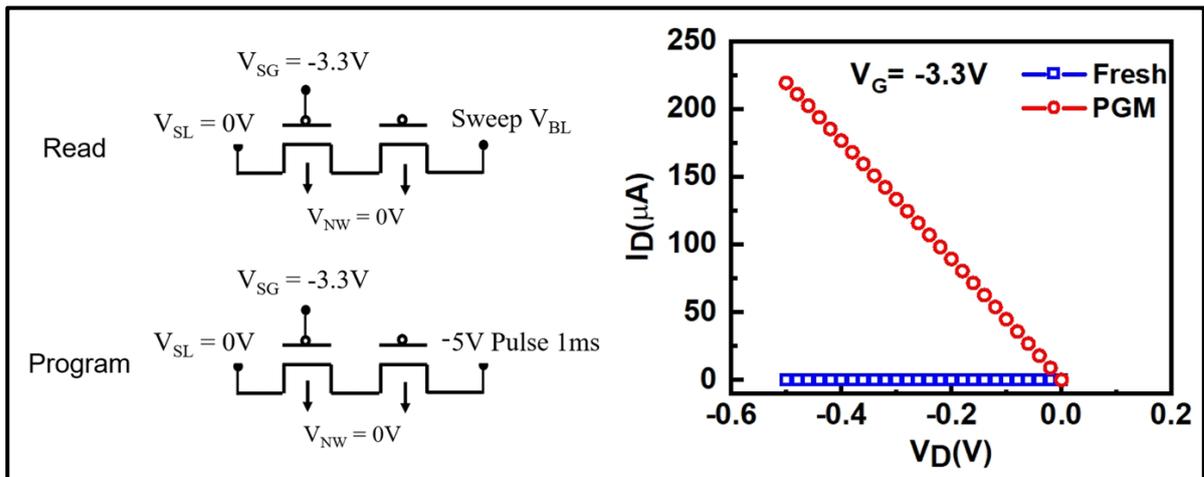


圖三

圖三左圖為閘極電流與汲極電流的疊圖比較，右圖為將閘極電流除以汲極電流 ( $I_G/I_D$ ) 所得到的電子注入效率。可以看到明確看到熱電子注入的效率比帶對帶穿隧差。

### (三) Neobit 操作特性量測

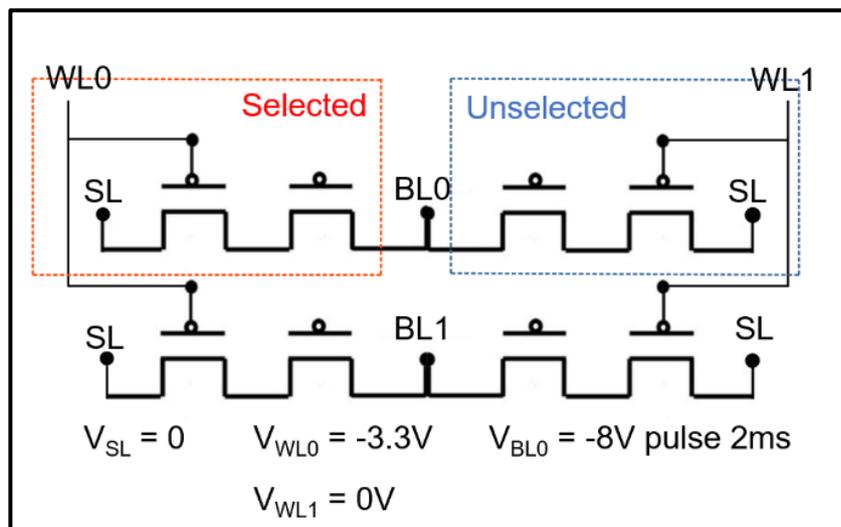
#### 1. Neobit 讀取與寫入操作



圖四

圖四左邊為讀取及寫入的操作示意圖，右邊則是已寫入及未寫入單元的比較。可以看到已寫入的單元讀取之後的電流趨勢是呈現一個斜直線，這是由於元件在低汲極電壓下處於線性區，而在低汲極電壓下讀取的原因是因為要避免在高汲極電壓下造成的高電流會導致讀取干擾，也就是說讀取的狀況下仍有可能造成熱電子注入。

#### 2. Neobit 的寫入干擾



圖五

圖五為一個陣列裡的四個 Neobit 單元，當 WL0 及 BL0 被選中時就會對左上的單元進行寫入，但對於未選擇的單元也有機率因為強烈的壓差而有電子穿隧進浮動閘極從而被寫入，即造成寫入干擾。

## 五、結論

本專題使用 0.18 微米製程的 NMOS 與 28 奈米製成的 PMOS 進行基本電性分析，並在 NMOS 基本特性中，發現短通道元件除了有明顯的 DIBL 效應，在使用 Constant current 方法找閾值電壓時，無法精準抓出實際的閾值電壓。另外在汲極電流與元件尺寸的相關性討論中，因為短通道造成 electron velocity saturation，使得汲極電流沒有跟  $W/L$  比值呈線性成長。

在使用 16 奈米製程的 PMOS 做電子注入至閘極之量測，發現在閘極電壓為 -1V 與超過 1V 的情況下，會有明顯的閘極電流，分別是 CHE 與 BTBT 機制所引發的電子注入。接者討論這兩個機制的優缺點，雖然 BTBT 有好的電子注入效率，然而造成的 program disturb 情況很嚴重，相比 CHE 機制有更佳的單元選擇性，因此 CHE 機制較常被應用在電子注入閘極的操作。

## 六、心得感想

### 鞠思平

在本次研究中，我們深入探討了 CMOS 邏輯相容的非揮發性記憶單元的特性和操作特性，尤其著重於 Neobit 元件的測量和分析。通過研究 NMOS 和 PMOS 的基本特性，我們更深入地了解了通道長度和次級效應對元件性能的影響。透過實際操作，我們成功進行了 Neobit 元件的寫入操作，觀察了寫入前後的性質變化以及寫入過程中可能出現的干擾現象。

這次研究讓我們更加熟悉新型記憶單元的特性和操作方式，提供寶貴的實驗數據和分析結果。透過團隊合作和指導教授的支持，雖然中途有遇到許多瓶頸，但最後我們仍然一一克服，成功完成了研究任務，並對 CMOS 邏輯相容的非揮發性記憶單元有了更深入的認識。

這次研究讓我們意識到在新型記憶技術領域的挑戰和機遇，並激發了我們對未來研究和應用的熱情。我們相信這些研究成果將對相關領域的發展和創新產生積極的影響，並為未來的科學研究和技術應用提供有價值的參考。

### 黃俊穎

很感謝金雅琴教授讓我有機會在這一年的專題實作中，投入元件分析的領域。大二下剛修完電子學，其實對 MOS 元件的特性沒有瞭解得很深入，但透過暑假的文獻搜集與大三上學期的論文報告，讓我對許多專有名詞與記憶體操作有初步的認識，再加上教授對論文提出的問題，讓我們進一步去思考元件製程、操作原理的概念，最後將讀進腦袋的文獻做消化並有條理的報告給組員、教授聽，同時提升自己的邏輯思考和臨場反應。

到了寒假，隨著專題學長的帶領下，我們實際操作下針，學習如何用電子顯微鏡量測一個元件的電性，且整理結果報告給教授聽。過程中難免有測量結果不符合預期的難關，謝謝組員積極地共同探討問題的成因，利用不同的量測變因，找出元件的問題所在，最後有把預期的結果做出來，非常有成就感。

這次的專題研究收穫滿滿，雖然我們研究的元件不算最先進的製程，然而這些基本的元件特性能讓我們學會如何從最根本的問題，探討元件的不同特性表現，也能將這些知識應用在未來探討更進階的元件上。最後謝謝廷凱學長這半年的幫忙，細心指導我們如何操作精密的量測設備外，也很用心地回答我們的疑問，才能一同完成這次的專題研究。