

A CMOS PWM Image Sensor with High Linearity Performance and High Linearity Illuminance Range Using Edge-Triggered Binary Counter

一個具有高線性度表現及高線性照度範圍並搭配邊緣驅動二元計
數器的互補式場效電晶體脈衝寬度調變影像感測器

組別：B248

指導教授：謝志成 教授

組員：葉承泓、謝欣霏

一、成果摘要

在各類型的影像感測器中，脈衝寬度調變(PWM)影像感測器是常見的一類。它的主要作用是將光照所形成之光電流轉換成脈衝波輸出，不同的光照強度對應到不同脈衝波長。在其後可加入計數器(counter)數出脈衝波的長度，即可轉換成數位碼(digital code)的形式，以利於輸出並提供之後數位電路的運算。然而 PWM 影像感測器的缺點之一是光電流與脈衝波長之間的轉換很不線性，這導致輸出訊號在經過線性的數位訊號處理流程後，所得到的有用資料與原輸入光強度之間關係並不線性。因此我們這次專題的目標是讓 64×64 像素的 PWM 感測器具有線性的反應，以及讓輸入之光強度的線性範圍能盡量擴大。我們透過加入 diode-connected 的 MOS 到像素陣列中以增加比較器(comparator)的轉態電壓，以及調整比較器內部 PMOS 與 NMOS 之間的相對寬度深度比(aspect ratio)使得轉態時兩個 MOS 都作用在飽和區(saturation region)，並且使用線性的電壓陡坡訊號來達到我們的目標。最後在 pre-sim、TT corner 下達到 $\pm 3.85\text{LSB}$ 的線性度。

在為期一年的專題研究中，我們學習從頭到尾完成一遍電路設計、晶片下線(tape out)到量測成效的流程。因此我們利用暑假期間對上述改良後之電路進行佈局(layout)，特別在對 noise 干擾比較敏感的類比電路周圍加上好幾圈的 guard ring 以隔絕來自數位電路區的 noise，並加入許多 MOSCAP 為類比電路進行穩壓。使用佈局圖所 extract 出的寄生電阻、電容，執行 post-sim 後在 TT corner 下可達到 $\pm 7.42\text{LSB}$ 的線性度。目前我們的進度為已完成整個架構的設計、改良，以及電路的佈局，正下線等待著晶片製作出來(預計 12 月會拿到實體晶片)，而量測所使用的 PCB 板也已繪製好佈

局圖並製作出實體的板子、所需之相關外接電容與各式針腳也已焊接至 PCB 板上，預計在拿到晶片後開始進行晶片量測，並與 presim、postsim 的結果做比較。

二、報告內容

1. 研究背景

近年來，物聯網及擴增實境、虛擬實境產業蒸蒸日上，其中無線感測器網路及機器視覺等領域對其發展的貢獻功不可沒，而這些領域的主要研究對象即是各式各樣的感測器。

2. 研究目的

互補式場效電晶體影像感測器若能提供具良好線性反應的影像，應用於各種不同線性操作如加法、減法、卷積後，後端的影像處理結果就能有良好的線性表現。而其中常見的脈衝寬度調變 (PWM) 影像感測器往往線性度較差，導致其處理後影像之品質下降。因此，我們希望設計一個具有良好線性度的 PWM 影像感測器，並且無論是強光、弱光都能落在線性區間的高線性照度範圍的感測器。

3. 研究方法

(1) 架構簡介

此晶片架構主要包含列控制(row control)電路、電壓陡波產生器(V-ramp generator)、列共用(row-shared)電路、64x64 像素陣列、縱列電路(內部包含: level-shifter, buffer, logic, 10-bit counter, 10-bit latch, column control) 等，如下圖 1。

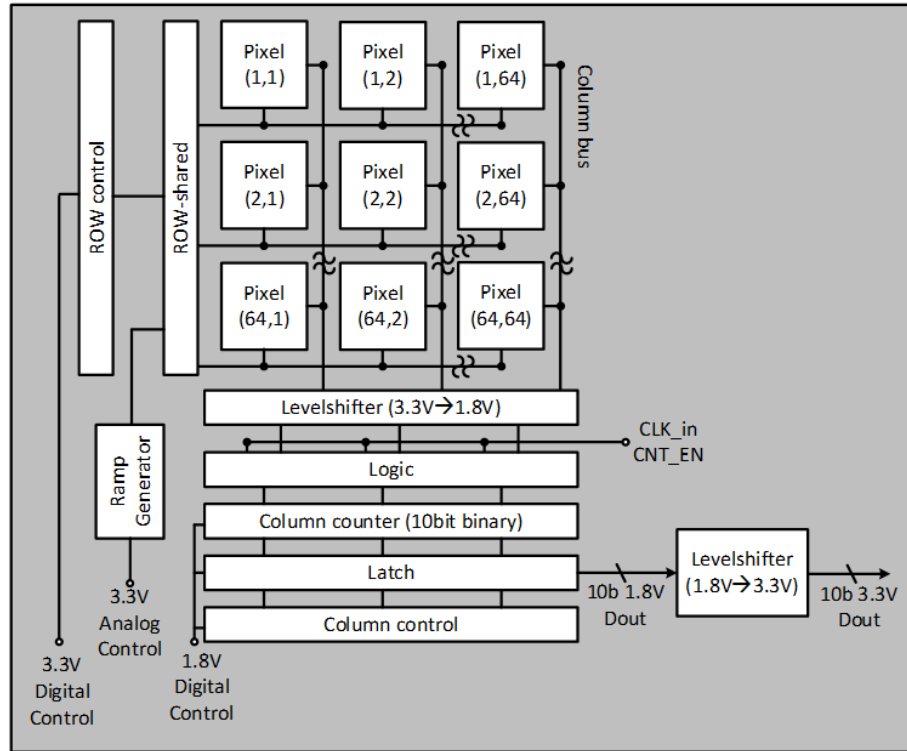


圖 1. 系統架構圖

具線性反應的脈衝寬度調變 (PWM) 影像感測器是利用線性的電壓陡坡與像素內部的電晶體電流特性所達成，以下將分項介紹其架構。

圖 2 為像素內之架構，光電二極體(photodiode)的部分可使用電流源和電容並聯的方式模擬其曝光及重置行為。本研究使用滾動式快門(rolling shutter)的方式讀出，列控制電路會依序選擇不同的像素列讀出，同一列的像素會在其對應之 row time 的後半段將 V_{pd} 節點電壓重置到高電位，經過一幀時長的曝光形成光電流使 V_{pd} 節點電壓逐漸降低之後，在一個 row time 時間內透過 comparator (由 M_{vramp} & M_{pd} 所形成) 在 OUT_{col} 節點產生相對應長度的脈衝，再經由縱列電路(column circuit)讀取並轉換為 10 位元數據儲存，並在下一個 row time 時輸出到晶片外。在一個 row time 中，共分為三個階段(phase)，依序為 precharge, comparison 以及 reset phase，以下將對不同 phase 做詳細說明：

1. Precharge phase (如圖 3 中淺紅色底區段)：位於 row time 一開始時， M_{col} 將 OUT_{col} 節點充電至高電位。
2. Comparison phase (如圖 3 中淺藍色底區段)：經過一個 frame time 曝光的 V_{pd} 使 M_{pd} 對應著流某一電流，在 comparison phase 期間，透過電壓陡波產生器 (V-ramp generator) 產生由高電位往低電位線性遞減的 $vramp$ 訊號輸入至 pixel 內部，使得 M_{vramp} 的電流遞增。當上下電流相當(comparable)後， V_{pw} 會開始被繼續遞增的 M_{vramp} 電流拉升，使 M_{cp} 、 M_{dc} turn on 進而將 OUT_{col} 節點拉至低電位，而形成脈衝。因此脈衝的寬度會與光電流大小成反向關係。
3. Reset phase (如圖 3 中淺綠色底區段)：此相位將在 $vramp$ 的遞減行為結束後進行。在此相位 $vramp$ 電壓為輸入零電位， M_{rst} 會在此時 turn on 使 V_{pw} 及

V_{pd} 被 M_{vramp} 拉升至高電位。

一個 row time 的時間為 12.5 us，其中 Precharge, Comparison, Reset Phase 分別占了 0.625us/ 11.25us/ 0.625 us，只有被列控制電路選到的像素列會進行 Precharge, Comparison, Reset Phase，其餘像素列在此時皆持續進行曝光行為。

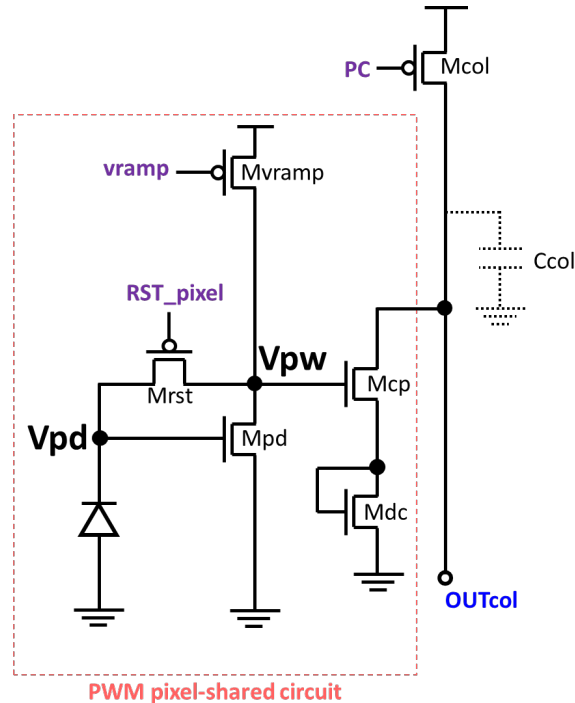


圖 2. 像素內之架構

欲提升 I_{pd} (光電流，正比於照光強度) 轉 OUT_{col} 的線性度表現，我們在 pixel 內部加入一顆 diode-connected 的 M_{dc} ，如此一來可使轉態電壓 (M_{cp} turn on 時的 V_{pw} 電壓，此時開始將 OUT_{col} 節點的電壓拉低而形成脈衝) 提升至 M_{cp} 的閾值電壓加上 M_{dc} 的 V_{DS} 。提升後的 V_{pw} 轉態電壓可使 M_{vramp} 及 M_{pd} 在不同的 I_{PD} 下轉態時都能在飽和區 (saturation region)，以達成良好的線性度。

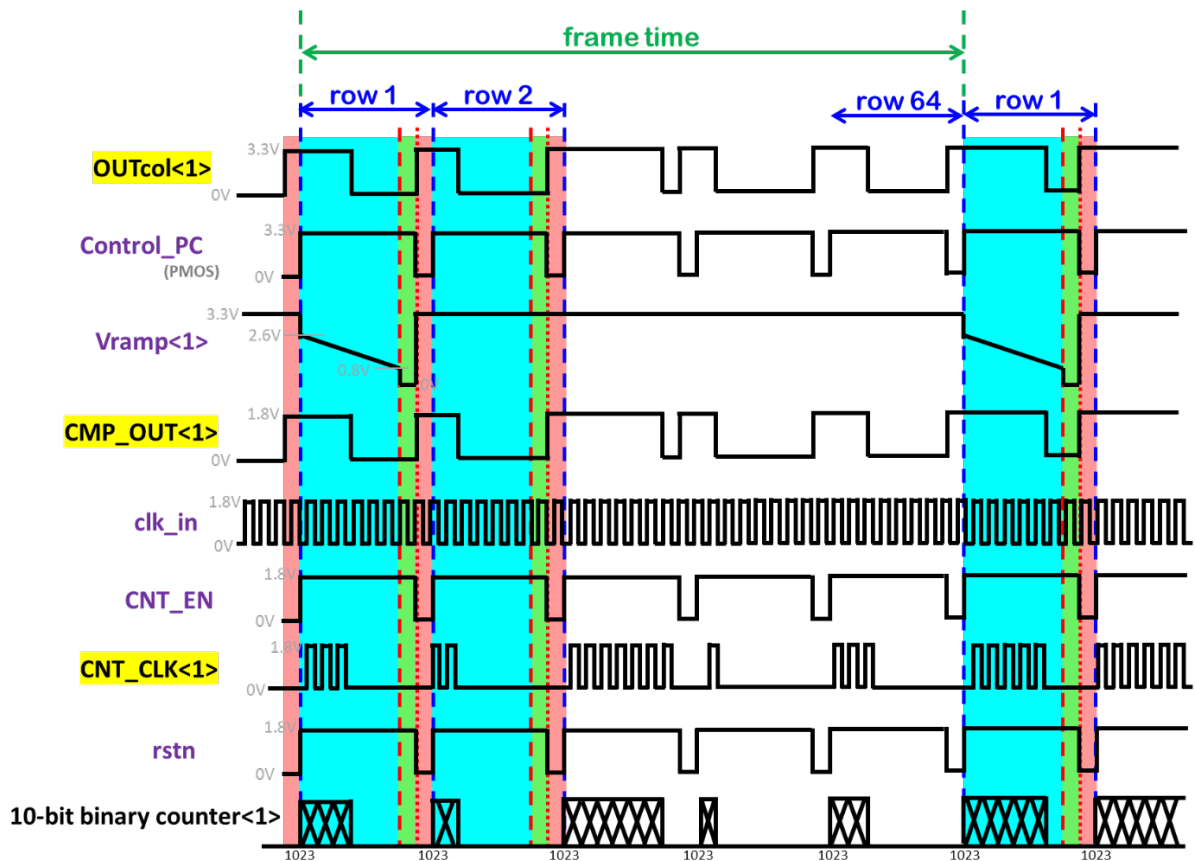


圖 3. 基本操作時序圖

在不同的 row time，每條 column bus（圖 2 中之 OUTcol 節點）上會有相對應的像素所形成之脈衝，然而這些脈衝受到二極體接法電晶體(diode-connected MOS) Mdc 的影響而無法降到 0V，若直接接至 buffer 電路會導致 DC current 的額外功耗，因此這些脈衝會先經過 level-shifter 電路使電壓得以降至 0V，再通過 buffer 電路，同時降壓成 1.8V 以節省後續的數位電路的功耗。接著通過邏輯閘輸出脈衝長度相對應的訊號驅動計數器(counter)，數出脈衝的長度，由最高可表示數值（二進位表示為 1111111111，即十進位制的 1023）往下數，一直數到對應的脈衝時長為止，最終形成 10 位元(bit)的計數結果，並分別儲存在門(latch)中，一個 row time 總共會形成 64 筆 10 位元的數據。由於門的電路中含有逆變器(inverter)，因此最終輸出將等效於計數器由 0 往上數。到了下一個 row time，column control 電路會依序產生 COL_SEL 訊號，一一選擇 column 讀出這些數據，一次讀出某一 column 的 10 位元數據。相關訊號時序示意圖如圖 3 所示。

另外，在縱列電路(column circuit)中加入了一個數據選擇器，可藉此選擇外加的訊號 Ideal_pulse，做為測試模式(test-mode)以測試晶片的縱列電路有無正常運作。

(2)設計流程

- a. 了解PWM的原理
- b. 據PWM的特性及欲達成的規格來分析、決定架構。

- c. 依據系統所要達成的規格來完成各個子電路的分析與設計。
- d. 利用Hspice驗證電路的Pre-sim是否達到預期。
- e. 使用Cadence逐步完成各個電路的佈局，並完成DRC、LVS、PEX。
- f. 利用Hspice驗證Post-sim是否與Pre-sim的結果相符。

(3) 研究結果

① 模擬驗證電路操作功能正常結果

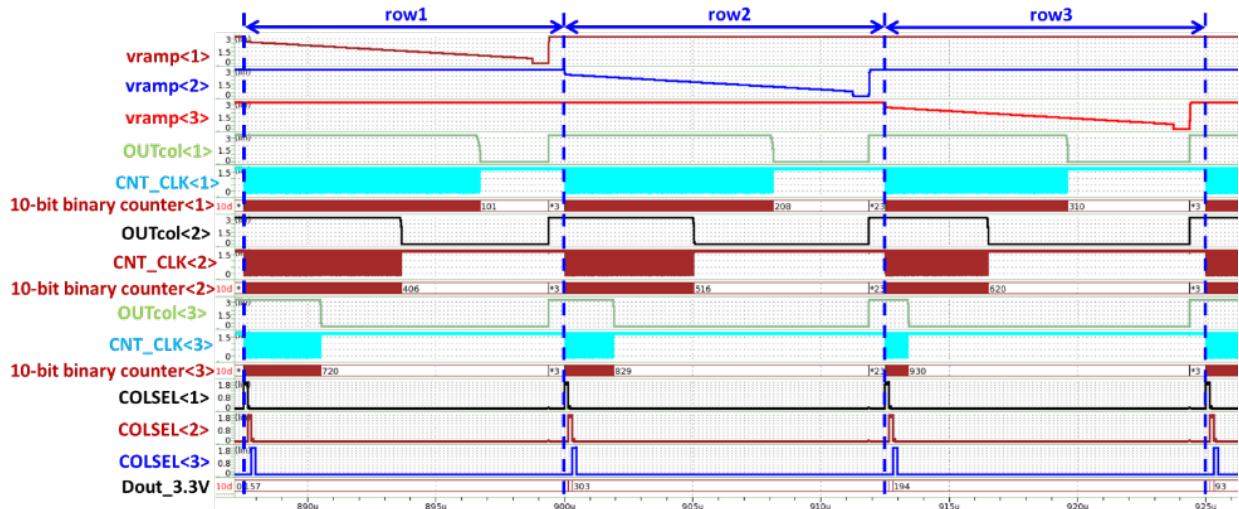


圖 4. Post-simulation 基本電路操作波形(三列)

圖 4 為模擬連續三個 row time 的 post-simulation 電路模擬波形結果，此三列已依序完成一幀時長的曝光並依序在 column bus 形成脈衝。為簡化模擬，此為 3x3 像素陣列的模擬結果，並額外加入 loading 電容以更加接近 64x64 像素陣列的實際情形。每個 row time 分別對對應的像素列進行 comparison→形成脈衝→經過 column circuit 形成 10 位元的數據並記錄在門中，並且在下一個 row time 過程中依序讀出此像素列在各縱列上所產生之 10 位元的計數數據，由於此處只用三個縱列來做模擬，故輸出節點 Dout_3.3V 在每個 row time 中只會讀出三筆結果。讀出結果與預期相符，並且會與脈衝長短互相對應，操作正常如預期。

惟對於同樣的光電流下，其輸出的最終數位訊號 Dout_3.3V 的數值會較 pre-simulation 時大，這是因為電壓陡波產生器與列共用電路的連接節點 ramp_out (參考圖 3) 處會有稍大的寄生電容，使得在相同外加電流 Ramp_current (參考圖 3) 下，所形成的線性陡波訊號下降得較為緩慢，進而使像素內部的 Mvramp 電流上升速度變緩，因此較晚達到 Vpw 轉態電壓，使 OUTcol 所形成之脈衝持續時間變長，於是 Dout_3.3V 的數值會較 pre-simulation 時大。若量測晶片時有此情形，只需加大外加電流量以致與 pre-simulation 的 ramp_out 下降速度一致，即可避免此情形。

② 電路之線性度

在 HSPICE 模擬過程中，我們透過給予不同光電流(每次呈線性增加)，觀察最終的十位元數位輸出訊號 Dout_3.3V 的數值隨光電流的變化情形，繪製出輸入、輸出關係圖，並利用 Excel 與 Matlab 軟體找出其回歸直線(使用最小平方法)作為理想直線，計算出實際數據的關係曲線與理想直線之間的最佳擬合(bestfit)積分非線性曲線(integral nonlinearity, INL)及最佳擬合微分非線性曲線(differential nonlinearity, DNL)，並記錄下 INL 的最大範圍(以原點為中心)。

Dout_3.3V 訊號脈衝長隨光電流(Ipd)的變化：將光電流的線性範圍(0A~0.14nA)均分為9個點(因讀出電路的模擬需耗費大量運算資源，為了簡化模擬而使用9個點，再將最終 INL 結果標準化以利比對)，分別輸入模擬而得到相對應的 Dout_3.3V 訊號，並分別模擬 pre-sim 與 post-sim，以及5個 corner，結果如下表所示。

<i>Max INL (unit:LSB)</i>	<i>TT</i>	<i>FF</i>	<i>SS</i>	<i>SF</i>	<i>FS</i>
Pre-sim	±3.85	±8.62	±21.82	±11.23	±5.37
Post-sim	±7.42	±12.27	±29.82	±6.39	±8.59

表 1. 輸出訊號(Dout_3.3V)線性度比較表 (Pre-sim v.s. Post-sim)

可觀察到「最終輸出值(Dout_3.3V) v.s. Ipd」在 TT corner 下能達到±7.5LSB左右的線性程度。比較表 1 中的 pre-sim 與 post-sim 的線性度結果，可發現 post-sim 大多較 pre-sim 為差，主要原因是 pre-sim 中我們在 OUTcol 節點上有加上 500fF 的 loading 電容以模擬寄生電容的效果，並對此架構作優化，然而 post-sim 時的電容值實際上並沒有到如此大，導致 OUTcol 所形成的脈衝之下降速度有差異，進而影響到線性度表現。

(4)預計規格列表

	spec	Pre-sim (TT)	Post-sim (TT)
CMOS Technology	0.18um	0.18um	0.18um
Supply	3.3V / 1.8V	3.3V / 1.8V	3.3V / 1.8V
Pixel Array Size	64*64	64*64	64*64
Pixel Count	4096	4096	4096
Pixel pitch (um)	≤8	8	8

Fill Factor	>20%	-	26.957%
Counter	10bit	10bit	10bit
工作頻率	100MHz	100MHz	100MHz
Chip Size(mm ²)	1.2*1.2	1.2*1.2	1.2*1.2
Frame Rate (fps)	1250	1250	1250
Power (mW)	-	3.821	-
Linearity @TT	≤ ±4LSB (presim)	±3.85LSB	±7.42LSB

(5)總結

透過這次的研究，我們成功在 simulation 階段將 PWM 天生的一大缺陷—線性度表現差，從原來糟到 INL 為數十 LSB 以上，透過架構的改良（加入 diode-connected MOS、調整 PN ratio、透過 cascode current mirror 達成線性的 Vramp 訊號、Vramp 範圍縮小為 2.6V 至 0.8V、level-shifter 的架構改良等）得以降到 presim ±3.85LSB、postsim ±7.42LSB 的良好程度，並且更是支援各種不同強弱的光都能落在此線性區間（光電流範圍為 0A~0.14nA），而達成我們的研究目標「具有良好線性度，並且無論是強光、弱光都能落在線性區間的高線性照度範圍的 PWM 影像感測器」。

三、心得

在這次的專題中，我們第一次實作了一整顆晶片，從文獻閱讀、電路設計、繪製佈局圖每個階段都讓我們獲益良多。在研讀論文時，我們大量學習到此前從未接觸過的知識，卻也能發現與過去所學相結合之處，每當發現能將所學學以致用，就令我們感到十分欣喜，此期間也對各類型的感測器的電路架構有了基本的認識，對於其中的 PWM 感測器操作原理更是有了較深入的了解。在決定初步架構之後，我們進行電路的模擬，在與學長姐請教、與教授討論的過程中不斷改良，發現問題並且解決問題，最後定下最終架構。在此階段，我們著實認知到自己尚為不純熟，在過程中學習到了許多在電路設計中需要考量之處及技巧。雖然在之前修的積體電路設計導論課程中有畫過 layout，但要畫整個晶片的 layout 是我沒有嘗試過的，也有許多初次接觸、需要注意之處。例如數位電路與類比電路區域的分配、擺放，如何使雜訊降低，如何讓訊號能夠推動整個電路，這些畫佈局圖時應有的「常識」，卻往往在理論課程中被忽略，或是有聽沒有懂，多虧了這次實作專題，讓我們親身體驗了一次從電路設計到晶片下線的整個過程。這次的專題對我們來說真的是一項不小的挑戰，十分感謝教授、實驗室的學長姐鼎力相助，才能讓我們收穫滿滿、成功下線。