

一、報告摘要

在這個大數據的時代，對於高密度儲存記憶體的需求大增，如何在有限面積儲存更多資料是一個值得研究的課題，除了將2D轉為3D，多層式儲存的技術也十分有效，透過控制浮動閘極內的電子數，可一次儲存多位元於同一記憶體。本專題使用細長型浮動閘極的元件結構進行操作，其特性為當元件在進行編程時，利用FN穿隧效應的機制使電子注入或拉出浮動閘極，使臨界電壓改變，藉以拉大其讀取視窗，更清楚區分0或1的狀態。

這次的專題實驗一開始，先進行了原始記憶胞的讀取，並和編程及抹除操作後的IV特性圖比較，可以明顯看出尚未經過操作的元件特性較接近抹除狀態。為了有效控制耦合元件與浮動閘極間的耦合率，將浮動閘極以大面積覆蓋於N型井的稱為強控制閘極，反之則為弱控制閘極(V_{EG})，分別在字元線(V_{WL})及強控制閘極(V_{PG})施加電壓，可以利用讀取元件的IV特性圖，算出次臨界擺幅(Subthreshold Swing)以求得此覆蓋面積造成的電壓耦合率(Coupling Ratio)，而弱控制閘極覆蓋面積太小，耦合率相較於強控制閘極低很多。

最後透過改變脈衝寬度，可以看到元件在編程或抹除進行中脈衝寬度對臨界電壓變化的影響，實驗上，在編程狀態可以看到，脈衝寬度越寬也就代表著有越多電子的注入，使臨界電壓提升；在抹除狀態則是觀察到穿隧效應有暫停的現象發生，導致看到臨界電壓有不連續的變化。再者，分別施加不同電壓於字元線上，可以看到元件在各情況下編程與抹除狀態的臨界電壓變化，有利於日後讀取所儲存的多層式資料。

二、報告內容

(一) 前言

隨著科技日新月異，加上新冠肺炎疫情的影響，嵌入式記憶體元件的重要性越顯突出，而記憶體又分為非揮發性記憶體與揮發性記憶體，其中非揮發性記憶體是指當電源供應中斷時，儲存的資料不會消失，重新供應電源後可以再次讀取。其中，邏輯相容非揮發記憶體相較於傳統快閃記憶體，除了無須增加額外的光罩外，更可以因為邏輯製程的線寬微縮，降低單位位元的面積成本，在這樣的條件下，資料儲存密度的提升又是另一個挑戰，因此有了多層式儲存記憶體的出現。

本專題針對相容於台積28奈米邏輯製程的3T1P型通道可多次寫入的細長型浮動閘極記憶體元件做討論，共分為四個部分，(一)對研究動機與專題內容作概述；(二)介紹元件結構與電子注入機制；再者，分析其特殊結構對元件特性的影響外，也針對其基本操作特性，做量測與分析；最後，則是結論的部分。

(二) 原理分析與系統設計

2.1 細長型浮動閘極記憶體元件結構

此多層式記憶體元件使用採用 $0.18\mu\text{m}$ CMOS 製程之技術，利用浮動閘極覆蓋於 N 型井上的面積比，來達到控制電容耦合率的效果，如圖2.1，透過這樣的設計達到在強控制閘極(SCG)(PG)有較高的電位耦合率，在弱控制閘極(WCG)(EG)有低耦合率，並且因為電阻電容延遲效應來達到足夠的電壓進行 FN 穿隧效應，進行元件的編程。

多層式儲存記憶體(multi-level cell, MLC)與單層式儲存記憶體(single-level cell, SLC)最大的差別在於編程方式，為了使相同的操作電壓範圍內可以分成較多的電位以儲存不同位元的數據，MLC 分為兩種編程方式。其一為增量階躍脈衝程式(Increment Step Programming Pulse, ISPP)，ISPP 方法廣泛用於 NAND 快閃記憶體多層式儲存記憶體單元設計的寬閾電壓分佈值控制，然而在尺度不斷微縮的情況下，浮動閘極間電容耦合的效應越來越明顯，因此在使用浮動閘極實現多層式儲存記憶體時，多半是分兩步驟進行編程，先對單一區塊的低頁面進行編程，完成後才進行高頁面的編程，將原先的兩個儲存狀態變為四個。

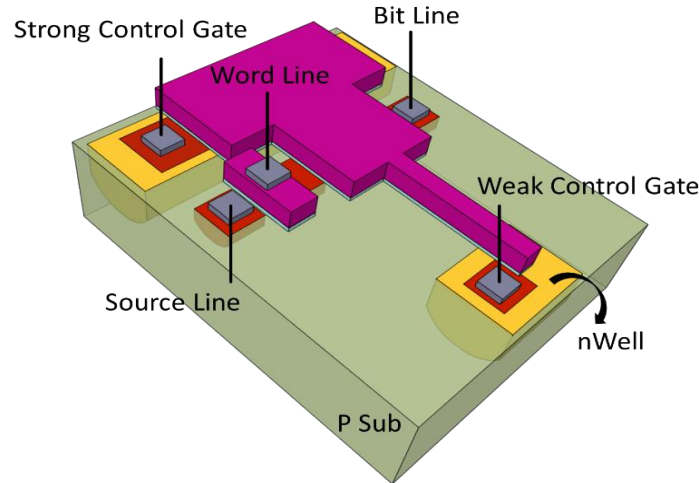


圖 2.1 細長形浮動閘極記憶胞之 3D 結構示意圖

2.2 FN-tunneling 操作機制(PGM / ERS)

非揮發性多層式儲存記憶體主要的操作機制分為讀取(Read)、編程(Program)、抹除(Erase)三種，而電子的注入主要分為兩種，其一為通道熱電子注入效應(Hot Channel Induced Hot Carriers)，以及 FN 穿隧效應(FN-tunneling)，而我們實驗使用的是 FN 穿隧效應，因此以下對其原理做說明。

穿隧效應利用足夠的電壓差，使能帶彎曲，造成氧化層的有效寬度縮小，能障變窄，電子便有較大的機率可以穿過氧化層來到浮動閘極儲存。由下列穿隧電流密度公式：

$$J_{FN} = \alpha E_{ox}^2 \times \exp\left(-\frac{\beta}{E_{ox}}\right)$$

$$\text{其中 } \alpha = \frac{q^3}{16\pi^2 \hbar \phi_{ox}}, \beta = \frac{4\sqrt{2m^*}}{3q\hbar\phi_{ox}} \phi_{ox}^2 \text{ 為 FN 常數}$$

可得知當穿隧的氧化層能障高度(ϕ_{ox})下降時，穿隧電流會變大。另外 FN 穿隧效應屬於區塊式操作，消耗功率小，因此常用於非揮發式記憶體的編程與抹除操作中。

2.3 實驗架設與系統設計

實驗量測過程中所使用的儀器包含探針系統(probe station)、Agilent B1500A Semiconductor Device Analyzer，其包含波形產生器與一台 switch E5250A 作為切換探針腳位的裝置，最後在電腦上進行操作與數據分析。

實驗開始前要先將晶圓放置在裝載台上，並將幫浦及燈光打開，調整顯微鏡視野，讓待測接點在視野中心，接著，將探針下到指定腳位並記錄順序及位置，輸入腳位代號至電腦量測程式進行量測及分析。

(三) 實驗結果

3.1 電位耦合率

電位耦合率主要跟浮動閘極覆蓋於 N 型井的面積大小有關，透過調整面積比可以有效控制耦合元件與浮動閘極的耦合率，透過測量元件的 $I_d - V_g$ 特性圖，取前段尚未被導通的部分如圖3.1，計算次臨界擺幅(Subthreshold Swing, S.S.)，並比較以強控制閘極及字元線控制下的 S.S.，可以得到強控制閘極的耦合率為：

$$C.R. = \frac{92.41}{106.71} \times 100\% = 86\%$$

弱控制閘極的耦合率，因為浮動閘極在 N 型井上的面積比在強控制閘極的面積窄很多，因此耦合率很小，量測結果顯示大約只有3%。

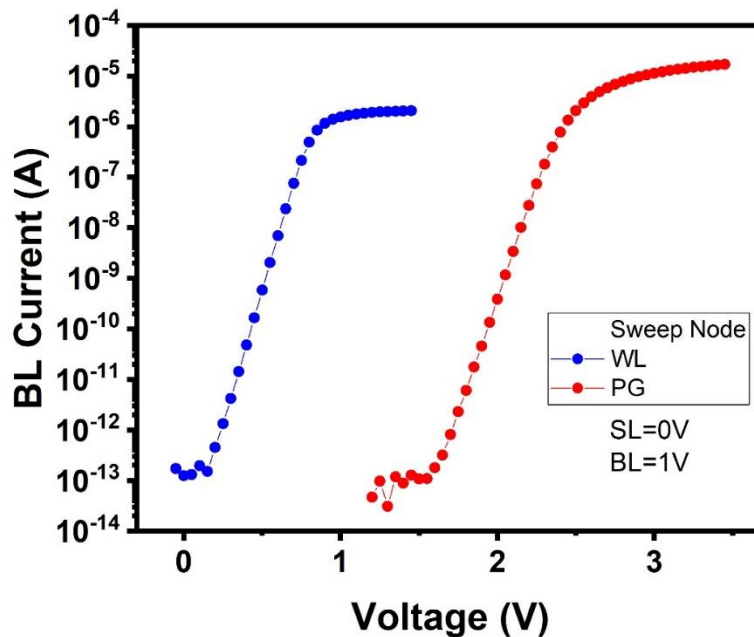


圖3.1 利用次臨界擺幅推算元件耦合率

3.2 記憶胞特性

透過已編程(電子注入)與已被抹除(電子被移)此兩狀態比較，發現尚未做過任何處理的原始記憶胞是比較偏向沒有電子的狀態，如圖3.2所示，可觀察到由於編程狀態與抹除狀態的臨界電壓差夠大，有足夠寬的讀取視窗以供作為區分元件所儲存的狀態。

藉由此圖，也可以用來決定讀取時 PG 的條件，由0跟1來表示抹除與寫入兩種狀態，而兩種狀態的區分可以由臨界電壓來做界定，以此圖3.2為例，界定 $V_t > 1.5V$ 為編程狀態，而 $V_t < 1.5V$ 則判讀為抹除狀態。

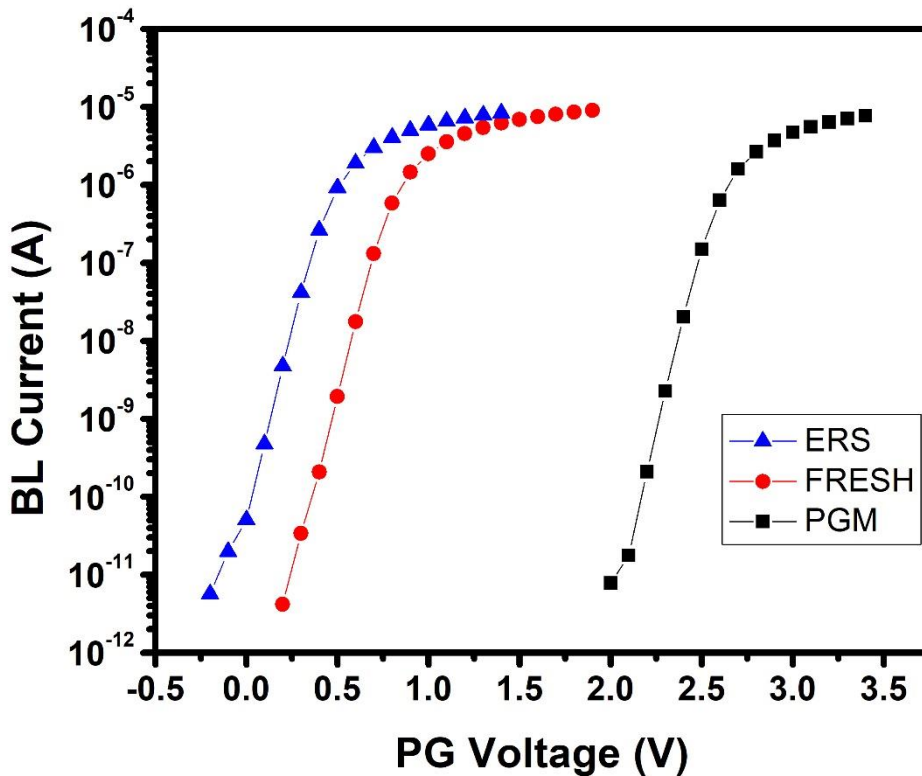


圖3.2 元件原始記憶胞及編程、抹除完成後的讀取狀態比較圖

當元件被操作在線性區時，可以利用線性外推法，從 $I_{BL} - V_{PG}$ 圖上作微分畫出轉導(g_m)圖形，並且透過斜率最大值(g_m 最大值)時，再此點對上原始 $I_{BL} - V_{PG}$ 的 V_{PG} 上做切線，找出與 x 軸的交點及截距(V_t)，再利用此截距數據，透過以下公式，即可推算出臨界電壓值(V_t)，

$$V_{PG} = V_t + \frac{V_{BL}}{2}$$

在三種不同狀態下的對元件的 $I_{BL} - V_{PG}$ 量測與臨界電壓的萃取，可以觀察到在相同讀取條件下($V_{BL} = 0.05V$, $V_{WL} = 2.5V$)，抹除與編程電壓都給10V，明顯可比較出其臨界電壓(V_t)大小關係為 ERS < Fresh < PGM，在編程(PGM)狀態下的臨界電壓是最高的。

$$I_D = \frac{C_{ox}\mu_{FE}W}{L} [(V_G - V_t)V_D - \frac{V_D^2}{2}], \quad g_m = \frac{dI_{BL}}{dV_{PG}} \Big|_{V_{PG}=\text{const}}$$

3.3 元件操作特性分析

3.3.1 編程特性分析

在編程特性的分析上，實驗時在 PG 上給予不同的電壓強度去觀察其對編程速度的影響，首先由於如前述所說，使用的是 FN 穿隧效應進行編程，因此需要有足夠的電壓差才能使電子注入浮動閘極，在這邊由於選擇電晶體在編程過程中不需要導通，因此字元線(WL)不需要加電壓。先利用單一電壓($V_{PG}=10V$)取不同的脈衝寬度(Pulse width)，可以發現越大的脈衝寬度就相當於給予更多時間注入電子，因此也就有較高的臨界電壓；而若是固定脈衝寬度改變電壓，從圖3.3則可以明顯看出越高的電壓(V_{PG})有越快的編程速度。

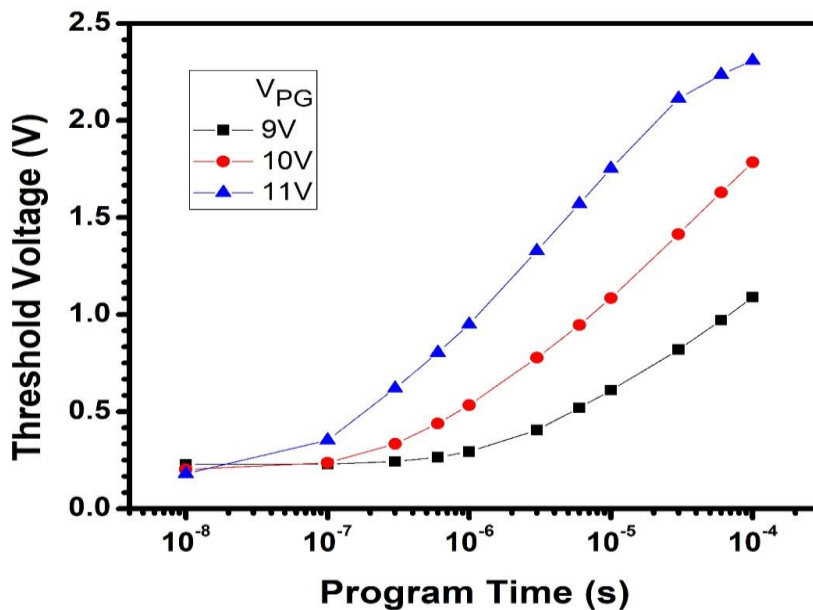
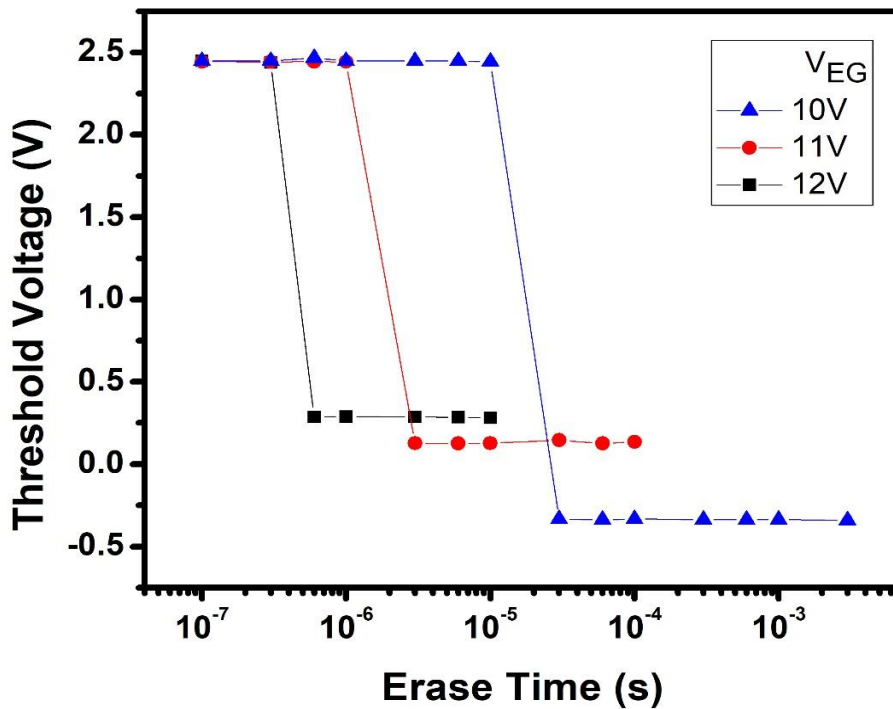


圖3.3 在不同字元線電壓下，編程速度特性圖

3.3.2 抹除特性分析

同編程方式，此元件也是使用 FN 穿隧效應進行抹除，因此也是可以在選擇電晶體關閉的情況下進行，在同一電壓 ($V_{EG}=10V$) 下改變不同的脈衝寬度可以看出短時間內並不會影響抹除的效果，穿隧效應並非連續的在作用，反而是有暫停的情形，其原因就是穿隧效應需要足夠的電壓差才能進行，抹除元件時，電子被拉出浮動閘極，造成電荷在浮動閘極內需要一段時間重新均勻分布，才能再次進行穿隧。

除此之外，圖3.4為施加不同電壓在 EG 上所量測的結果，先找到抹除的趨勢，再更密集的取數據，可以得到更精確的臨界電壓變化狀態，觀察到越高的 EG 電壓會使電子越快被拉出浮動閘極、有越快的抹除速度，另外也可以看到不同的電壓造成下降的臨界電壓不同，因此可以利用控制電壓來控制元件的儲存狀態。



(四) 結論

此次專題操作使用到了細長型浮動閘極的元件結構，先是透過文獻閱讀大致認識此結構與其操作機制，再針對元件的基本特性做測量，透過臨界電壓的量測與比較來更加了解元件的特性，與FN穿隧效應的機制連結並理解元件如何操作造成此實驗結果。另外，藉由在字元線、PG及EG分別施加電壓，再讀取數據作圖可得原輸入電壓與耦合進到PG、EG的電壓大小，由此可計算出元件不同耦合元件與浮動閘極的耦合率，此測量可以計算出細長型浮動閘極覆蓋於N型井上的面積大小，藉此得到有效控制電位耦合率。

最後在抹除與編程電壓上面做控制，由數據圖可發現越高的編程或抹除電壓，將使元件越快達到編程或抹除狀態；但從抹除特性的量測結果，數據顯示臨界電壓出現不連續的情況，藉以推測此現象其與FN穿隧效應因浮動閘極和EG之間的電壓差不夠大使電子無法通過而暫時停止有關。另外，也觀察到抹除狀態會因抹除電壓越高反而造成臨界電壓下降變小，此圖也可用來作為如何控制實驗起始臨界電壓的依據。

三、心得感想

第一學期透過看論文及其他參考資料來接觸並學習這方面的知識，透過固定時間跟指導教授咪挺，學習很多以前不曾接觸的領域，第二學期開始跟著學長進到實驗室進行量測，從一開始完全不會操作探針及電腦模擬，到後來更熟悉更快速的實驗操作，也可以在遇到問題的時候從中與學長討論出可能的問題點，在做量測的過程中也會有「哦，原來這個東西是長這樣啊」的想法，把書面學到的東西真的用上，這種感覺還蠻好的，在這很長時間的過程當中我們都學到很多。

這段時間很感謝老師與學長的帶領，讓我們算是從0開始，接觸並深入學習這個領域的一小部分，另一方面也算是確立了自己對這個領域還蠻有興趣，未來可以考慮往這個方向走，這一年下來在實驗的部分真的學到很多，與此同時，我們也都修習了相關課程，相信對之後思考研究領域上會是很大一個幫助。