

一個 32*64 像素脈波寬度調變影像感測器與互補式場效電
晶體主動影像感測器在高電壓操作下的比較

A comparison of 32*64 Pixels Pulse Width Modulation Image
Sensor and CMOS Active Image Sensor Working Under High
Voltage Operation

蔡忠浩 陳麒任 邱軍豪

指導老師：謝志成教授

Abstract

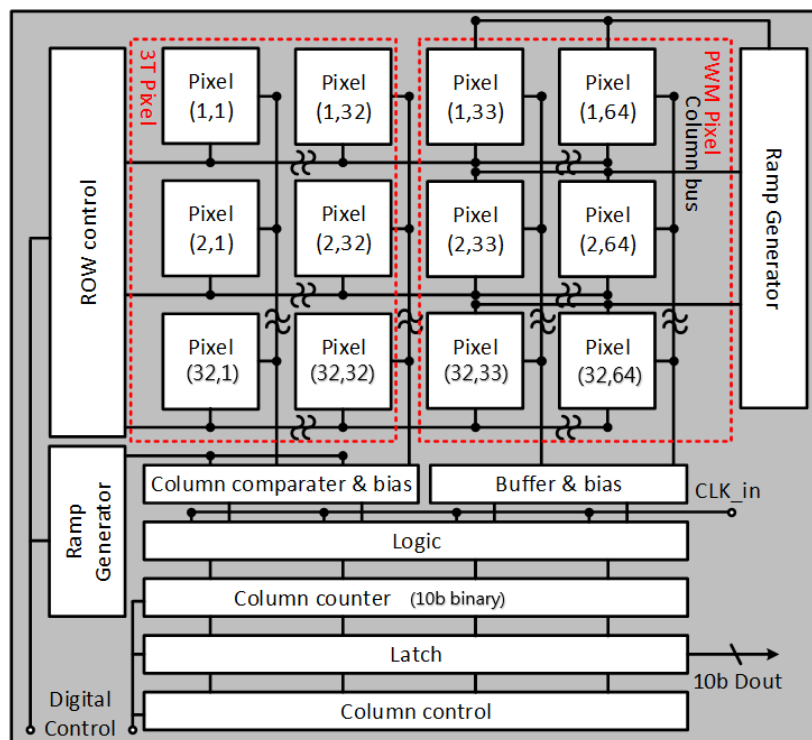
因應影像感測器(CMOS image sensor, CIS)的資料的平行讀出，縱列平行類比數位轉換器(column parallel analog-to-digital converter)廣泛被使用於同時並且平行讀出各縱行(column)的影像像素(pixel)資訊，但因每一縱列的寬度有限，通常為一個到多個像素寬度(pitch)。因此，為符合在有限寬度的下實現中高解析度(10 位元)類比數位轉換器，其架構及電路複雜度就成了一大限制，傳統多以複雜度較低的架構如：循環式(cyclic)類比數位轉換器與單陡坡(single-slope)類比數位轉換器為主。其中，單陡坡類比數位轉換器需要一個陡坡產生器(ramp generator)、一個比較器(comparator)及一組數位計數器(digital counter)，而循環式類比數位轉換器需要一個比較器、一個 1 位元數位類比轉換器(digital-to-analog converter, DAC)及一個類比放大器(Op-amp)，所以兩者在有限寬度下皆可實現所需類比數位轉換器的規格。

循環式類比數位轉換器其內部需要重複使用同一個類比放大器(Op-amp)，其類比放大器規格必須由最高重要位元(Most Significant Bit, MSB)的轉換需求所決定，其所需規格相較於其他後續的位元轉換也是最高的。因此，相對於接下來的位元轉換到最低重要位元(Least Significant Bit, LSB)的轉換來說，每一位元轉換皆使用最高規格的類比放大器，使得循環式類比數位轉

換器變得非常缺乏能源效率(energy efficiency)。此外，其單一縱列的類比數位轉換器的線性度將會受到獨立所使用的子電路如比較器、1 位元數位類比轉換器及類比放大器所影響。因此，縱向類比數位轉換器間線性度的一致性(uniformity)會較差。

單陡坡類比數位轉換器優點在於其單陡坡產生器可共用於各個縱向平行類比數位轉換器，整個大陣列平行讀出電路僅需要一組單陡坡產生器，故縱向類比數位轉換器間線性度的一致性僅會受到各自類比數位轉換器的比較器偏移誤差(offset mismatch)所影響，而偏移誤差是可以透過類比數位轉換後之數位碼讀出後經由數位訊號處理來將通道間的偏移誤差補償矯正回來，或是將比較器配合自動偏移歸零矯正機制(autozeroing)以自動矯正所有通道之偏移誤差。而 PWM 的電路架構中則有內部電路所構成較簡單的陡坡產生器，所以 column 端能直接產生 pulse width。總結以上，我們以單陡坡類比數位轉換器架構和在 PWM pixel 裡面的簡易陡坡產生器，用其結果來進行我們對 3T-APS 架構對 PWM 架構的所產生訊號線性度的比較。

Introduction

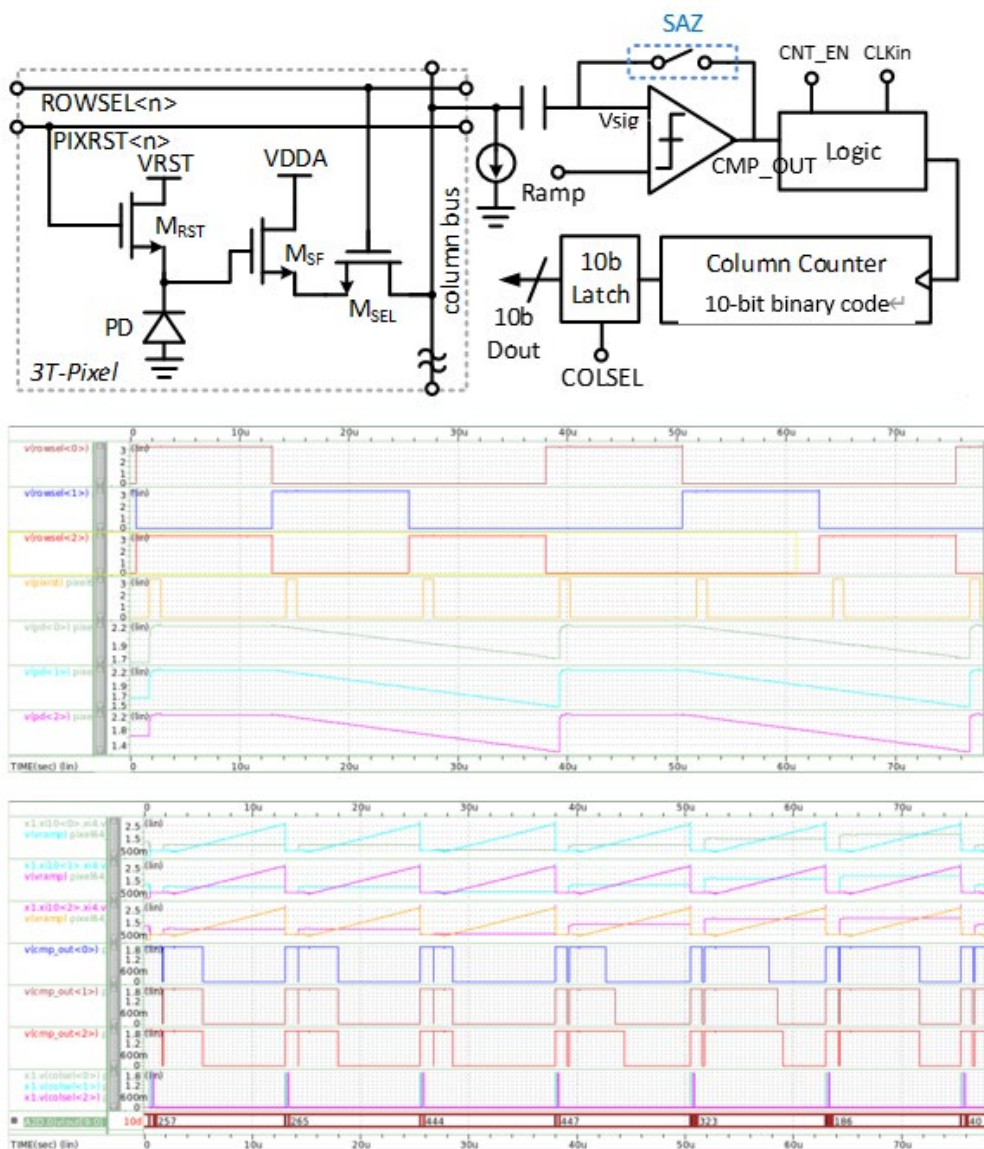


圖一 電路 Block Diagram

此設計是比較在高電壓操作下，3T-Pixel 和 PWM-Pixel 的表現，其原理是利用在 Photodiode 曝光後產生的光電流，藉由光電流的強度轉換成電壓

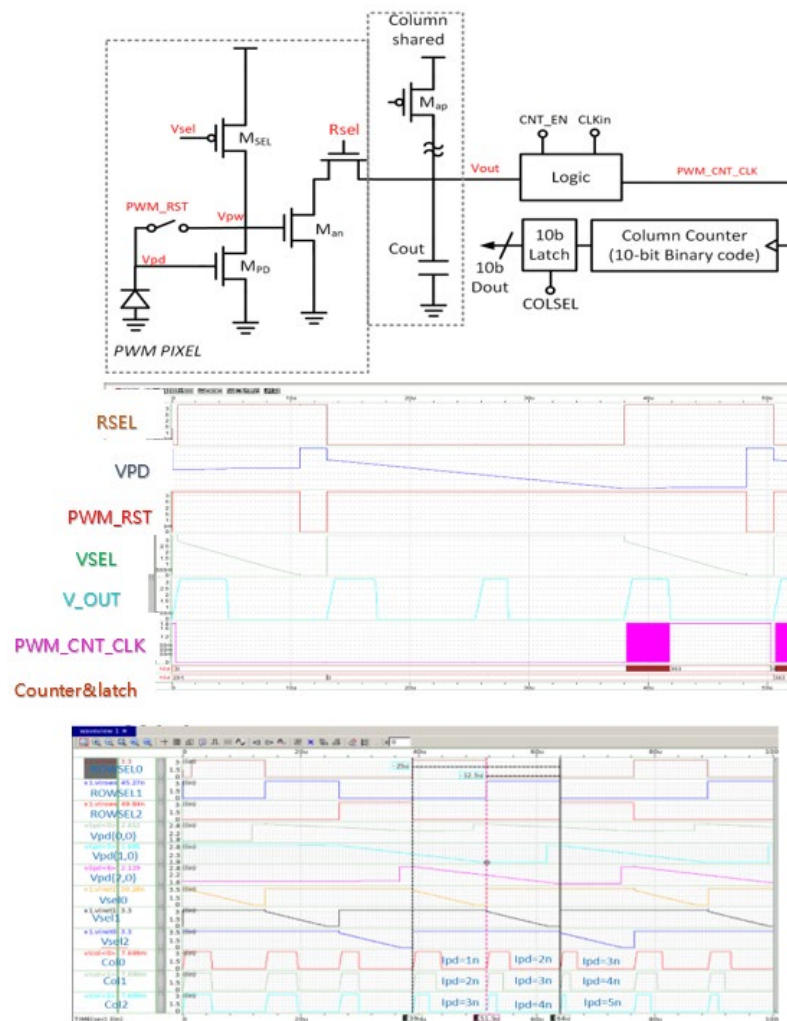
的大小，再送到下方電路裡面的做讀出。3T-Pixel 的原理是利用 reset 電壓和曝光後的電壓差，所以是 pixel output 是傳送一個電壓訊號，需要和 ramp 訊號比較，產生一個 pulse width，其會對應到接下來 Counter 會數的數目；PWM-Pixel 則是在 pixel output 就傳送出 pulse width，因此不需要下方的 comparator，就可以直接轉換成 digital code。從 3T-Pixel 跟 PWM-Pixel 傳下來的 pulse width，經由 Logic 電路轉化成 Cnt_clk 作為接下來 Binary counter 的 Clock，藉由 Counter 數的數目來幫助檢視光電流和其產生的 pulse width 長度之間的關係以及線性度，此次專題就是要去驗證以上所說以及其兩個不同架構的影像感測器的結果。

Circuit Structure & Simulation Result



圖二 3T-APS Column 電路詳圖以及模擬結果

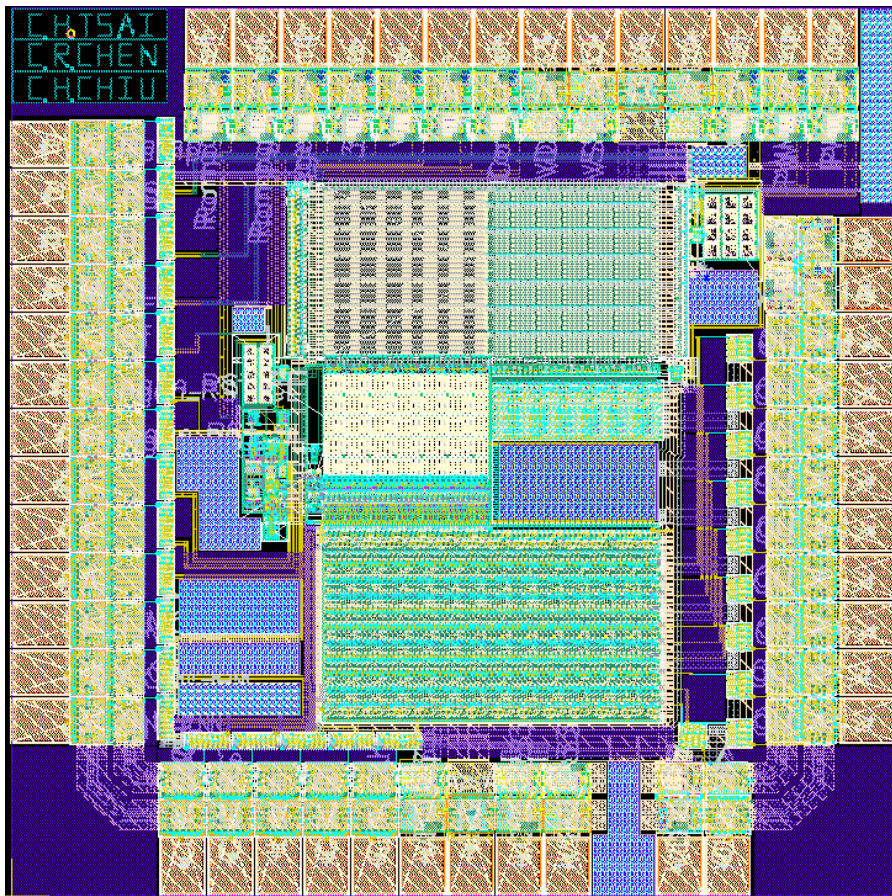
模擬上，我們採用的是 3*3 Pixel 的模擬，我們會用 ROWSEL 去控制哪一個 ROW 先曝光，每個 Frame time 會完成一個 Row 的曝光。當所有 Row 都完成曝光後，才有下面的操作。接下來為 3T-APS 在同一 ROW 上，不同 COL 的電路詳圖以及模擬的結果。操作上，我們先讓同一 ROW 上的三個 COL 上的 pixel 流不同大小的光電流，模擬曝光之下的 photo diode 電壓，經過一個 frame time 的曝光時間，再將 PIXELRST turn on，此時 photo diode reset 的電壓差，會經由 column 往下送，經過 comparator 前的 CDS 電容，將此電壓差 couple 到 Vsig，送進 comparator 與 ramp 訊號做比較。若一開始曝光的光電流越強，則會讓 PD 的曝光完的電壓降的越低，因此 reset 時所造成的電壓差會越大，與 ramp 訊號比較的結果，造就 CMP_OUT 在 high 的時間較長，所以 counter 數的時間越長，因而產生越大的 digital code，數完的結果先存放到 latch，等至下一次的 row time，打開 COLSEL 將 digital code 依序讀出，此操作模式與我們預期的相符合。



圖三 PWM Column 電路詳圖

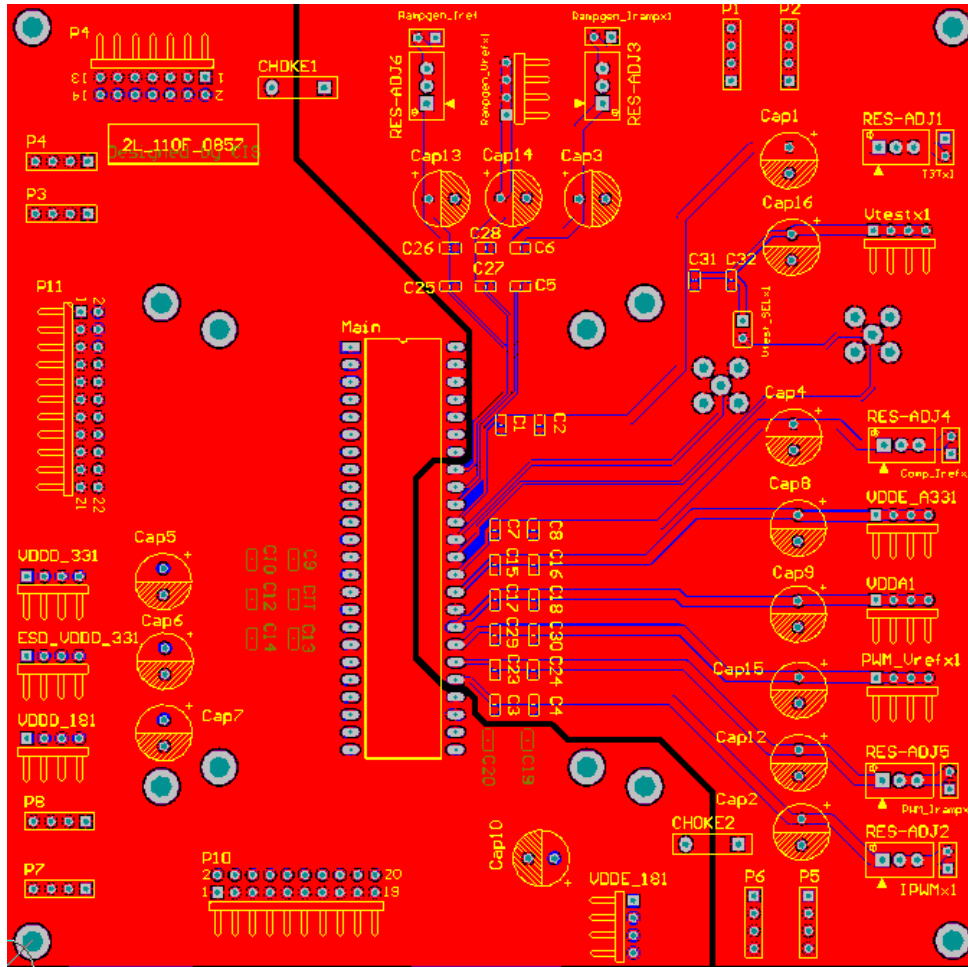
模擬上，我們採用的是 3*3 Pixel 的模擬，我們會用 ROWSEL 去控制哪一個 ROW 先曝光，每個 Frame time 會完成一個 Row 的曝光。在完成 3 個 Row 的曝光之後，我們才開始去採計 Col 上的結果。接下來為 PWM 在同一 ROW 上，不同 COL 的電路詳圖以及模擬的結果。操作上，先給入 PWM_RST 訊號，使 PD 點電壓 reset 到 VDDA(3.3V)，reset 完後將 Reset MOS turn off，然後 photodiode 開始曝光(我們讓同一 ROW 上的三個 COL 上的 pixel 流不同大小的光電流)，曝光完成後，VSEL 開始向下 ramp，Photodiode MOS 流的電流跟 Selection MOS 流的電流進行比較，當比較完成後，COL_OUT 會由高電壓轉成低電壓，而 COL_OUT 高電壓的時間(TPW)就會經 LOGIC 電路轉換成 CNT_CLK，CNT_CLK 會作為 counter 的 clock，最後數出 10bits 的數字。由上兩張圖，我們可以看出，當我們光電流越小的時候，TPW 就會越大，然後數出來的 10bits 數字也會越大。

Layout & PCB



圖四 Layout 詳圖

Chip Size : 1200 x 1200 um²



圖五 PCB 詳圖

Reflection & Thoughts

在大三下學期進入了謝志成老師的實驗室做專題研究，除了閱讀到許多學術界關於這個領域的期刊論文，在實際模擬方面，我也學習到從確認目標、調整電路，到後來的分析模擬結果，練習使用 spice 模擬電路和用 matlab 分析資料，嘗試如何一步一步地完成電路設計的每個步驟，也第一次完成晶片的下線工作，從過程中更讓我對類比電路設計有更大的興趣，另外，我也發現將不同的元件兜在一起，組合成一個電路、甚而一個完整晶片，能讓我從中獲得樂趣與成就感，所以我想要在研究所朝著類比電路設計領域前進。 邱軍豪

在謝志成老師的實驗室做專題，從一個禮拜兩次的 meeting 討論，到暑假一個月密集的畫 layout，雖然過程中可能比較繁瑣，又是第一次參與晶片的下線，在許多方面都要學長姐及老師不斷的指導與經驗傳承，但能夠扎實的把每個步驟

一步一步地走完，也是這次專題對我來說難能可貴的經驗。除了和老師與學長姐的 Q&A 中逐漸對於整個電路操作更加了解，在與組員的討論之中，也更能透過彼此表達意見來探討問題，交流不同的想法，從中找到設計與解決的方法，培養團隊合作的能力，獲益匪淺。 蔡忠浩

在志成老師的指導下，我認為學習到最多的是做學問的嚴謹態度，從我們一周兩次的 meeting 討論，老師並沒有因為我們是專題生而放水，對於我們不足或是說明不好的地方也會一一指出，讓我們可以在每次的在報 paper 或是模擬結果時，能對其有充分且全面的理解。在學習專題的期間，學長姐非常無私的花了許多時間在為我們解惑以及傳承經驗，更是在晶片下線期間天天與我們開會討論。本次專題我們從論文閱讀開始，一步步的合作完成各個 block 的架構及功能，雖說十分勞累但也為我們打下了扎實的基礎，獲益良多。 陳麒任