

# 一個32\*64像素脈波寬度調變影像感測器與互補式場效電晶體主動影像感測器在高電壓操作下的比較

## A comparison of 32\*64 Pixels Pulse Width Modulation Image Sensor and CMOS Active Image Sensor Working Under High Voltage Operation

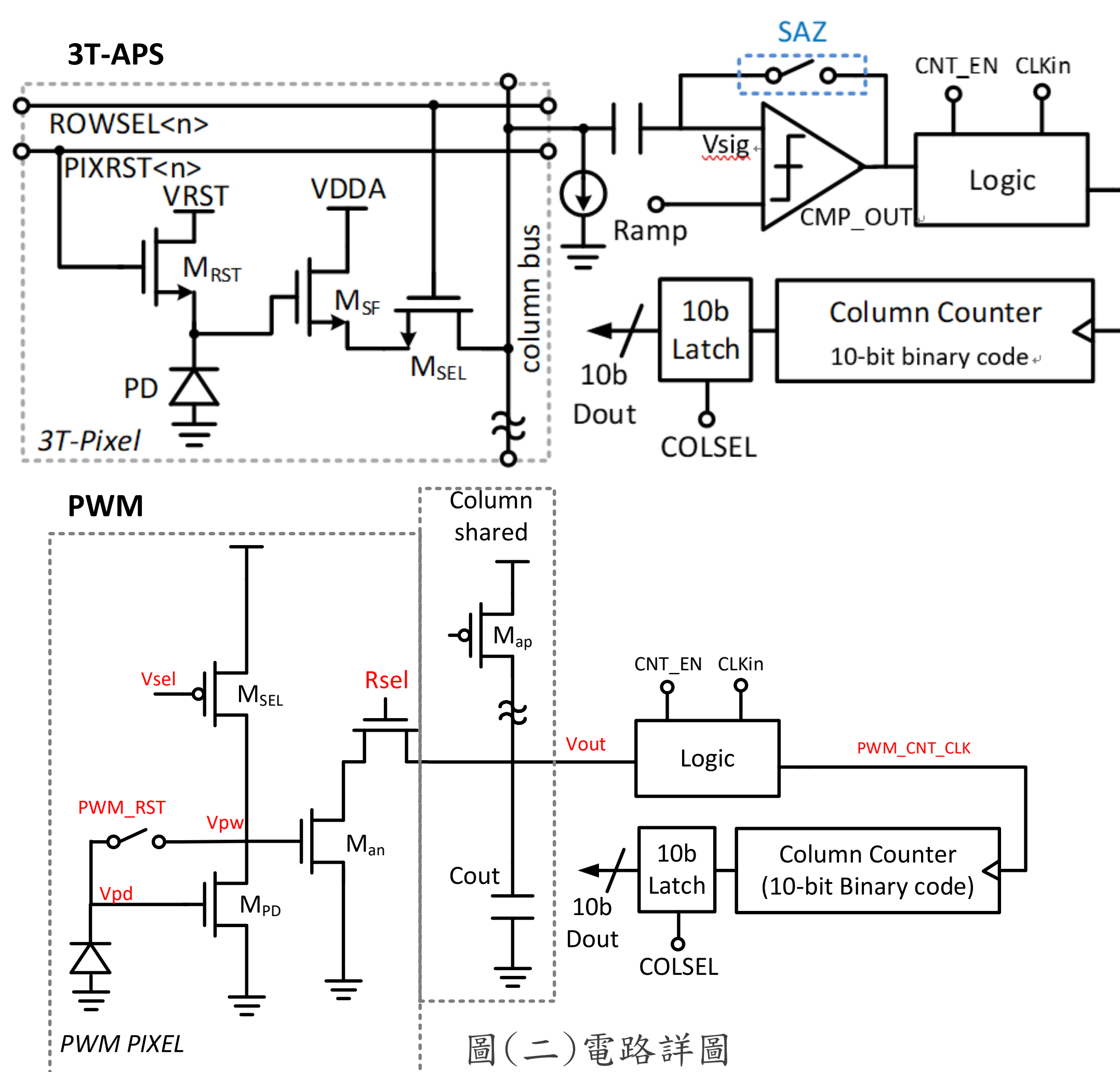
組別: B168 指導教授: 謝志成教授  
組員: 蔡忠浩、陳麒任、邱軍豪



### ABSTRACTION

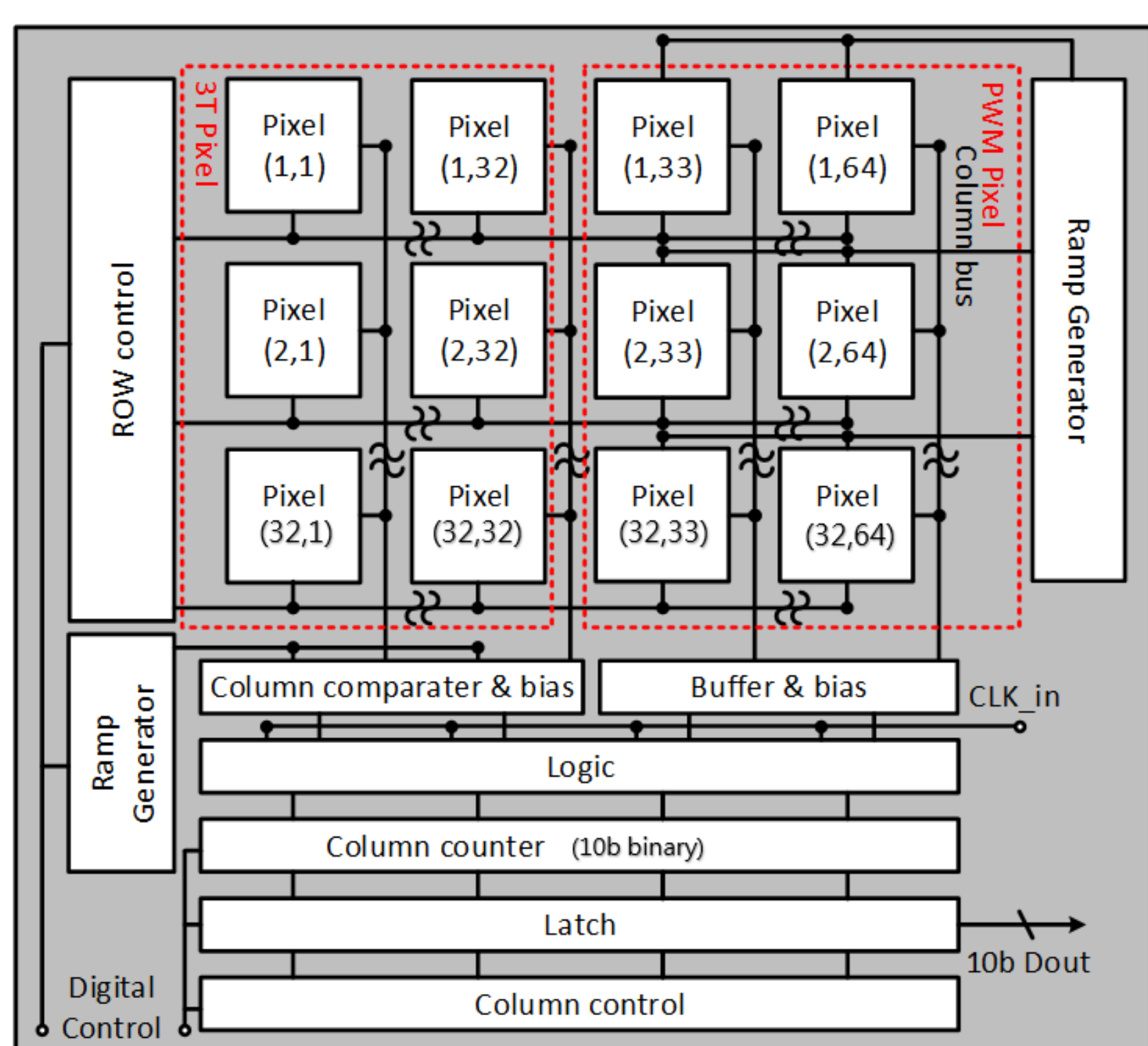
為了因應CMOS Image Sensor感測資料的讀出，縱列平行類比數位轉換器被廣泛運用，用於同時且平行的讀出各縱列的影像資訊，但是每一縱列寬度有限，通常為一個或多個像素大小，於是為了在有限寬度下實現一個中高解析度(10bit)的類比數位轉換器，我們採用電路複雜度較低的單陡坡類比數位轉換器(Single Slope Analog-to-Digital Converter)。而PWM的電路架構中則有內部電路所構成較簡單的陡坡產生器，所以column端能直接產生pulse width以利後續的資料讀出。

而為了達到高精準度的類比數位轉換器，要求準確度較高的電路分別為Counter、Comparator以及Ramp Generator，於是本次專題即針對這些電路進行設計與不斷改良，同時比較傳統3T-APS架構以及PWM(pulse width modulation)架構，兩者在高電壓3.3V的情況下操作下表現的比較，完成模擬以及晶片布局，最後下線晶片並驗證其結果。



圖(二)電路詳圖

### INTRODUCTION

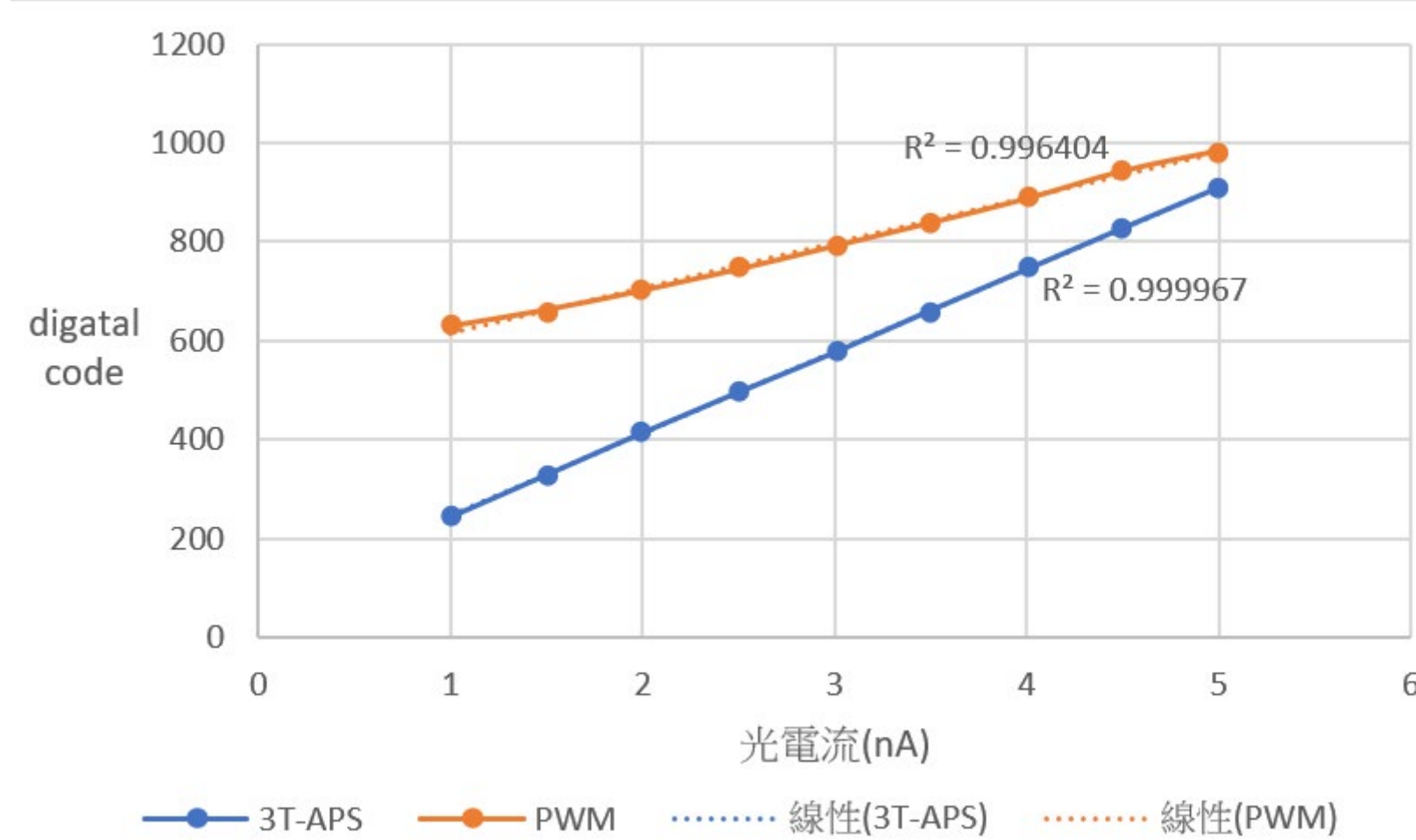


圖(一)晶片電路配置

本次設計主要電路包括像素陣列(Pixel Array)、陡坡產生器(Ramp Generator)、比較器(Comparator)以及二進位計數器(Binary Code Counter)。像素陣列我們採用3T-APS以及PWM之架構，以32\*64的像素組成；陡坡產生器以及比較器我們皆採用P-Input Folded Cascode之架構，其中3T-APS的32個Column各接上一個比較器與陡坡產生器的訊號進行比較。而計數器我們採用操作100MHz二進位計數器之架構，以求獲得精確的計數。詳細的電路架構可參照圖(二)。

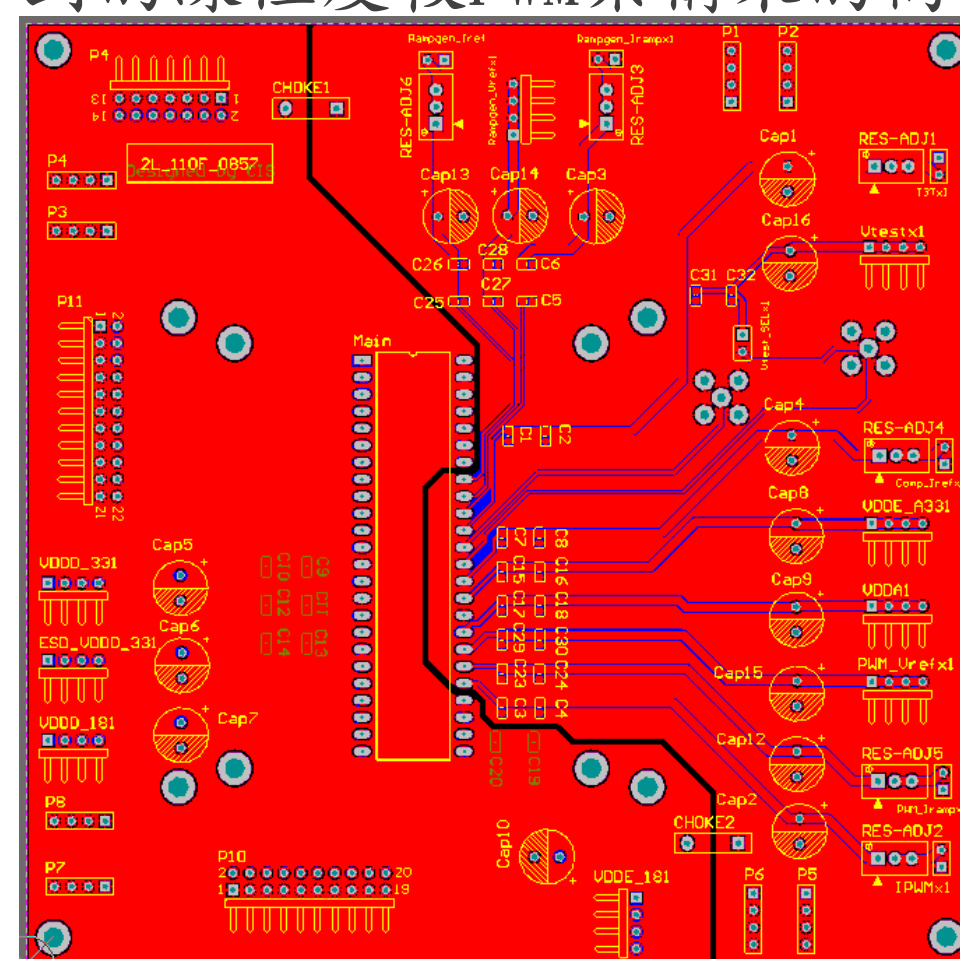
設計上，由於傳統3T-APS架構所得到的讀數為一特定電壓，故需要類比數位轉換器ADC，轉換成一段特定長度的脈波寬度；而PWM架構裡面則已經有內建的比較器和陡坡產生器，所產生的訊號直接為一段脈波寬度。之後將此兩個架構的所產生的脈波寬度經過de-glitch的邏輯後直接進到計數器去做讀數，最後在分析這兩個產出的訊號的線性度，比較出最後的結果。

### SIMULATION RESULT



圖(三)讀數結果v.s光電流

圖(三)為將3T-APS以及PWM架構各自以模擬3\*3 pixels，並將各自column電路所得到的數位訊號依序平行讀出，並與光電效應產生的光電流(模擬時為直接給理想電流訊號)作圖。從R<sup>2</sup>決定係數來觀察線性度，就模擬結果來看3T-APS架構所得到的線性度較PWM架構來的高一些。



圖(四)PCB布局



圖(五)布局圖

尺寸: 1200\*1200um<sup>2</sup>

### REFERENCE

- [1] Jun Ohta (2008). Smart CMOS Image Sensors and Applications. London, England: Taylor & Francis.
- [2] Yen-Chih Chiou (2018), "The Research of Low Voltage and Low Power Pulse-Width Modulation CMOS Imagers", Tsing Hua, Taiwan.