

均衡器的一個位元波響應分析
與
可調電容的自動相位對齊技術應用於100-Gb/s 的發訊器

**Continuous Time Linear Equalizer SBR analysis
and
Automatic Phase Alignment Techniques with tunable
capacitor of A 100-Gb/s Advanced Transmitter**

組別:A292

組員:李泊璉

指導教授：彭朋瑞 教授

研究期間：111年9月至112年4月，共8個月

Abstract

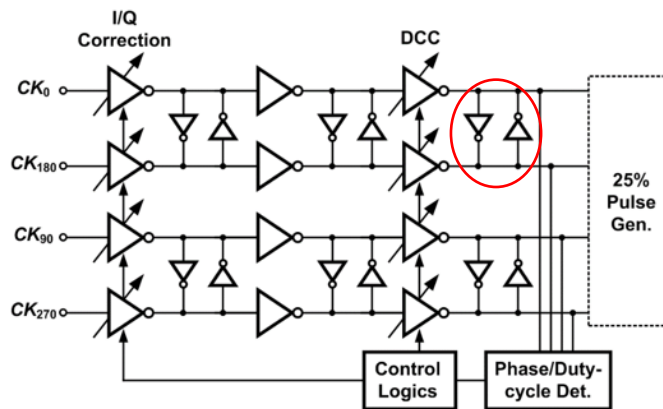
有鑑於對於 SerDes 傳輸資料的速率要求也隨之上升，近年來，已從傳輸資料皆是以不歸零(nonreturn to zero, NRZ)的型式，每一次只依序傳輸一個資料位元，逐漸轉換成一種新興的傳輸資料方式，即是四階脈波震幅調變(pulse amplitude modulation-4, PAM-4)型式。

藉由 PAM-4 資料傳輸技術，我們已經可以實現傳輸速率達到 100Gb/s 的傳送器，符合現今大公司的需求。不過，在使用四分之一速率時脈之架構的情況下可能產生之佔空比(duty-cycle)不均的情況，因此需要在傳送機內加入時脈校正電路，相位校正電路(phase calibration)也就是四分之一校正電路(quadrature error correction calibration, QEC)及工作週期校正電路(duty cycle calibration, DCC)。而本專題的重點便放在工作週期校正的電路架構上，我將要在 DCC 的電路架構中加入一組可調電容，藉此調整在各種 coner 下，佔空比(duty-cycle)不均的狀況，因為最後還要送入 25% 工作週期產生器，而這個過程還有可能造成失真，因此本專題會希望盡量能在 worst case 將時脈的抖動控制在 ps 的數量級。

此外，為了更了解整體 SerDes 的電路架構，本專題利用模擬另外做了 SBR(single bit response) analysis，使用的是接收端(Receiver)的連續時間線性均衡器(Continuous Time Linear Equalizer, CTLE)電路去做模擬，目的是為了觀察出接收端(Receiver, RX)的補償電路對於 SBR 以及眼圖的影響，藉此了解如何在訊號 loss 的情況下進行補償。模擬後觀察發現，RX 無法補償 pre cursor，因此在模擬中又加入了發射端 TX(transmitter)的前饋等化器 (Feed-Forward Equalization, FFE)，以完整的補償掉模擬中 channel 所產生的雜訊。

Circuit Structure

此專題設計的時脈是專門給 PAM4 電路使用的校正電路，因而僅能將 25% 工作週期產生器之輸入訊號校正，經由 25% 工作週期產生器亦有可能失真，因此我們必須模擬 25% 工作週期產生器在各種不同的 corner 下的時脈抖動。

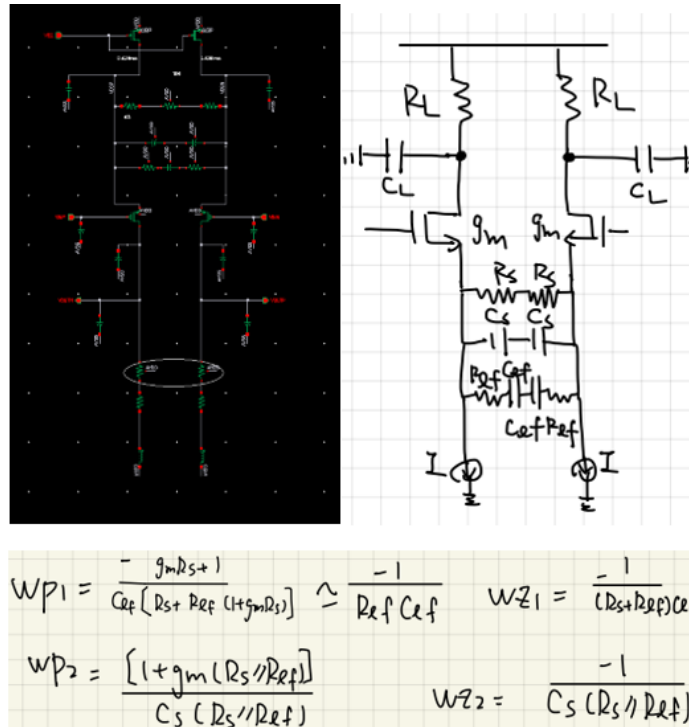


圖一 傳統時脈校正電路，參考[1]

而有別於傳統調整 duty cycle 的時脈校正電路，參考[1]，此專題加入了新興的想法，在每一組 DCC 中加入一組可調變的電容，利用 Vctrl 來控制其容值大小，藉此調整 duty cycle，這樣就能適應各種不同抖動的 duty cycle 的狀況，只需要改變 Vctrl 即可。在每一組 DCC cell 皆在 Latch(紅圈部分,為 back-to-back 的反向器,目的為了使訊號快速鎖存)的右側加入壓控電容，並調整當作壓控電容的 MOS 長寬，找到適合的參數，目標為將 duty cycle 設在 1.3ps 內的可調變範圍，才能符合各種 corner 的需求(表一)。

	TT	SS	FF	FS	SF
peak-to-peak jitter (ps)	0.655	1.246	0.604	0.750	0.874

表一 25%工作週期產生器在不同 corner 下的時脈抖動



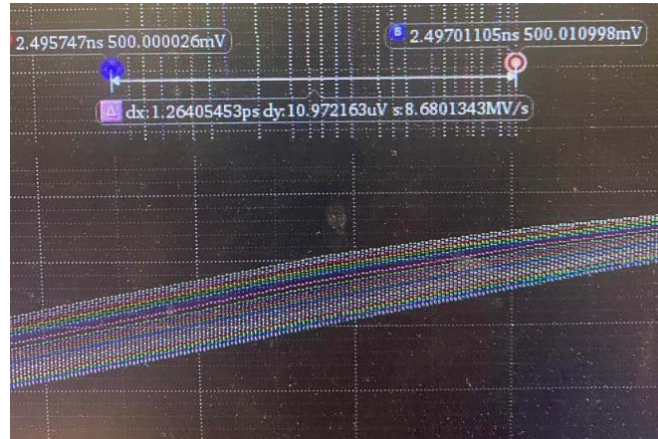
圖二 CTLE 電路架構圖以及其 pole、zero 位置(手算)

如上圖，本專題另一部分採用的電路架構為 CTLE，參考[2]的論文架構，並延伸成此電路模型，需先計算出的 pole、zero 的位置，並利用其低、高頻補償特性為不同的 channel 長度下去做參數調變，並將訊號還原。因為 channel 長度不同即各樣的物理條件，因此也有不同的 loss，因此滿足每組 SBR 所需的消除的符號間干擾 (Intersymbol interference, ISI) 的參數也不同，簡單來說就是利用等化器(equalizer)去做電路頻率的補償(compensation)。而實驗室所提供的模擬電路可讓我們將圖二所算出的 pole, zero 利用理想的情況下直接將參數代入，以便讓我們了解此電路在不同 channel 長度下，zero1, zero2 與 pole1, pole2 如何調整才能 minimize ISI，以及如何 maximize eye height (EH)。

Simulation & observation

DCC 模擬結果:

電容的結果長寬為900奈米。其可調範圍如下圖，可將抖動控制在1.3ps 的 duty cycle 以下：



圖三 加入電容後 DCC 充電函數圖

CTLE Part 1模擬結果:

在不調整 fz1,fz2, fp1, fp2(圖二所算出的 pole 與 zero)之前，channel 越長的情況下，訊號 main cursor (h0)的 loss 越大，符合推測，訊號傳輸的越長，nyquist frequency 的 loss 就越大，因此訊號便會變差。這便是 ISI，ISI 是對我們要傳輸訊號的干擾，這個干擾會一樣會隨著 channel 越長而越大，尤其在 main cursor(h0)旁邊的 h1、h2、h-1最明顯。而在調整過 fz1,fz2, fp1, fp2之後，便可看出 ISI 由於 CTLE 頻率的補償，高頻與低頻的干擾便有顯著的降低，以5cm channel 為例，可以看到補償後 SBR 訊號 main cursor (h0)的 ISI 相對於表一中的 cursor 明顯下降。其他 channel 的數據放在表格一、二(調整前、後)數據中。

	1p3cm	2cm	3cm	4cm	5cm
h3+...+h8	8.199m	10.46m	15.37m	19.56m	21.94m
hm3	1.399m	670.7u	415.9u	229.2u	35.48u
hm2	1.037m	951.3u	1.189m	1.423m	1.759m
hm1	11.06m	15.12m	22.12m	26.27m	30.66m
h0	295.1m	275.8m	261.3m	245.3m	234.5m
h1	11.06m	15.12m	22.12m	26.27m	30.66m
h2	3.655m	6.005m	9.361m	12.19m	13.08m
h3	-1.291m	685.2u	3.117m	4.742m	6.09m
h5	3.536m	3.736m	3.719m	4.566m	4.39m
EH_NRZ	422.7m	383.4m	283.6m	231.2m	172.4m
EH_PAM4	66.75m	45.77m	-20.13m	-48.8m	-86.9m

表一 CTLE 未補償前 ISI 情形

	1p3cm	2cm	3cm	4cm	5cm
h3+...+h8	-6.071m	-3.254m	-52.09u	3.881m	5.157m
hm3	848.1u	462.3u	164.3u	56.37u	-11.43u
hm2	697.8u	656u	953.9u	1.183m	1.699m
hm1	12.86m	17.56m	23.28m	27.61m	33.79m
h0	295.1m	275.8m	261.3m	245.3m	234.5m
h1	12.86m	17.56m	23.28m	27.61m	33.79m
h2	-7.441m	-1.718m	-4.195m	-3.092m	-524.5u
h3	-5.425m	-2.965m	-1.422m	-156.3u	1.697m
h5	1.159m	1.417m	1.085m	2.284m	1.778m
EH_NRZ	465.7m	439.3m	381.5m	355.6m	306.7m
EH_PAM4	72.21m	71.65m	33.16m	28.56m	-6.023m

表二 CTLE 補償後 ISI 情形

表一、二說明:

其單位均為 m,米，表格上的英文字為數量級。

h_{num}:代表的是離訊號中心處(main cursor)幾個 UI 的訊號大小，而前綴有 m 為 minus 的縮寫，是指中心處左側的 ISI，而 h0 為打出的訊號中心點位置大小。

EH_NRZ: 指的是 NRZ 眼圖的眼開高度，NRZ 指的是不歸零編碼 (non-return-to-zero line code, NRZ)，眼圖(Eye Diagram)指的是打出各種不同情形的訊號後，將每一組都疊加至同一張圖上所呈現出來的訊號，可以得知此種發訊器的最差情況，即是眼開。

EH_PAM4: 與上述類似，不過打進的訊號是四階脈波震幅調變(pulse amplitude modulation-4, PAM-4)型式。

從此模擬可觀察出，fz1,fz2, fp1, fp2 頻率補償與 ISI 的關係。調整 fz1 及 fp1 後，對 h2、h3、h4 等低頻的 ISI 有比較大的影響，但對 h0 的 ISI 也有很大的影響。且把 ISI 補得越低，main cursor 則會越來越高；調整 fz2 及 fp2 後，對 h1、h2 等高頻的 ISI 有比較大的影響，但對 h0 仍有小影響。把 ISI 補得越低，main cursor 則會越來越高，右側曲線斜率也越大。

另外也可以看出，雖然使用 CTLE 補償後 ISI 改善了許多，但 5cm 的 channel 的 eye diagram 仍然無法眼開，而且由 SBR 的訊號圖可以看出，我們無法將最重要的 h-1, h1 消至 0，這是因為 CTLE 只能調整訊號 post cursor 的部分，而 h-1 以及 h1 的距離只會鎖在 2 個 UI，這樣來說就不可能同時將兩個 cursor 都調整到 0 的情況下又有 2 個 UI，因為只能調整其中一邊。因此我在 part 2 加入了理想的 TX FFE 的模擬電路(純調整參數，並無電路實作)進行模擬，並且只調整 pre cursor 的部份。

CTLE Part 2 模擬結果:

MMPD	1.3cm	2cm	3cm	4cm	5cm	5cm_3.75
fp1	2.13G	2G	1.8G	1.9G	1.17G	1.2G
fp2	43.825G	42.625G	35.25G	33.775G	29.5G	56.625G
fz1	2.1G	1.9G	1.7G	1.69G	1G	1G
fz2	17.53G	17.05G	14.1G	13.51G	11.8G	15.1G
pre1	69m	88.4m	123.3m	149m	179.3m	172m
h3+...+h8	5.194m	3.072m	5.167m	2.383m	1.251m	417.3u
h0	255.3m	247.1m	223.9m	213.5m	205.8m	208.3m
h-1	-4.91u	43.51u	-76.1u	640n	15.7u	-33.94u
h1	-4.91u	43.51u	-76.1u	640n	15.7u	-33.94u
h2	1.112m	1.21m	1.028m	995u	-844.5u	3.161m
h3	-1.693m	-1.13m	-31.54u	-550.9u	-233.8u	103.5u
h _{edge}	-169.8u	-93.2u	-72.3u	-21.81u	-563.7u	374.7u
EH_NRZ	454.4m	452.6m	405.4m	399.7m	376.9m	376.7m
EH_PAM4	114m	123.2m	106.9m	115m	102.5m	98.5m

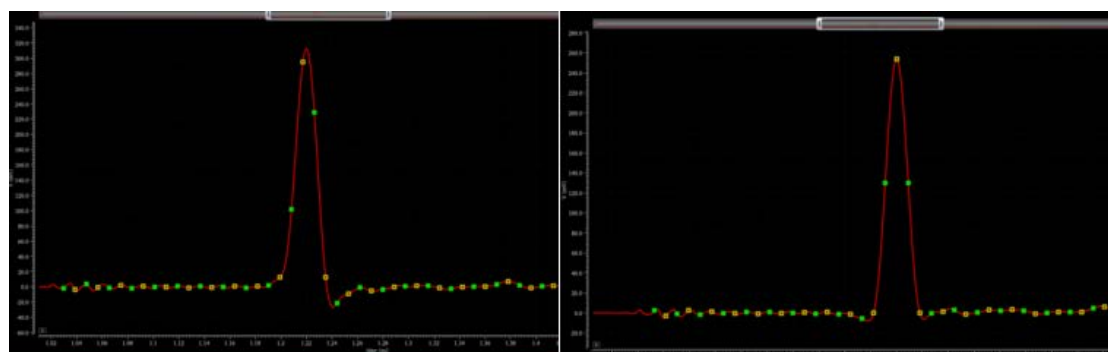
表格三 加入 FFE 後參數調整與 ISI 情形

表格說明:

橘色部分單位為 HZ,其餘單位為 m,米

h_{edge} 為 h_{0.5}-h_{-0.5}，為 SBR 左右是否對稱的重要指標。

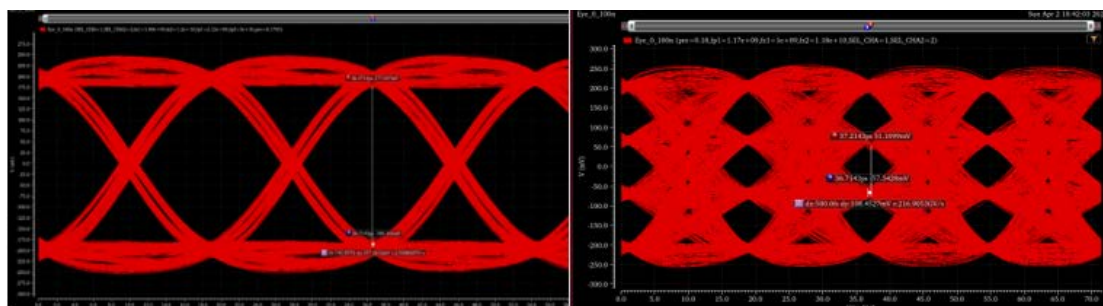
這邊加入了 TX FFE 並且 pre1為其參數值，未更改 pre1 之前，左右調整的幅度不對稱，MMPD 鎖定完後，main cursor 的位置會在偏左的位置，對應的 h_{-0.5} 會在較低的位置，h_{0.5}則在更高的位置，h_{edge} 即為正的值。當調整 pre1後，可以使得 SBR 左右變得對稱，h_{edge} 會趨近於 0。如下兩圖比較，左者為 pre1=0dB，右者為 pre1有補償：



圖四 加入與未加入理想 FFE，SBR 的情形

我調整的過程中可以看出 $pre1 = 0\text{dB}$ 時，SBR 兩邊不對稱，想要將 $h-1$ 及 $h1$ 降低的話，就會補償得太多，導致 $h2, h3$ 變成負的值，無法將 ISI 消的好。但更改 $pre1$ 補償後， $pre1$ 主要能消掉 $h-1$ 這個很大的 cursor，因此對於 channel 的幫助很大，就可以調整到對稱，並將 SBR 的寬度變小， $h-1$ 及 $h1$ 就能夠消至 0，EH 就會變大，ISI 便會 minimize。 $h_{edge}=0$ 表示 $h_{0.5}$ 對稱於 $h_{-0.5}$ ，在比較接近 h_0 的位置就將左右斜率對好的話，延伸到 $h1$ 與 $h-1$ 會比較容易對到 0。

eye diagram:



圖五 5cm NRZ / PAM4 eye diagram

藉由分析眼圖，我們可以看出訊號各種不同的問題，上面的眼圖是已調整 $pre1$ 的結果，可以看出雖然連 5cm PAM4 都是眼開的狀態，但其 Eye Height 已經很小了，若是參數調整的不夠好，或者有更多製程因素加進來時，就不一定可以呈現很好的眼開了。

Conclusion

SerDes 電路是現今類比 IC 市場上十分重要，且不可或缺的一環，其電路架構經由世代的輪替雖已十分的完備，但科技的快速進步還是使得工程師們需要想出更多更精良的架構，以符合需求。而此次加入電容的創新電路仍有許多改善的空間，像是可調範圍有限，以及電容容值製程不精準等等問題，仍然需要更多的電路實作試驗，才知道究竟有沒有比傳統的調整 NMOS 與 PMOS 的電路好用，肯定有許多 trade off 是我沒有發現的，希望未來有機會能繼續延續這個想法，做出真正有用的電路，能更有利於現今需求的高速、高效能 SerDes 電路中的時脈校正。

另外，第二個實作部分是打下瞭解 SerDes 電路的重要基礎，SBR 運作原理、CTLE 電路架構、如何補償頻率以及如何消除 ISI，都是必須先有的基礎知識，因此，我跑了很多參數之間的模擬，去了解其倆倆之間相互的關係，藉此了解如何達到電路消除雜訊的需求。此外，我更進一步的用模擬跑出訊號的眼圖，眼圖可以說是 SerDes 電路的核心概念，所有的實作電路都需要從眼圖去模擬真實的各種狀況，也能從眼圖中判斷出電路有甚麼需要補強與更改的地方。而此次專題我從眼圖了解到如何判斷鎖存點、ISI 消除的狀況等等概念，也許只是冰山一角，但我由衷地希望往後我能往 SerDes 電路架構有更深一步的了解並實作，此專題便作為我的起點。

心得:

我為了瞭解 SerDes 電路的作用關係，跑了非常多次模擬，學長也耐心的從零開始教導我(特別感謝指導我的彥廷學長)，但我可以感受到我理解的東西還是太少，很多小細節也都忽略了沒有注意到。不過經過兩學期的訓練後，我相信我對電路的架構還是有更深入了解的，希望這次專題的經驗，能讓我在未來類比電路上學以致用，畢竟類比是經驗的累積，需要大量的練習與實作才能成為一名好的工程師，為我自己加油吧!

參考文獻

- [1] Y. Frans *et al.*, "A 40-to-64Gb/s NRZ Transmitter with Supply-Regulated Front-End in 16nm FinFET," *Digest of International Solid-State Circuits Conference*, pp.68-70, Feb. 2016.
- [2] Srikanth Gondi *et al.*, " Equalization and Clock and Data Recovery Techniques for 10-Gb/s CMOS Serial-Link Receivers," *IEEE Journal of Solid-State Circuits*, pp.68-70, Oct. 2007.
- [3] Yan-Ting Chen *et al.*, " A 100-Gb/s Advanced Transmitter wth Two-Step FFE and Automatic Phase Alignment Techniques in 40nm CMOS for 400GbE Ethernet System. ", pp.2-6, Feb. 2020.