

均衡器的一個位元波響應分析與可調電容的自動相位對齊技術應用於100-Gb/s的發訊器

Continuous Time Linear Equalizer SBR analysis and Automatic Phase Alignment Techniques with tunable capacitor of A 100-Gb/s Advanced Transmitter

指導教授：彭朋瑞

組員：李泊璉

組別：A292

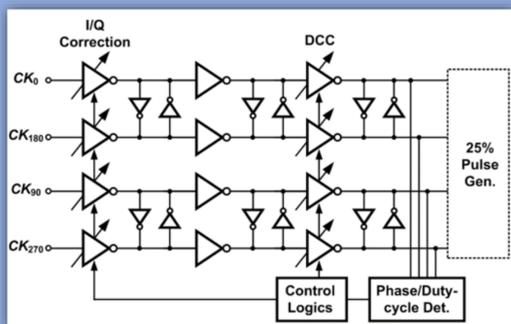
Abstract

Part A：藉由PAM-4資料傳輸技術，我們已經可以實現傳輸速率達到100Gb/s的傳送器，符合現今大公司的需求。不過，在使用四分之一速率時脈之架構的情況下可能產生之佔空比（duty-cycle）不均的情況，因此需要在傳送機內加入時脈校正電路，相位校正電路（phase calibration）也就是四分之一校正電路（quadrature error correction calibration, QEC）及工作週期校正電路（duty cycle calibration, DCC）。而本專題的重點便放在工作週期校正的電路架構上，我將要在DCC的電路架構中加入一組可調電容，藉此調整在各種coner下，佔空比（duty-cycle）不均的狀況，因為最後還要送入25%工作週期產生器，而這個過程還有可能造成失真，因此本專題會希望盡量能在worst case將時脈的抖動控制在ps的數量級。

Part B：此外，為了更了解整體SerDes的電路架構，本專題利用模擬另外做了SBR（single bit response）analysis，使用的是接收端（Receiver）的連續時間線性均衡器（Continuous Time Linear Equalizer, CTLE）電路去做模擬，目的是為了觀察出接收端（Receiver, RX）的補償電路對於SBR以及眼圖的影響，藉此了解如何在訊號loss的情況下進行補償。模擬後觀察發現，RX無法補償pre cursor，因此在模擬中又加入了發射端TX（transmitter）的前饋等化器（Feed-Forward Equalization, FFE），以完整的補償掉模擬中channel所產生的雜訊。

Circuit Structure Part A

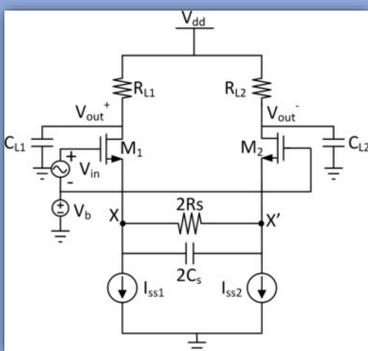
而有別於傳統（如圖，參考[1]）調整duty cycle的時脈校正電路，此專題加入了新興的想法，在每一組DCC中加入一組可調變的電容，利用Vctrl來控制其容值大小，藉此調整duty cycle，這樣就能適應各種不同抖動的duty cycle的狀況，只需要改變Vctrl即可。在每一組DCC cell皆在Latch（紅圈部分，為back-to-back的反向器，目的為了使訊號快速鎖存的）的右側加入壓控電容，並調整當作壓控電容的MOS長寬，找到適合的參數，目標為將duty cycle設在1.3ps內的可調變範圍。



圖一 傳統時脈校正電路

Circuit Structure Part B

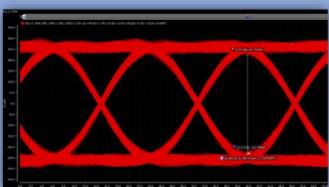
本專題另一部分採用的電路架構為CTLE，參考[2]的論文架構，並延伸成此電路模型，如下圖，需先計算出其pole、zero的位置，並利用其低、高頻補償特性為不同的channel長度下去做參數調整，並將訊號還原。因為channel長度不同即各樣的物理條件，因此也有不同的loss，因此滿足每組SBR所需的消除的符號間干擾（Intersymbol interference, ISI）的參數也不同，需調整zero1, zero2與pole1, pole2才能minimize ISI，以及maximize eye height（EH）。



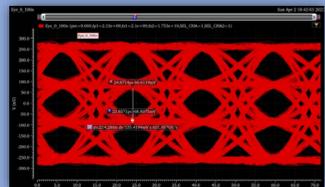
圖二 CTLE電路架構圖

Eye Diagram

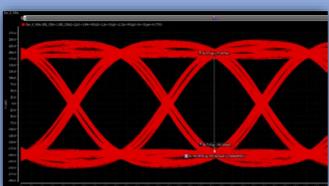
比較上下兩者眼圖，可以看到5cm的channel loss較大，因此不論是NRZ或PAM4，其眼開都較小，雜訊較多。



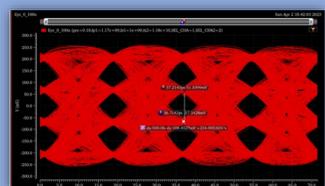
圖五 1p3cm NRZ eye diagram



圖六 1p3cm PAM4 eye diagram



圖七 5cm NRZ eye diagram



圖八 5cm PAM4 eye diagram

Simulation

Part A DCC 模擬結果：

電容的結果長寬為900奈米。其可調範圍如下圖，可將抖動控制在1.3ps的duty cycle以下，符合需求：

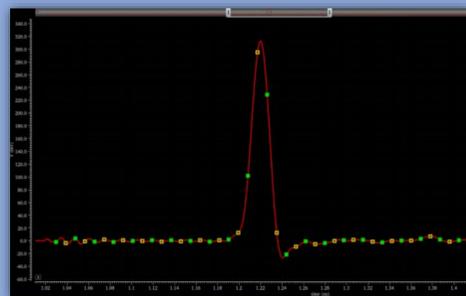
	TT	SS	FF	FS	SF
peak-to-peak jitter (ps)	0.655	1.246	0.604	0.750	0.874

Part 2 CTLE 模擬結果：

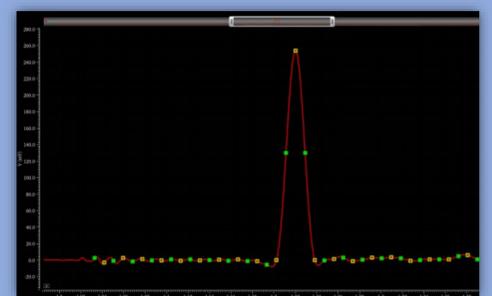
調整的過程中看出FFE參數pre1=0dB時，SBR兩邊不對稱，想要將h-1及h1降低的話，就會補償得太多，導致h2、h3變成負的值，無法將ISI消得好。但更改pre1補償後，pre1主要能消掉h-1這個很大的cursor，因此對於channel的幫助很大，就可以調整到對稱，並將SBR的寬度變小，h-1及h1就能夠消至0，EH就會變大，ISI便會minimize。Hedge=0表示h0.5對稱於h-0.5，在比較接近h0的位置就將左右斜率對好的話，延伸到h1與h-1會比較容易對到0。

MMPD	1.3cm	2cm	3cm	4cm	5cm	5cm_3.75
fp1	2.13G	2G	1.8G	1.9G	1.17G	1.2G
fp2	43.825G	42.625G	35.25G	33.775G	29.5G	56.625G
fz1	2.1G	1.9G	1.7G	1.69G	1G	1G
fz2	17.53G	17.05G	14.1G	13.51G	11.8G	15.1G
pre1	69m	88.4m	123.3m	149m	179.3m	172m
h3+...+h8	5.194m	3.072m	5.167m	2.383m	1.251m	417.3u
h0	255.3m	247.1m	223.9m	213.5m	205.8m	208.3m
h-1	-4.91u	43.51u	-76.1u	640n	15.7u	-33.94u
h1	-4.91u	43.51u	-76.1u	640n	15.7u	-33.94u
h2	1.112m	1.21m	1.028m	995u	-844.5u	3.161m
h3	-1.693m	-1.13m	-31.54u	-550.9u	-233.8u	103.5u
hedge	-169.8u	-93.2u	-72.3u	-21.81u	-563.7u	374.7u
EH_NRZ	454.4m	452.6m	405.4m	399.7m	376.9m	376.7m
EH_PAM4	114m	123.2m	106.9m	115m	102.5m	98.5m

表一 參數調整結果與ISI情形



圖三 加入理想FFE前SBR



圖四 加入理想FFE後SBR

Conclusion

SerDes電路是現今類比IC市場上十分重要，且不可或缺的一環，其電路架構經由世代的輪替雖已十分的完備，但科技的快速進步還是使得工程師們需要想出更多更精良的架構，以符合需求。而此次加入電容的創新電路仍有許多改善的空間，像是可調範圍有限，以及電容容值製程不精準等等問題，仍然需要更多的電路實作試驗，才知道究竟有沒有比傳統的調整NMOS與PMOS的電路好用，肯定有許多trade off是我沒有發現的，希望未來有機會能繼續延續這個想法，做出真正有用的電路，能更有利於現今需求的高速、高效能SerDes電路中的時脈校正。

另外，第二個實作部分是打下瞭解SerDes電路的重要基礎，SBR運作原理、CTLE電路架構、如何補償頻率以及如何消除ISI，都是必須先有的基礎知識，因此，我跑了很多參數之間的模擬，去了解其兩側之間相互的關係，藉此了解如何達到電路消除雜訊的需求。此外，我更進一步的用模擬跑出訊號的眼圖，眼圖可以說是SerDes電路的核心概念，所有的實作電路都需要從眼圖去模擬真實的各種狀況，也能從眼圖中判斷出電路有甚麼需要補強與更改的地方。而此次專題我從眼圖了解到如何判斷鎖存點、ISI消除的狀況等等概念，也許只是冰山一角，但我由衷地希望往後我能往SerDes電路架構有更深一步的了解並實作，此專題便作為我的起點。

[1] Y. Frans et al., "A 40-to-64Gb/s NRZ Transmitter with Supply-Regulated Front-End in 16nm FinFET," Digest of International Solid-State Circuits Conference, pp.68-70, Feb. 2016.

[2] Srikanth Gondi et al., "Equalization and Clock and Data Recovery Techniques for 10-Gb/s CMOS Serial-Link Receivers," IEEE Journal of Solid-State Circuits, pp.68-70, Oct. 2007.