

國立清華大學 電機工程學系
實作專題研究成果摘要

A 7-bit VCO-based ADC
一個七位元基於壓控震盪器
的類比數位轉換器

專題領域：系統領域

組 別：B602

指導教授：黃柏鈞

組員姓名：黃煥文

研究期間：2025年3月1日至 2025年9月1日止，共6個月

Abstract

This project presents the design and implementation of a **7-bit Voltage-Controlled Oscillator-based Analog-to-Digital Converter**. The core principle of this ADC is to convert the analog input voltage into a frequency signal using the linear relationship of the VCO, and then transform this frequency signal into a digital output using a synchronous counter. To ensure linearity, the VCO employs a ring oscillator structure integrated with **N-type and P-type I-MOS varactors**. A linearization technique is used where the gates of the two varactors are connected and sized appropriately, superimposing their C-V curves to mitigate the non-linear regions of the single I-MOS varactor. In post-simulation, the design operates at 1.8V with a power consumption of 9.18mW. It achieves a sample speed of 0.292MHz and an **Effective Number of Bits (ENOB) of 5.924bits**. The chip size is 0.996 times 0.8267 mm². The results highlight that maintaining VCO linearity and increasing the overall ADC speed are major challenges, suggesting that the design of the FDC (frequency to digital converter) is crucial for performance improvement in this architecture.

摘要

本專題設計並實現了一個七位元基於壓控震盪器的類比數位轉換器 (VCO-based ADC)。此 ADC 利用壓控震盪器輸出頻率與輸入電壓之間的線性關係，將類比電壓訊號轉換為頻率訊號，再透過同步計數器轉換為數位輸出。為確保線性度，壓控震盪器採用了環形震盪器架構，並搭配 N-type 和 P-type I-MOS varactor，透過將兩者 gate 端連接並調整尺寸，來疊加 C-V 曲線，以消除單一 I-MOS varactor 較不線性的區域。在 post-simulation 中，此設計在 1.8V 電源下，功耗為 9.18mW，取樣速度達 0.292MHz，並實現了 **5.924bits 的等效位元數 (ENOB)**。晶片尺寸為 0.996 times 0.8267mm²。設計結果顯示，維持 VCO 線性度與提升 ADC 速度是 VCO-based ADC 架構的兩大挑戰，特別是對於後續 FDC(frequency to digital converter) 的設計是效能提升的關鍵。

目錄

1. Introduction	5
2. Research Methodology	5
2.1 Principle and Architecture Description.....	5
2.2 Design Flow.....	7
2.3 Circuit Schematics.....	9
3. Experiment Result	10
4. Conclusion	12
5. Reference	13
6. Review and Reflections	13

1. Introduction

隨著電子系統對數位化處理能力的效能要求不斷提升，傳統的 ADC 結構面臨功耗與面積的挑戰。為此，業界開始嘗試利用時間域轉換原理的創新架構，其中壓控震盪器 (VCO) 基於 ADC (VCO-based ADC) 由於其潛在的數位優勢和高頻操作能力而受到廣泛關注[1]。VCO-based ADC 的核心思想是將類比輸入電壓轉換為頻率訊號，再利用計數器等方式轉為數位碼。本專題研究在於利用自身的設計方法實作一個七位元 VCO-based ADC。本設計的核心創新所在，是針對所選用的 I-MOS varactor 在 inversion 模式下 C-V 曲線的非線性問題，透過將 N-type 和 P-type I-MOS varactor 的 gate 端連接在一起，利用兩種 varactor C-V 曲線的相互疊加特性，以抹除或抵消原本不線性的區域，最終獲得一個能夠線性操控的壓控震盪器，進而實現類比訊號到數位訊號的有效轉換。

2. Research Methodology

2-1. Principle and Architecture Description

VCO-based ADC (Voltage-Controlled Oscillator-based Analog-to-Digital Converter) 主要是利用壓控震盪器輸出頻率與輸入輸入電壓之間的線性關係來進行類比信號到數位信號的轉換。基本原理是將輸入的電壓通過壓控震盪器轉為頻率訊號，再通過計數器將頻率訊號轉為數位訊號做輸出。為了讓輸入的類比訊號和輸出的數位訊號能有良好的對應關係，壓控震盪器的線性度是一大重點。在閱讀了許多相關文獻，以及試了許多種不同架構的壓控震盪器後，我選擇了以反向器串接而成的環形震盪器搭配 N_type 和 P_type 的 I-MOS varactor 作為壓控震盪器的核心。I-MOS varactor 是讓 MOS_Cap 操作在 inversion mode 區間，在此區間 MOS_Cap 的 C_V characteristic 如下圖所示：

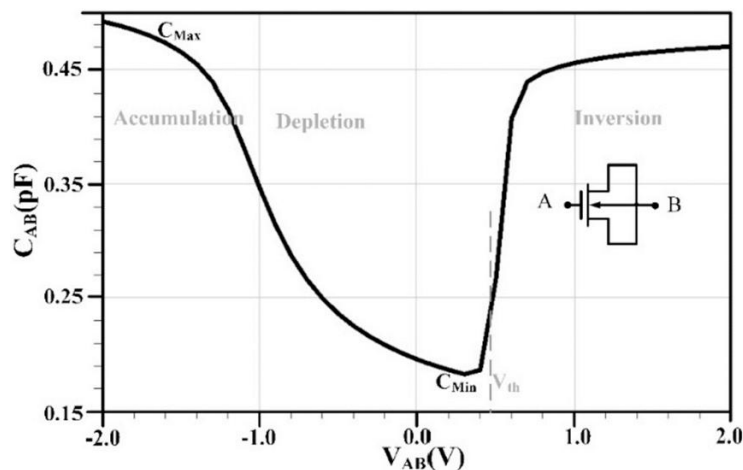


Fig. MOS_Cap C_V characteristic

可以看到在 $V_{AB}(V_{GS})$ 增加的情況下，A點和B點之間的電容值會隨之增加，然而這條上升曲線非常不線性，因此為了能獲得更為線性的結果[2]，我將N_type和P_type的I-MOS的gate端連接在一起若gate端電壓介於 V_{contn} 和 V_{contp} 之間，在此情況下將 V_{contn} 和 V_{contp} 同時調高則會使得 V_{GS_N} 變小，使得 V_{GS_P} 變大，因此N_type I-MOS varactor所提供的電容值在遞減，而P_type I-MOS varactor所提供的電容值則在遞增，將兩種varactor產生的C_V曲線疊加後即能抹除I-MOS varactor原先較不線性的區域，讓C_V曲線更為線性。若是N_type MOS_Cap的size比較大則疊加後的C_V曲線斜率為負，反之若P_type的size比較大則疊加後的C_V曲線斜率為正。由於模擬中發現將N_type MOS_Cap的size取比較大(相較於P_type MOS_Cap)的線性效果會比較好因此最後的C_V曲線斜率為負。將此類N_type MOS_Cap和P_type MOS_Cap gate接在一起的varactor接上以三級反向器構成的環形震盪器後即能獲得一個能夠線性操控的壓控震盪器。因為環形震盪器的頻率公式為

$$f = \frac{1}{T} = \frac{1}{2 \cdot N \cdot t_p}$$

其中N為反向器數量， t_p 為經過一個反向器的延遲，而 $t_p \propto RC$ ，又因為固定反向器MOS所流過的電流大小，因此R固定，而C因為varactor的關係反比於 V_{cont} ，因此最後可得 $f \propto V_{cont}$ ，即線性壓控震盪器。有了線性的壓控震盪器後接著要想辦法將產生出的頻率訊號轉為可供閱讀的數位訊號，此處我用了一般的同步計數器來達成此效果。概念就是將壓控震盪器輸出的頻率當作clock訊號餵給counter，並讓counter數一個固定的時間，數完一段時間後counter的數值即為最後輸出的數位訊號。而具體要數多少時間則是由操作區間內壓控震盪器所輸出的最小頻率和最大頻率所決定。假設要製作N-bit的ADC，那在最小和最大頻率之間便要分出 $2^N - 1$ 格，也就是說頻率的LSB為

$$\frac{f_{max} - f_{min}}{2^N - 1}$$

因為相差一個頻率的LSB數位訊號要差一個bit，因此可得 $T * f_{LSB} = 1$ ，其中T即為counter需要數的固定時間，也是此架構ADC處理一個sample到的類比訊號的時間。因此可以發現若想要讓ADC的速度提高的話，操作區間內的最小頻率和最大頻率的差距需要夠大，但為了保持壓控震盪器的線性度因此操作區間又不能取太寬，尤其我的壓控震盪器的線性原理是透過N和P的MOS varactor的C_V曲線相互疊加，抹除非線性區形成的，因此難以在確保線性度的同時又讓頻率差距很大。這也是這個架構使用counter的缺點之一，另一個缺點則是因為頻

率差距難以作大因此最後我的 ADC 速度不到 1MHz，然而我的壓控震盪器生出來的頻率卻高達 300~400MHz，這對於 power 來說是一個極大的浪費，也沒能夠發揮出 VCO-based ADC 因為震盪器操作在高頻率所應具備的高採樣率。因此我認為在實作 VCO-based ADC 時重點擺在後期 FDC (frequency to digital converter) 的設計可能會是一個較好的做法。

2-2. Design Flow

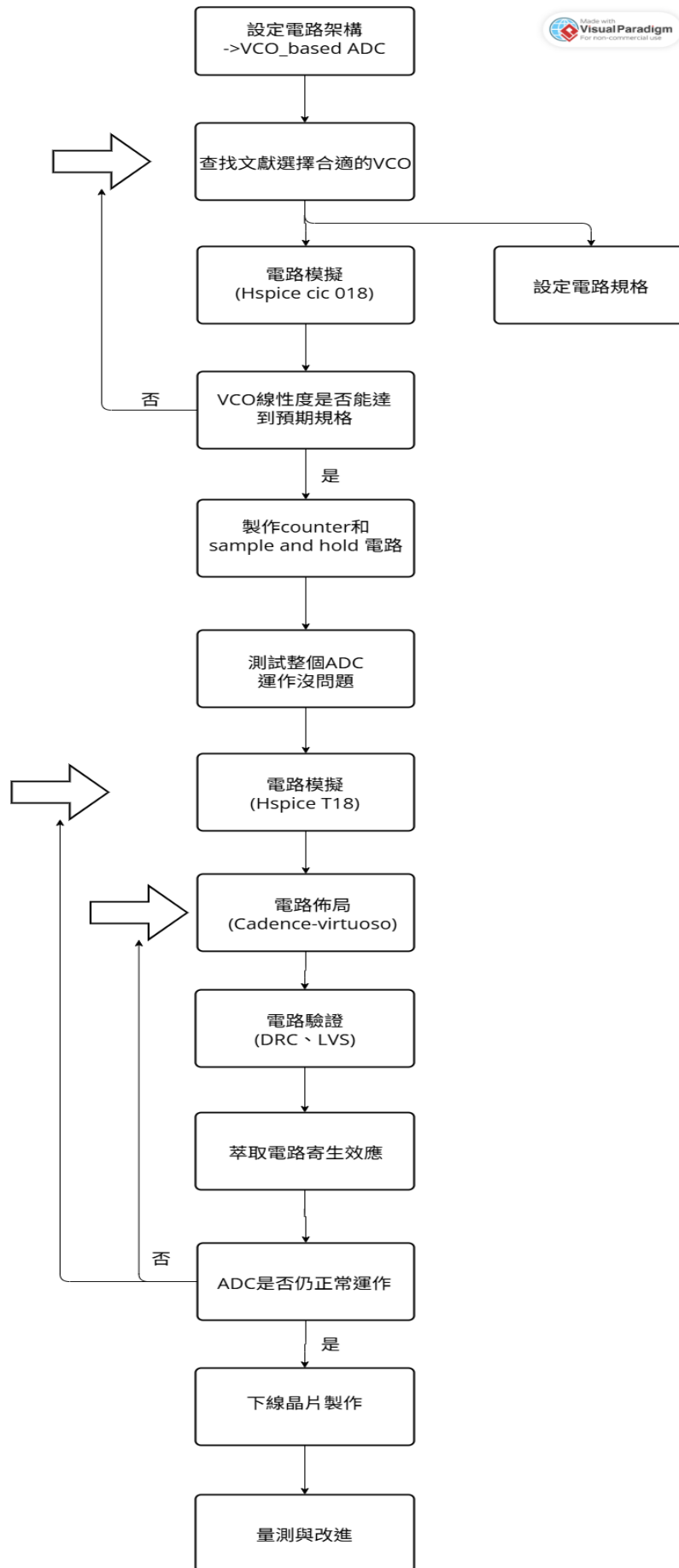


Fig. Design Flow Chart
8

2-3. Circuit Schematics

1. MUX 負責選擇 input 為 vcontn/vdd 或 vcontp/vss，使用兩個 transmission gate 和一個 inverter 組成，其 select 訊號不會隨時間改變(1 or 0)

2. Sample and Hold 電路由一個 transmission gate 和一個電容(8pF)組成，負責 sample MUX 的 output 並饋給 MOS_Cap，其 select 訊號為一隨時間改變的數位訊號，命名為 rst

3. VCO 電路由三個 inverter 和前面原理提及的 n_type 和 p_type MOS_Cap gate 接所構成的 varactor 組成，選擇第一級 inverter 的 output 當作頻率訊號饋給 counter

4. Counter，使用 synchronous 架構，由多個 And Gate、Xor Gate、D-flip flop 組成，以下使用 4-bit counter 做舉例，實際電路使用 9-bit counter。其中 Count enable 訊號是用來決定 counter 是否暫停，0 表示 counter 暫停，1 表示 counter 正在數。而 D-flip flop 上的 brst 訊號則是用來 reset counter 的，clk 訊號是前一級 VCO 的 vout 訊號經過 buffer 而得。其中 output 的 Q0 Q1 Q2 Q3 訊號則會再送給下一級的 register，以 latch 住最終的數位訊號。

5. Register，由多個 D-flip flop 組成，用來 latch 住最終的訊號，而 latch 的時間訊號與前面 sample and hold 的時間訊號是一樣的，都是 rst，以下使用 4-bit register 做舉例，實際使用 9-bit register。

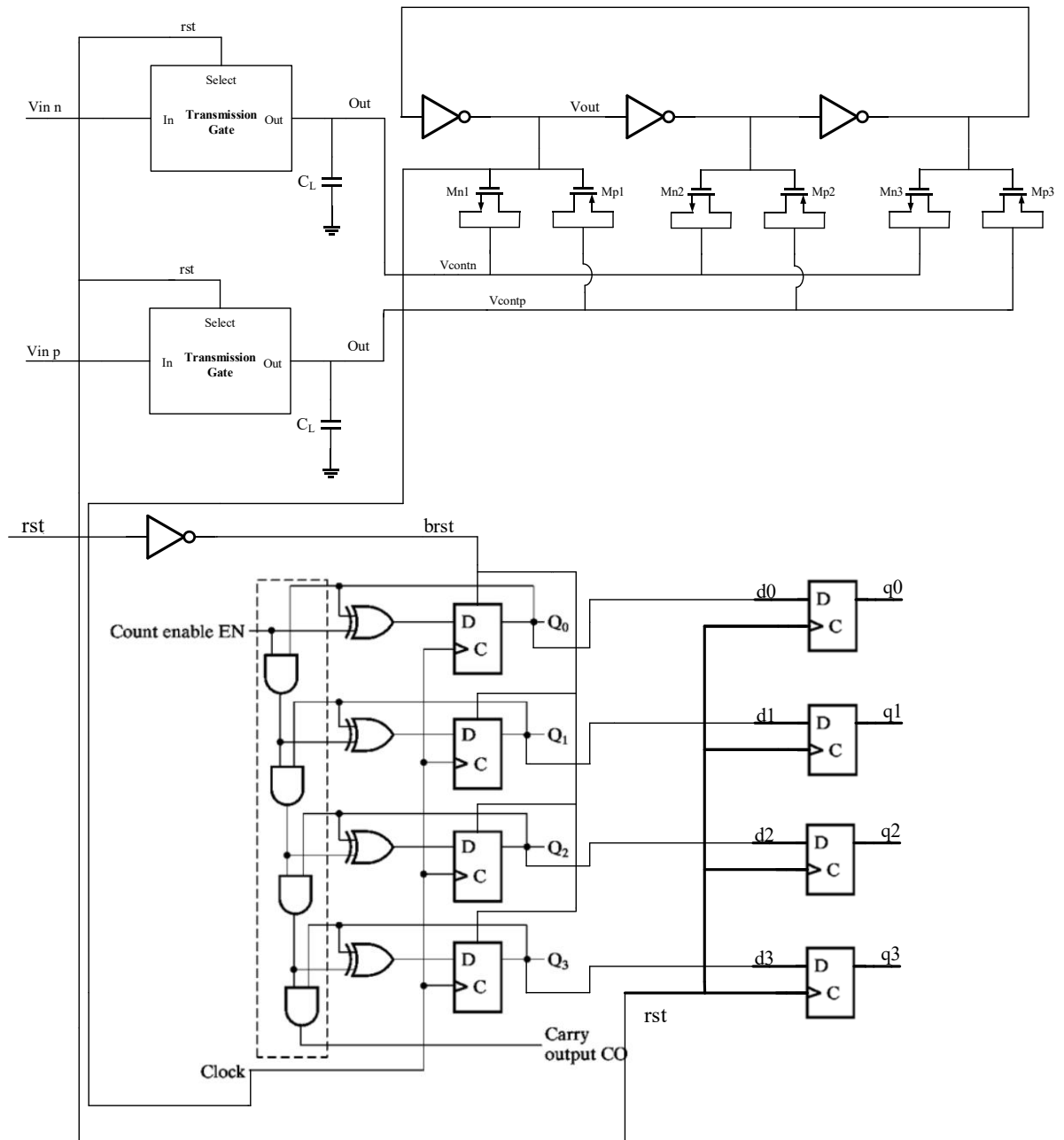


Fig. All Circuit

3. Experimental Results

我最先畫好的 block 是 9-bit counter，因此我先測試 9-bit counter 在考慮寄生效

應後是否仍能像 presim 一樣在 input clk 訊號為500MHz 時仍能正常運作，跑完模擬發現沒有辦法，模擬結果只能跑到253。

後來思考可能是我 counter 內部的訊號連接線畫太細了，因此回去改 layout 將 metal 線加粗，再重新跑模擬依然沒有改善，推測應該是一開始 counter 裏頭的邏輯電路 size 選太小所導致的，因此只能降低 counter 的工作速度，經測試後把 input clock 訊號降至450MHz 即能正常從0數到511了。

將剩餘 VCO 和 sample and hold 電路畫完以後，我將電路全部接上並測試整個 ADC 是否能正常運作。測試的內容是在 TT 25的條件下打入 SINE 波型，持續32個週期。接著將這32個週期 adc 所 output 的數位訊號拿去做離散傅立葉轉換取得各個頻率的 power density 以計算 ENOB。然而點開 adc output 的數位訊號波型圖後發現32個點中有一個點掉到0，而0並不在原先設定的數位訊號最大值和最小值之間，造成 ENOB 極大損失。

經過思考和重新審視電路圖後我找到了問題所在。問題出在我最後 register 所接到的 clock 訊號 rst 是從 counter 的 reset 訊號 brst 再經過一個 inverter 所獲得的，因此在時間順序上容易導致 counter 先被 reset 後才被 latch，即最後 output 的數位訊號為0。後來我將 register 的 rst 訊號直接從 sample and hold 的 block 接過去，並且在 rst 訊號到 brst 訊號之間多加了一個 buffer 製造 delay。如此一來便能避免 counter 先被 reset 才被 latch 的情況。後續又測試了 TT25 64個點確保這個情況不會發生。

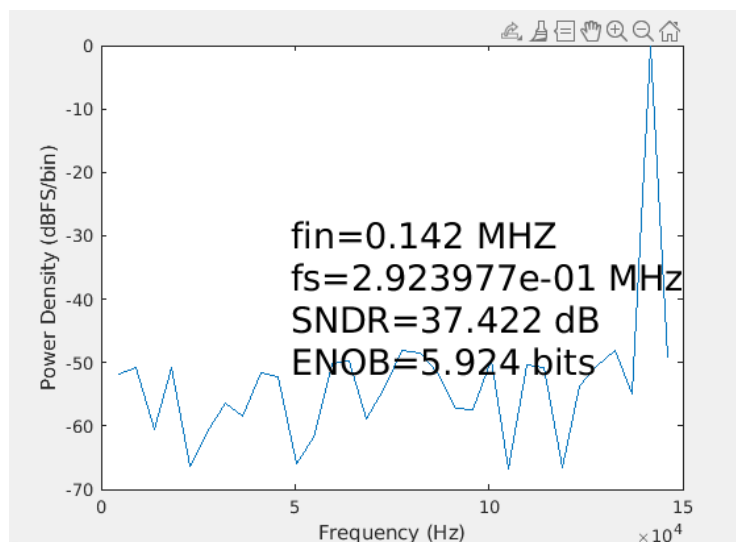


Fig. TT corner postsim 64 point power spectrum

從模擬結果可以看到雖然我實作的是一個7-bit ADC但 presim 的實際等效解析度只有6.196 bit 而已。這其中的原因有兩個，一個是 sample and hold 出來的訊號是直接接給 MOS_Cap，然而 MOS_Cap 的另一端是接在高速震盪的震盪器上，因此訊號會被 ac couple 回去，presim 時有嘗試在 sample and hold 和 MOS_Cap 之間放 ideal OPAMP 作為 buffer，但效果並不理想，因此最後並沒有使用。另一個原因是 counter 開始數的時間不固定，即不能確定 counter 開始數的時候我的 vco 波型是在 high 或者是 low，這便會導致明明是同一個頻率但 counter 數出來可能會多一個 bit 或少一個 bit。以上兩個原因導致 presim 的 enob 只有6.196 bit。再來 postsim enob 只有5.924的原因我認為是 layout 後多增加的寄生電容效應讓原先的 n_type 和 p_type MOS_Cap 的 C_V 曲線無法像 presim 一樣這麼契合的疊加，導致非線性區無法被完全抹除。

可以看到 SS 和 FF 兩個 corner adc 都是在正常運作的，但因為不同 corner 會影響到 MOS_Cap 的 Cox 大小和 C_V 曲線因此線性度會變差，結論是線性度:TT>SS>FF。而 ADC 操作速度的話則為 FF>TT>SS。

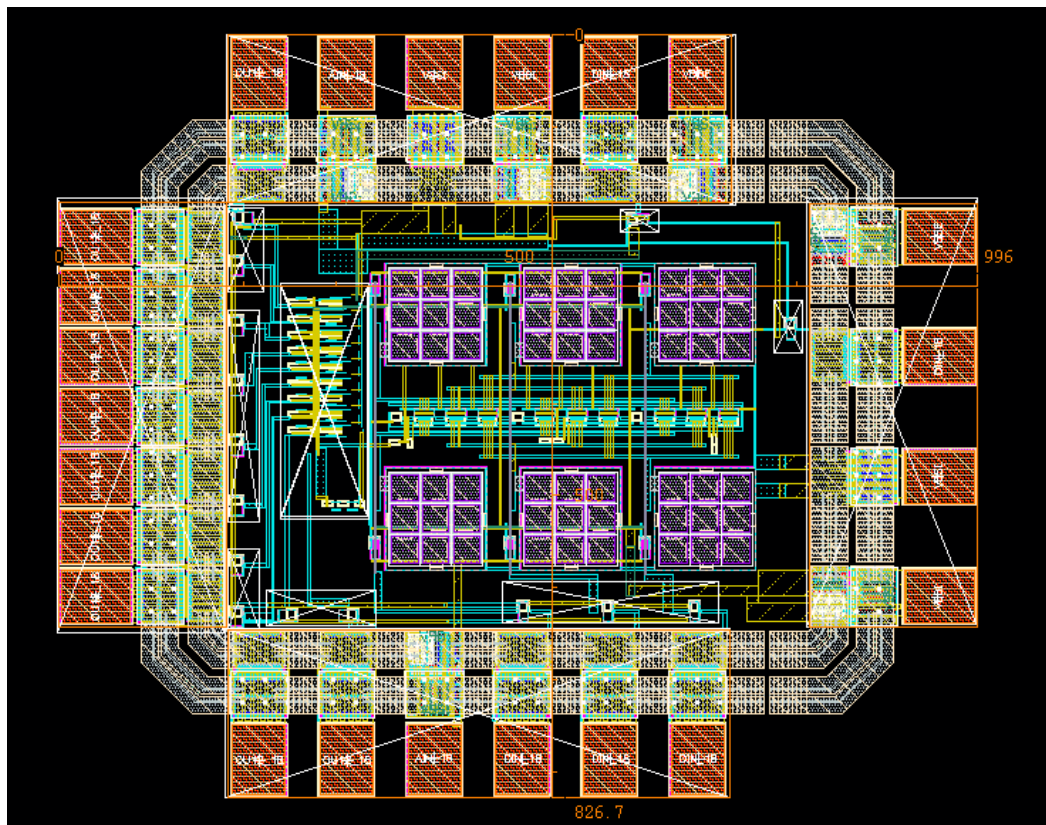


Fig. The Layout

4. Conclusion

本專題成功基於 T18 製程，完成了一個七位元 (7-bit) 壓控震盪器 (VCO) 基於類比數位轉換器 (ADC) 的設計與晶片下線 (taped-out)。核心設計的創新在於 VCO 的線性化技術：為了解決 I-MOS varactor 在 inversion 模式下 C-V 曲線的固有非線性問題，設計者透過疊加 N-type 與 P-type I-MOS varactor 的電容-電壓 (C-V) 曲線，巧妙地抹除了非線性區域，從而實現了對 VCO 頻率的線性控制。然而，根據後模擬 (post-simulation) 結果顯示，電路的效能並未能完全達到預期規格，等效位元數 (ENOB) 和取樣速度 (speed) 均未達標。實驗結果揭示了採用計數器 (counter) 作為頻率數位轉換器 (FDC) 的架構中存在一個關鍵的取捨 (trade-off) 限制：欲提升 ADC 的整體取樣速度，需要擴大 VCO 的操作頻率範圍 ($f_{\max} - f_{\min}$)，但為了維持 VCO 的線性度 (確保高 ENOB 的基礎)，這個頻率範圍又不能取得太寬，導致 ADC 的最終速度僅達到不到 1MHz，與 VCO 本身能夠產生高達 300 至 400MHz 的震盪頻率形成巨大落差，造成了顯著的功耗效率浪費。目前，此晶片正處於等待量測 (awaiting measurement) 的階段。鑑於模擬中發現的結構性限制，未來的研究工作應聚焦於改進 FDC (頻率數位轉換器) 的設計，以更有效地利用 VCO-based ADC 架構所固有的高採樣率潛力，從而解決速度與功耗效率低下的問題。

5. Reference

- [1] S. Smith, A. Tajalli and S. -h. W. Chiang, "A VCO Linearization Technique Using Dual-VCO and Interpolation for Time-Based ADCs," *2023 IEEE 66th International Midwest Symposium on Circuits and Systems*
- [2] V. Nguyen, F. Schembari and R. B. Staszewski, "A 0.2-V 30-MS/s 11b-ENOB Open-Loop VCO-Based ADC in 28-nm CMOS," in *IEEE Solid-State Circuits Letters*, vol. 1, no. 9, pp. 190-193, Sept. 2018

6. Review and Reflections

透過這個專題，我學習到了不同類型的 VCO-based ADC 相關知識。實驗室完善的專題計畫安排，使我們得以有效率地學習。從基礎的文獻閱讀和模擬開始，每一步都提升了我類比 IC 設計的技能，並增進了我的簡報能力。在第一個學期後，我們進入了電路實作階段。這段實務經驗不僅鞏固了我們從書本上學到的知識，更透過直接應用所學，加深了我們的理解。此外，透過這個專題，我也更加熟練地運用 EDA 和 Hspice 等工具。在完成這個專題

後，我意識到仍有許多知識需要學習。我希望這次的經驗能成為未來面對挑戰時的堅實基礎。

我深感榮幸能有機會在這次專題中於黃柏鈞教授的實驗室工作。除了幫助我們解決學術上的難題外，他也與我們分享了他的人生經驗，這些都令人深受啟發與啟迪。我也非常感謝實驗室裡的學長們擔任我們的指導者。沒有他們在我們困惑時提供的指導與支持，這個專題可能無法如此成功地完成。