

一個具有兩種像素陣列(3T-主動式感測器及脈波寬度調變影像感測器)搭配邊緣驅動二元計數器之十進位單陡坡數位類比轉換讀出電路的互補式場效電晶體影像感測器之表現

The Performance of a CMOS Image Sensor with Two Different Types of Pixel Arrays (3T-APS and PWM Image Sensor) Using 10-bit Single Slope ADC and Edge-Triggered Binary Counter

組別:B145 組員:陳力豪 宋乃仁 林耀斌

指導教授：謝志成 教授

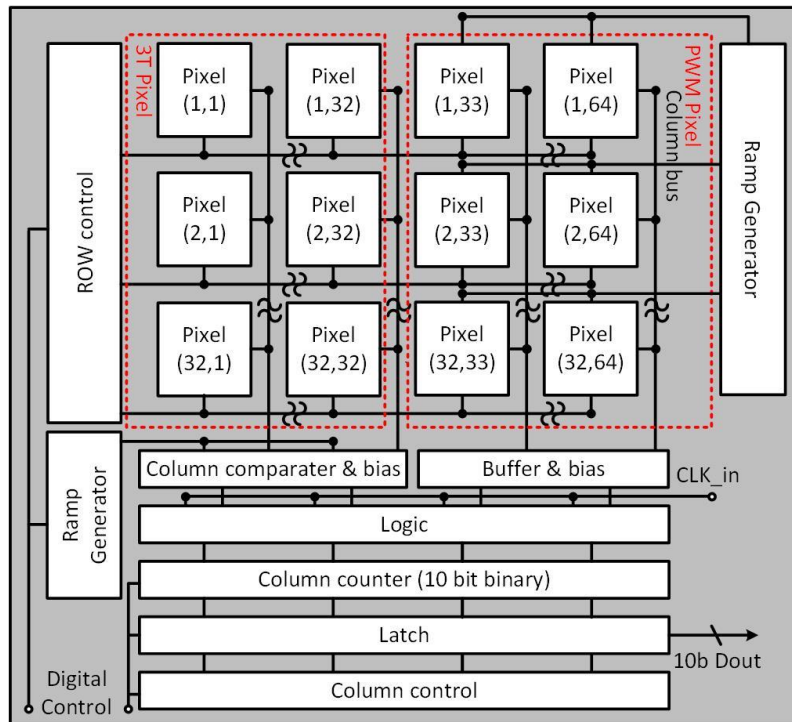
一、報告摘要(Abstract)

實驗室學長先前的設計出發點都是針對「單一種」pixel sensor 來做研究。也就是說先決定使用 3T-APS、4T-APS 或是 PWM 等不同種的 pixel sensor 後，接著再從鎖定的 pixel sensor 去決定 column 後端的讀出電路形式，並對其做優化或是操作上的改良。藉此改善 pixel 上的感光訊號傳遞到 Column bus 上時的線性度、pixel 的 fill factor 或是增加 Sensor 的操作模式。

而此次設計有別於以往在影像感測器中使用同一種 pixel，我們在 pixel array 中嘗試使用兩種不同的 pixel(3T-APS 以及 PWM image sensor)。目的在於同時了解兩種 pixel sensor 在架構運作上的差異，還有讀出電路上操作的不同。並期待觀察到在同一個像素寬度(Pitch)下，不同 Pixel Sensor 因為電晶體數目不同，而造成的感光效能差異，以及因為讀出方式不同，可能在線性度優劣上產生的對比。

我們使用 Pitch 大小為 8 μ m 的 32*32 3T-APS Pixel Array 以及 32*32 PWM Pixel Array 合併成一個 32*64 的 CMOS Image Sensor。選擇使用一個 Global 的陡坡產生器(Ramp Generator)來搭配在 3T-APS 陣列縱列(Column)上的比較器(Comparator)，做成單陡坡類比數位轉換器(Single-Slope ADC)來將縱列上的電壓訊號轉換成數位訊號。由於對每一條縱列來說陡坡產生器是共用的，故單陡坡類比數位轉換器對於每一縱列的線性度差異僅來自單一縱列內的比較器所擁有的偏移誤差(Offset Mismatch)，因此使用自動偏移歸零矯正機制(Auto-Zeroing)來矯正各個縱列的偏移誤差。而 PWM 的電路架構中，我們將 common source gain stage 的電晶體接成 diode-connected 的形式，如此一來在曝光時，photodiode 的電壓就不會受到製成參數 V_{th} 的影響，進而達到 Threshold variation cancelling(TVC)的效果。接著由內建電晶體所構成的簡易陡坡產生器以及比較器，能搭配後端的 Column Counter（縱列計數器）將 PWM 陣列縱列上的輸出轉換成數位訊號。最後目的在於實現單陡坡數位轉換器在 3T-APS 上的讀出應用以及 3T-APS 以及 PWM 兩種 Pixel Array 的成像畫質比較。

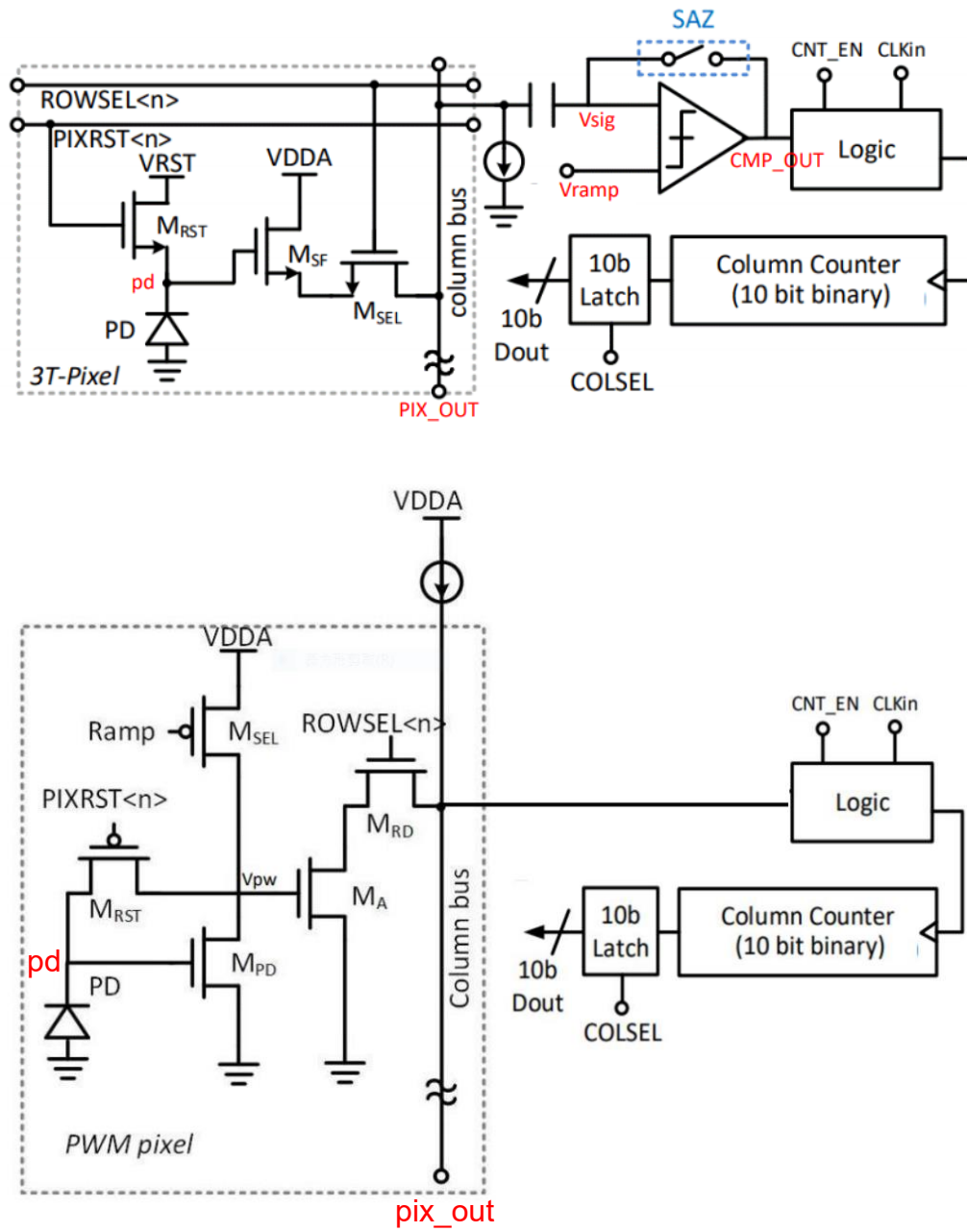
二、報告內容(Introduction)



圖(一)：電路 Block Diagram

此設計的影像感測器具有 32x64 的 Pixel array，並且一半使用 3T pixel，另一半使用 PWM pixel。曝光以後，row control 會選中一整排 row 的 pixel，將其 output 送到 column bus 上，進入 column 以後，3T pixel 和 PWM pixel 的 output 處理方式有所不同。3T pixel 的輸出是 photodiode 曝光和 reset 的電壓值，因此需藉由 column 上的 comparator 將其和 ramp 訊號做比較，才能解讀出曝光強度的大小；PWM pixel 則是因為 pixel 本身就有比較器的功能，pixel output 就是一段能代表曝光強弱的 pulse width，所以 pixel output 進入 column 以後，直接藉由 counter 將這段 pulse width 轉成 digital code 即可。最後解出的 10 bit binary code，會在下一個 row time 時，藉由 column control 依序選擇不同 column，將 10 bit 的資料送出來。

電路架構

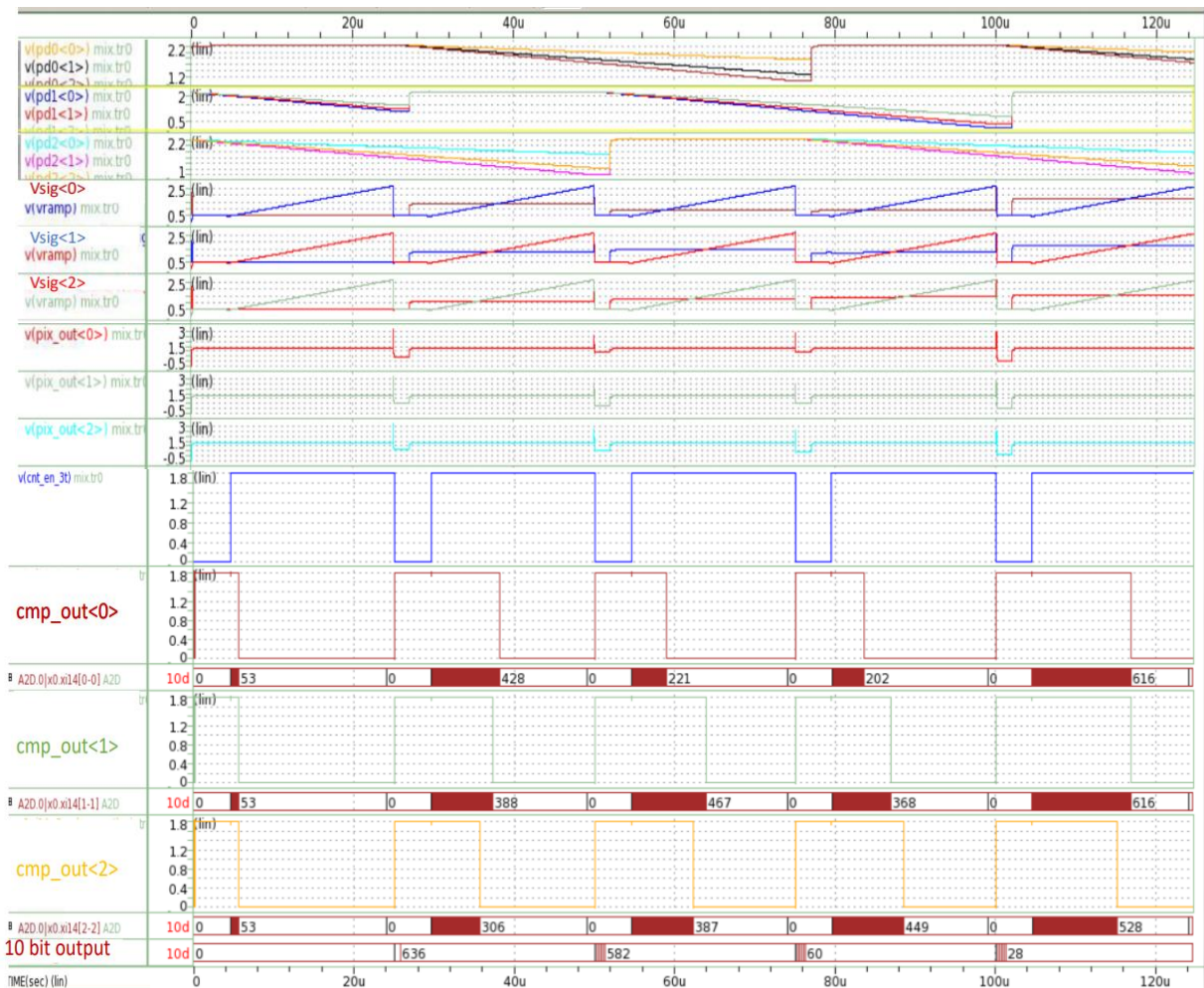


圖(二)：電路詳圖(上方為 3T pixels 部分，下方為 PWM pixels 部分)

模擬結果

將 32x64 pixel array 的架構簡化成 3x6 pixel array 以便模擬

(<0:5>代表 6 個 column 上的訊號，<0:2>使用 3T pixels，<3:5>使用 PWM pixels)

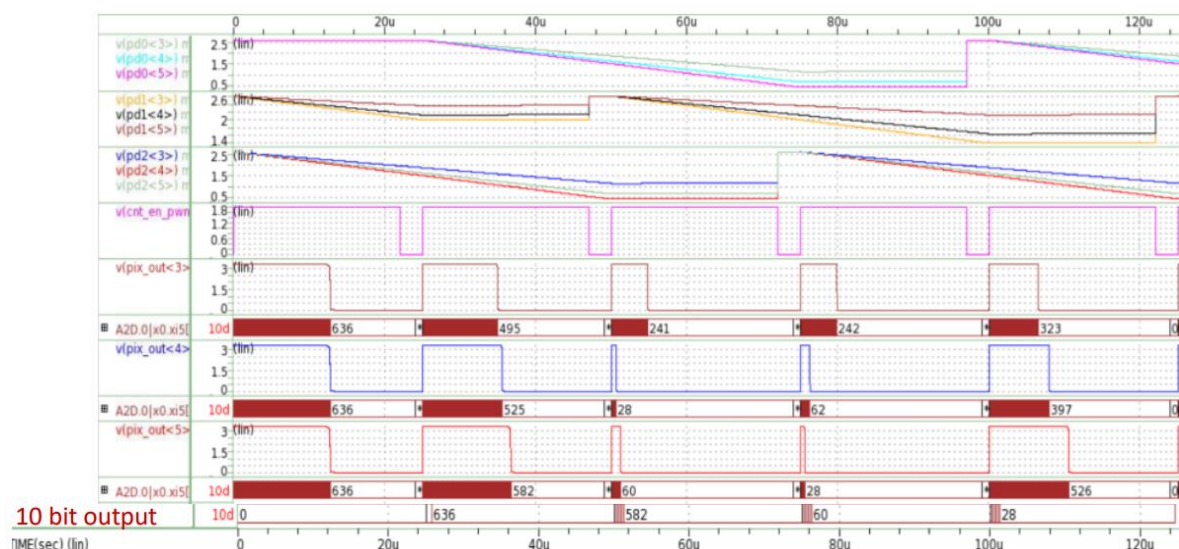


圖(三)：3T pixels 由 pixel 到 column circuit 之 pre-sim 結果

曝光是利用在 Photodiode 上加電流源來模擬，可以看到當該 row 被選到時，3T pixel 會進行 reset(pix_out 產生一個向上的 pulse)，而曝光值和 reset 值間的電壓差會 couple 到 comparator 的 Vsig 上，因此 Vsig 也會向上升一段電壓，接著和 ramp 去做比較，當 ramp 超過 Vsig 時，comparator 即會轉態(cmp_out 由 high 掉至 low)。

當進入 AD conversion(Vsig 開始和 ramp 比較)時，counter 也同時開始計數，直到 comparator 轉態，deglitch logic 會把 counter 關掉，在 row time 的最後將值存入 latch，

在下一個 row time 時，column control 會依序選 column，將 column 上存的值送出 10 bit output。

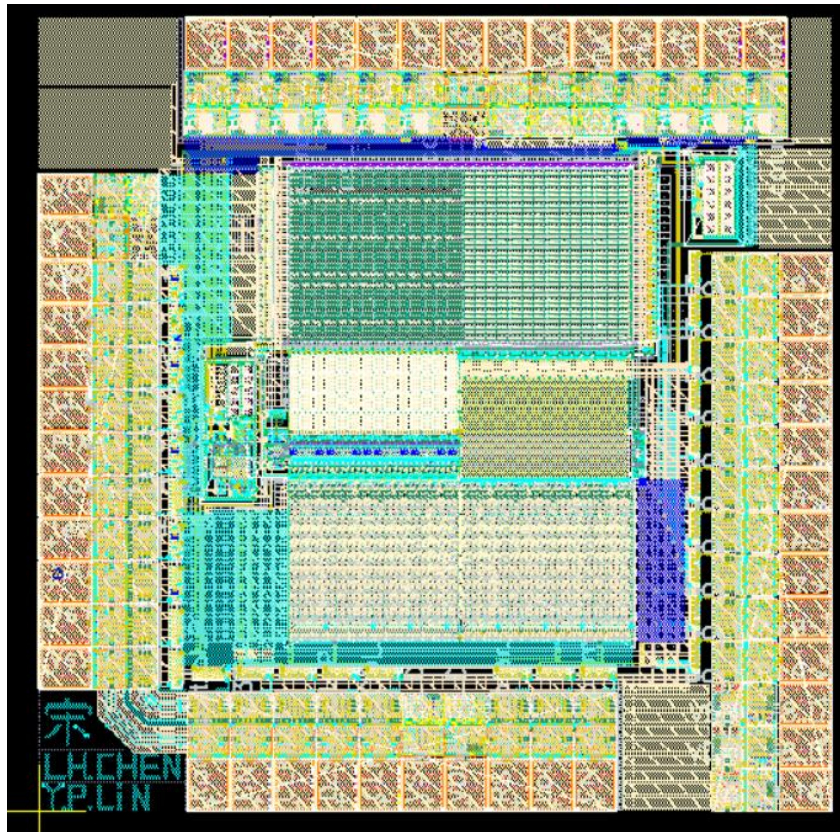


圖(四)：PWM pixels 由 pixel 到 column circuit 之 pre-sim 結果

PWM pixel 曝光後，photodiode 電壓值會和灌入 pixel 的 ramp 訊號做比較，在 pixel output(pix_out)輸出一個 pulse width，接著送到 column 上由 deglitch logic 和 counter 做計數。比較不同的是 PWM pixels 是在 row time 最後才做 reset，3T pixels 則是 row time 前面就會 reset。

這裡圖上 10 bit output 在 row time 一開始時，會藉由 column control 依序送出六個 column 在上一個 row time 所存的數字。

Layout



圖(五)：佈局圖

三、心得感想(Reflections & Thoughts)

1. 陳力豪

在開始實作這個類比晶片的專題之前，我對於電路以及電子學的放大器也僅止於會解課本題目的程度而已。儘管已經修習完類比電路與設計分析一，在電路規格的調整上也尚未找到一套熟悉的設計方法，大部分還是靠 Try and error 來完成課堂上的 Hspice 作業。不過在專題實作的過程中，為了瞭解電路架構的原理以及修改錯誤的模擬結果，在不斷重新調整電路的循環中，我漸漸抓到「分析電路功能」、「評估偏壓電流」、「考慮小訊號參數的影響」再到「考慮非理想效應造成的誤差」等等設計過程中需要注意的細節。其中讓我印象深刻的一部分是在設計 Differential Input to Single-Ended Output Amplifier 時，學長說偏壓電路的(W/L)與放大器內部對應的(W/L)不是「比例」一樣就好，而是要「完全一樣」，然後再利用並聯的 m 參數去調整 W 的等

效尺寸。在電子學的課堂中，我知道電流鏡可以利用(W/L)的比例來調整複製的電流大小，但是卻沒有提到使用多個一模一樣(W/L)的電晶體再利用 m 參數來調整電流比例或是給予偏壓，可以在畫 layout 時利用對稱或是對齊的特性減少製程偏移 (Process Variation)所帶來的非理想效應。

在專題實作的過程遇到了很多教科書上不曾提到的設計觀念或是架構，多虧了教授以及學長姐的提點才得以解決。也慶幸有專題的經驗，讓我從中認知到類比電路設計的奧妙以及困難之處。在查詢資料、理解電路架構、實際模擬到最後成功下線，這整個過程讓我有無比的成就感，也使我對類比電路產生了更濃厚的興趣。

2. 宋乃仁

能夠順利完成這次的實作專題真的很高興，當中很多過程都是從一開始的無知到逐漸變熟練再到最後能夠成功輸出，付出了團隊的很多心力。無論是讀論文、跑模擬、設計佈局以及晶片下線後續，都可以學到很多新的知識，新的經驗，新的方法，雖然不敢說對以後會帶來什麼影響，但這都是一趟難以遺忘的艱辛且甜蜜的旅程。在這趟旅途中，首先要感謝我的組員們，謝謝他們合理安排並引導了整個流程，而且花費了很多精力跟時間設計與佈局，解決了很多我望而卻步的難題。同時也要感謝指導教授謝志成老師，每週的專題大會都會仔細傾聽並能給予他專業的觀點與建議。最後要感謝辛勤付出的實驗室學長姐們，沒有他們，基本上是不可能完成這次的實作的，他們總能在我們漫無目的時給予方向，遇到瓶頸時給我們相應的幫助從而使問題迎刃而解，並且也是他們每週的監督與鉅細靡遺的指導才能不斷推動著我們在這個旅程中進步。

3. 林耀斌

雖然這份專題尚未結束，但是做到目前為止，已經收穫許多。之前修習類比一及 VLSI 導論時，在晶片設計的流程中只有走到粗淺的 layout 為止，而這個專題帶領我們更進一步，從模擬、core layout，加上 pad 以及佈線，完成一顆完整的晶片，並接著後續的 PCB 設計，最後等晶片回來後，進行最重要的量測，這個專題讓我們走完了完整的下線流程，是得來不易的經驗，我十分感激。

但過程中真的非常辛苦，因為我們多了 layout 以及後續的下線流程，初次下線就要完成這麼多事情讓我很挫折，因為好多事情都是第一次碰，一路上跌跌撞撞，而最後能順利完成都要感謝實驗室的學長姐們，不吝嗇讓我們問問題，在下線的前一個月甚至每天開會幫我們看進度，手把手教導我們，無法想像學長姐有多辛苦，真的十分感謝。還有指導教授謝志成教授，教授一直都很關心實驗室的成員們，即使我們只是專題生，但教授在 meeting 時總是認真地審視我們的報告，給予我們許多思考的機會與反饋，十分感謝教授。