

A 40nm E-TSPC Programmable Frequency Divider and Voltage Control Oscillator for quantum computer's Cryo- CMOS phase-locked loop

一種使用 40 奈米製程運用於量子電腦 Cryo-CMOS 鎖相迴路 的 E-TSPC 可程式化除頻器和壓控震盪器

專題領域：電子領域

組別：A294

指導教授：徐碩鴻

組員姓名：黃光廷

摘要

現代社會中，一台有著數百萬量子比特的量子計算機是熱門研究方向，其運用粒子的量子態能夠同時存在於兩個位置的特性進行計算，強大的運算能力讓量子電腦被視為下一個時代的運算工具，然而在高速發展的背後受限於硬體條件而遇到瓶頸，其中之一需要解決的問題是如何在超低溫接近 4°K 的環境下透過控制電子設備精確的讀取以及操控單個量子比特(qubit)，Cryo-CMOS 是一種將 CMOS 應用於極低溫環境的技術，其使用較小的 MOS 尺度，降低電晶體的閘極電容，減少能量消耗和雜訊產生。其中透過 PLL 鎖相迴路作為校正 Local Oscillator，設計穩定量子態的控制電路。

PLL 鎖相迴路是一種控制頻率以及相位的 feedback 控制系統電路，其功能為控制電路間讀取以及輸出間的傳遞訊號保持相位同步，當 PLL 偵測到相位發生改變後會經由 feedback 調節訊號間的相位差，直到重新同步訊號相位，這也是名為鎖相的原因。而在量子電腦的控制電路中，室溫下的電子電路已經隨著量子比特的操作環境溫度降低而逐漸跟不上量子電腦的使用條件，而這兩學期的實作專題為針對 PLL 電路架構中的 Frequency Divider 以及 VCO 進行重新設計，目的為讓其符合量子電腦操作環境下的需求，規格指標為低功耗以及低 Noise 的訊號輸出，並且分為三個階段進行驗證。

Abstract

In modern society, a quantum computer with millions of qubits is a popular research direction. It uses the property that the quantum state of particles can exist in two positions at the same time for calculation. The powerful computing power makes quantum computers be regarded as inferior Computing tools of an era, however, are limited by hardware conditions behind the rapid development and encounter bottlenecks. One of the problems that needs to be solved is how to accurately read and control electronic devices at ultra-low temperatures close to 4°K. Manipulating a single quantum bit (qubit), Cryo-CMOS is a technology that applies CMOS to an extremely low temperature environment. It uses a smaller MOS scale to reduce the gate capacitance of the transistor, reducing energy consumption and noise generation. Among them, the PLL phase-locked loop is used as a correction Local Oscillator to design a control circuit that stabilizes the quantum state.

The PLL phase-locked loop is a feedback control system circuit that controls the frequency and phase. Its function is to maintain phase synchronization between the read and output signals between the control circuits. When the PLL detects that the phase has changed, it will adjust the signal through the feedback. Phase difference until the signal phase is resynchronized, which is why it is called phase lock. In the control circuit of a quantum computer, the electronic circuit at room temperature has gradually failed to keep up with the operating conditions of the quantum computer as the operating environment temperature of the qubit decreases. The Frequency Divider and VCO are redesigned to meet the requirements of the quantum computer operating environment. The specifications are low power consumption and low noise signal output, and the verification is divided into three stages.

一. 設計發想

1.1 量子電腦的發展與 PLL 電路在其中需要解決的問題

量子電腦是近年來的熱門研究項目，目前進度主要處在理論驗證和實作開發操作模型的發展階段，其強大運算速度和能力的潛能依舊讓無數人趨之若鶩。目前先進的量子電腦演算法，對於實際應用計算的量子位元 qubit 通常需要達到數以百萬的量子處理器配合運算，面對如此大規模同時運算，會透過低溫電子接口技術連接，透過極度低溫的控制系統(Cryo-CMOS Controller)介面來讀取以及控制大量的量子位元執行實際的量子演算法。

PLL 是這個低溫控制系統(Cryo-CMOS Controller)的主要功能 Block 之一，透過 PLL block 同步電路各區塊之間的時脈訊號傳遞，在進行讀取以及控制量子運算的各個功能模組之間避免掉因為相位以及頻率改變傳遞造成處理時的非

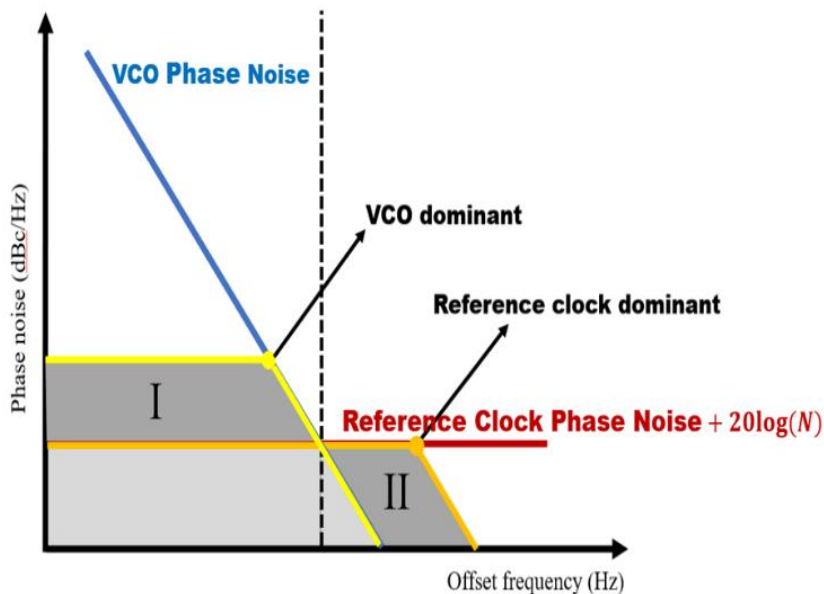
理想效應甚至是訊號扭曲。

但是在目前研究階段，依舊需要在極度低溫的環境下進行量子位元運算，而配套控制的電子電路也都需要具備在接近 4°K 的環境運作的能力，並不是每一種現有存在的電路都能夠滿足此條件。選擇 Cryo-CMOS 是一種將 CMOS 應用於極低溫環境的技術，可用於設計高性能、低功耗的電路，特別是在需要高靈敏度和低雜訊的應用中其使用較小的 MOS 尺度，降低電晶體的閘極電容，減少能量消耗和雜訊產生，提高電路的速度和靈敏度。同時，Cryo-CMOS 技術還可以對電路進行特殊的設計和布局，以減少溫度梯度和溫度漂移等影響。

除了需要要在低溫環境可以保持正常工作的要求外，還要考慮到需要將四周環境溫度降到 4°K ，電路運行的功耗若是過大會造成餘熱產生，會影響到低溫循環系統的運作，因此在設計電路時要盡可能壓低不必要的功耗。

1.2 設計方式

PLL 電路主要可以分為5個 block 組合而成，分別是 Phase and Frequency Detector (PFD)、Charge Pump (CP)、Loop Filter (LF)、Voltage-Controlled Oscillator (VCO) 以及 Frequency Divider。



圖(1) output 端 phase noise(dBc/Hz)-offset frequency(Hz)

設計 PLL 電路頻率輸入端以及頻率輸出端時，因為電路裡面各項 block 都會有著自己模組的干擾和 phase noise，我們會經由電路架構內各項 block 與 reference clock 的 phase noise 之間尋找恰當的迴路頻寬 K_{PLL} 值作為平衡點，迴路頻寬 K_{PLL} 值是 transfer function 中各模組 gain 相乘的值，配合 phase noise 對 offset frequency 作圖可以找到讓輸出訊號達到最低 noise 的值。以圖(1)為例，我們考慮 reference clock (紅線)以及 VCO block(藍線)所產生的 phase noise，最理想的 K 值選擇為紅

線與藍線的交點對應之 frequency 的迴路頻寬大小，可以最小化輸出訊號的 noise (斜線下灰色面積)，若是 K_{PLL} 值迴路頻寬取的過大或是過小，會產生不必要的 outband noise (區塊 I 和區塊 II)，而整體迴路頻寬 K_{PLL} 值又可以看成各 block 的 K 值乘積，表示式為：

$$K_{PLL} = K_{PFD} * K_{LF} * \frac{K_{VCO}}{N}, \text{ where } N \text{ is divide number}$$

$$\text{The Loop Bandwidth} \approx K_{PLL}$$

而其中 K_{VCO} 在實作 VCO 輸出不同頻率時很難利用一組控制訊號就製作出定值，造成整體 PLL 電路 K 值隨著頻段變化而導致迴路頻寬改變，導致與一開始設計的 K_{PLL} 值會有浮動出入，造成不必要的 out-band noise 產生，這在追求低 noise 輸出的量子電腦電路是不希望出現的情況。因此在這兩學期的專題研究中，主要著重於 PLL 電路內模組 Frequency Divider 以及 VCO 的設計，整體目標是最終設計出低功耗、低 phase noise，以及希望在 2.4G-2.7G 頻段內能夠設計出相同的 K_{VCO} 值以讓 PLL 電路更好鎖定迴路頻寬 K_{PLL} 而最小化 noise。

1.3 可程式化除頻器以及 VCO 設計思考及階段驗證方式

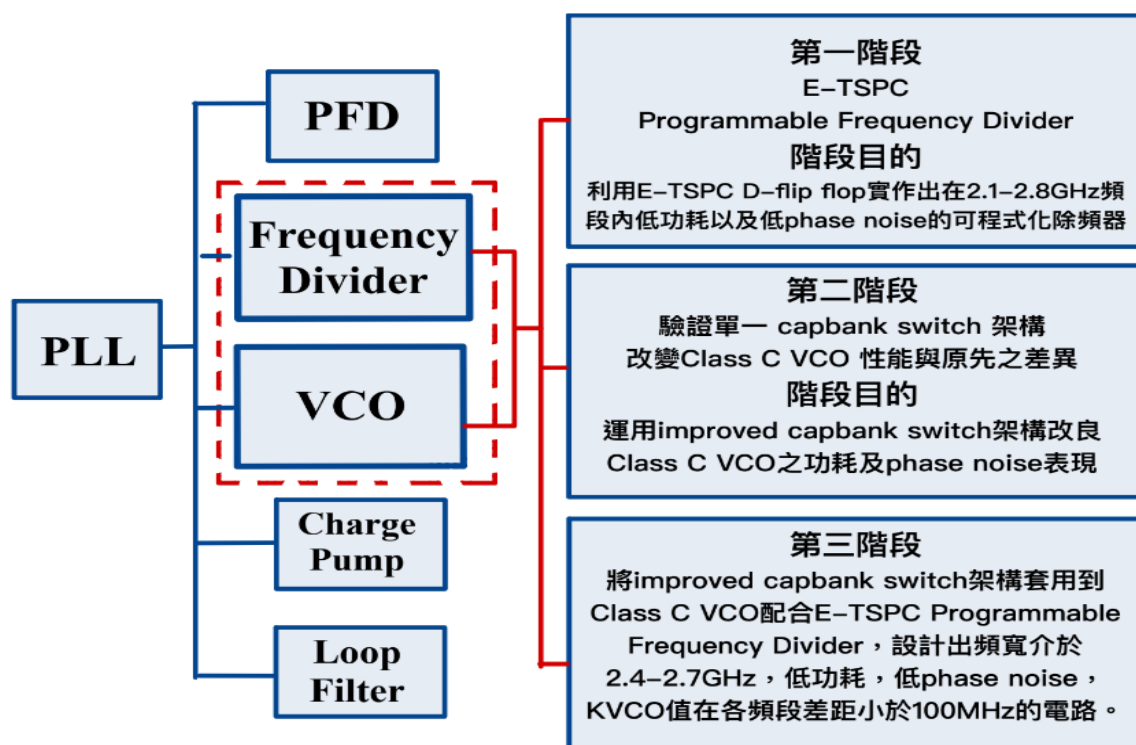
實作專題分為三個階段驗證，本次專題使用的製程為 40nm 製程：

為了滿足量子電腦 Cryo-CMOS 運行的低溫環境條件以及維持量子態運算的穩定性，降低功耗以及低 noise 是我們所追求的，而這兩學期的實作專題主要致力於設計符合以上條件的可程式化除頻器以及 VCO，並且保持 K_{VCO} 的值在輸出在 2.4G/2.5G/2.6G/2.7G 頻率時相近，以及讓 K_{VCO} 的值較為平緩。

第一部分為設計可程式化除頻器，比較 E-TSPC 與傳統 CML 架構的 D-flipflop 特性，其中 ETSPC 架構所具備的低功耗特性是我們所追求的，最後實作出除頻數介於 16-31 的除頻器，第一部分含學習使用 cadence 工具花 3/4 學期的時間。

為了在不同頻率下輸出 K_{VCO} 的值能夠固定以避免產生額外的 out-band noise 輸出，需要讓 VCO 的 output frequency 是維持固定斜率的斜直線，但是利用一組 capbank switch 做為控制訊號的話頻率輸出多是呈現曲線，十分困難達成這個目的，因此決定在設計 VCO 時再增加一組 capbank switch 控制訊號調控 K_{VCO} ，代價是因為多增加一組 capbank switch 代表會有額外的功耗產生，這是我們所不希望看到的，因此**第二部分**是尋找以低功耗、低 phase noise 為特性改良的 capbank switch 架構以及驗證選擇的架構功耗是否能夠達到此目的，設計合適 NMOS size 以及電阻、電容的尺寸後進行比較，這階段花接近 1/4 學期及半個寒假。

第三部分為驗證加上兩組改良後的 capbank switch 架構配合 Class C VCO 架構設計出符合低 phase noise、頻寬介於在 2.4-2.7GHz、 K_{VCO} 值在 2.4GHz-2.5GHz-2.6GHz-2.7GHz 時差距小於 100MHz，再和第一部分設計的可程式化除頻器組合，最後完成 layout，這部份的設計為獨立設計，花約 3 個半月。



圖(2) 實作專題驗證階段流程圖

二. E-TSPC Programmable Frequency Divider

階段目的:

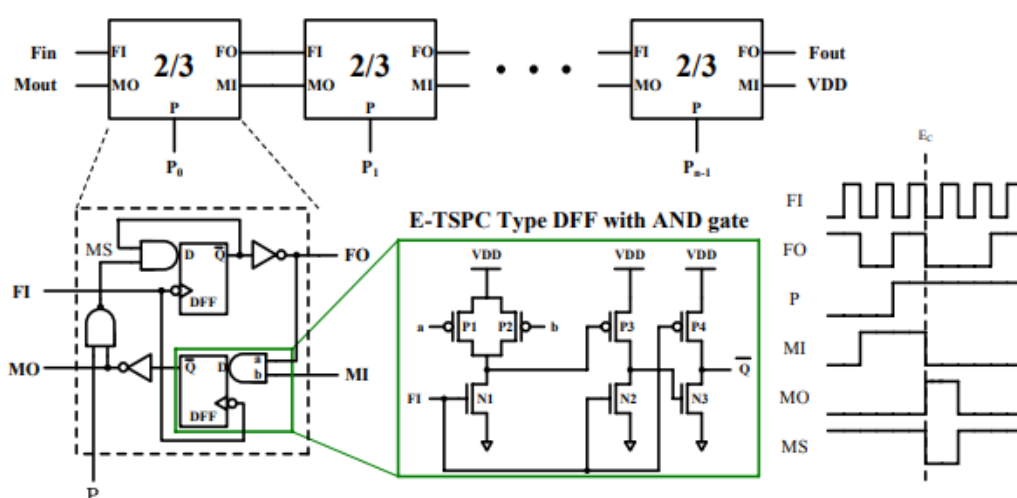
利用 E-TSPC 架構以及 virtuoso 模擬實作出在 2.1-2.8GHz 頻段內利用4bit控制除頻數介於16-31倍的 Programmable Frequency Divider 並且改善功耗和維持低 phase noise。

Working items	SPEC
Technology	TN40G technology
Supply Voltage VDD	0.9 (V)
Power	< 0.6 (mW)
Phase noise at relative frequency 1MHz	< -150(dBc/Hz)

表(1):E-TSPC 可程式化除頻器設計 SPEC

2.1 基本介紹

可程式化除頻器是鎖相迴路 PLL 中，接收到壓控震盪器 VCO 頻率輸出後調節至所需頻率的一塊功能電路，而本階段為了設計出來的可程式化除頻器滿足量子電腦運算處理的需求，還需要有著低功耗、高速、低相位雜訊(phase noise)，同時還有頻寬廣以及靈敏度高等電路特性，其同時能夠透過高敏感度降低 VCO buffer 輸出端的功耗，藉此讓整體 PLL 功耗大幅下降；低相位雜訊讓輸出訊號更加穩定；頻寬廣除了可以滿足 VCO 輸出頻率的變化，還可以更好的抵抗 process-voltage-temperature (PVT) variation。



圖(3): The proposed 2/3 divider cell and timing diagram (E-TSPC)

2.2 E-TSPC 可程式化除頻器運作邏輯

實作 E-TSPC 架構，圖(3)下的 Frequency Divider 使用三個 input 訊號 F_{in} , M_{in} , P_0 , F_{in} 為輸入需要降頻的基礎頻率(2.4GHz), M_{in} 用來輸入 VDD, 而 $P_0(P_1P_2P_3)$ 為控制除頻數介於除16-31倍的控制訊號，當 $P_0=0$ 時 E-TSPC 2/3 block 除頻的效果為除2，當 $P_0=1$ 時 E-TSPC 2/3 block 除頻的效果為除3，以此再配合四級的 E-TSPC 2/3 block，利用4bits $P_0P_1P_2P_3$ 每級決定要輸出頻率除2或是除3的效果，以此製造出除16-31倍的效果。輸出訊號有兩個 F_{out} , M_{out} , F_{out} 為降頻後的頻率， M_{out} 為輸出給下一級的 VDD 控制訊號。

相較於 CML 架構下的 Frequency Divider，E-TSPC 架構的改進是在功耗的差異，E-TSPC 架構跟 CML 架構在同樣一級的情況下，CML 架構使用了四顆 D-FlipFlop，E-TSPC 架構則是改為使用兩顆 D-FlipFlop 外加兩顆 AND gate，而在除16-31的除頻器會使用到4級的情況下，改為使用 E-TSPC 架構，功耗會有將近50%的節省。

2.3 實驗結果

驗證方式:

使用 virtuoso 跑 ADEL, 將 F_{in} 輸入頻率固定在 2.4GHz, 調整 $P_0P_1P_2P_3$ 後跑 transient analysis 驗證除頻功能是否正常運作並計算頻率, 確保波形充放電完整, 對 VDD 的電流取方均根的數值 $P = IV$ 估算功耗, 並跑 hbnoise 模擬驗證 phase noise 保持在穩定且很小的狀態。

$P_0P_1P_2P_3$	對應除頻數	理論值 (MHz)	模擬值 (MHz)	功耗 (mW)	Phase noise at relative frequency 1MHz (dBc/Hz)
0000	16	150.00	151.29	0.445	-157.8
1000	17	141.17	143.24	0.448	-157.5
0100	18	133.33	133.98	0.442	-157.5
1100	19	126.32	127.36	0.439	-157.3
0010	20	120.00	120.44	0.436	-157.4
1010	21	114.29	115.89	0.434	-157.4
0110	22	109.09	110.35	0.426	-157.5
1110	23	104.35	104.86	0.422	-157.5
0001	24	100.00	101.27	0.445	-157.6
1001	25	96.00	96.32	0.446	-157.5
0101	26	92.31	93.76	0.445	-157.5
1101	27	88.88	88.93	0.440	-156.5
0011	28	85.71	86.65	0.432	-156.8
1011	29	82.76	83.27	0.427	-156.5
0111	30	80.00	81.03	0.423	-157.0
1111	31	77.42	77.94	0.418	-156.7

表(2): ETSPC-可程式化除頻器除數功能驗證及在不同除數下功耗及 phase noise 驗證

三. 驗證單一 capbank switch 架構改變 Class C VCO 性能與

原先架構之相異

階段目的:

運用 improved capbank switch 架構改良 Class C VCO 之功耗及 phase noise 表現。

3.1 Improved Capbank type switch

3.1.1 前言

一般情況下，因為製程工藝的差異和 PVT，製造出來震盪器的震盪頻率會有一定比例的誤差，而為了覆蓋到所需要的頻段，震盪器設計時會考量將 tuning range 增廣已覆蓋掉可能產生的頻率差值，但是當 tuning range 一旦增加時，控制訊號本身的干擾會因為 high tuning range sensitivity 而導致輸出調頻過後的訊號有噪音和干擾產生，導致輸出訊號線性度變差，造成 phase noise 變糟而影響訊號的穩定性，並且越大的 varactors 會轉換越多原本無害的 amplitude noise 轉換成有害的 phase noise。

3.1.2 衡量方式

Quality factor (Q) 用來衡量一個調頻震盪器的表現，VCO 中的 resonance tank 的 Quality factor (Q) 會決定整體震盪器的 phase noise 和表現，而電容比值 $\frac{\Delta C}{C_{off}}$ 則會決定目標達到的 tuning range，而兩者的乘積會做為衡量整體效能的指標： $Q * \frac{\Delta C}{C_{off}}$ ，其中 $\Delta C = C_{on} - C_{off}$ 。

設計電路時，考慮到以上種種因素，相較於傳統固定大小的 varactor 會因為過於單調而影響到 tuning range 的範圍，以及因為寄生電容的關係壓縮到原本可調節頻率的範圍，因此選擇使用較小的 varactors 組合一顆 NMOS，並且以外接控制訊號源到 NMOS 的 gate 端，如此一來可以透過調整控制電壓的大小，對電容值進行適當的調變。

分析從兩種情況分別討論：NMOS 開跟關

(1) 當 NMOS 開啟時，因為電容存在的關係，不會有 DC current 直流進 NMOS 的兩端，因此 $V_{DS} = 0$ ，NMOS 會操作在 triode region，可將其視為電阻 r_{ds0} ，因此在 RC 串聯時的 Quality factor (Q) 會等於

$$Q = \frac{1}{2\pi f C * r_{ds0}}$$

其中 C 為電容定值，f 為操作頻率， $r_{ds0} = \frac{1}{\mu C_{ox} \frac{W}{L} (V_{GS} - V_{th})}$ ，

C_{ox} : gate oxide capacitance per area

W:NMOS width, L:NMOS channel length, V_{th} :threshold voltage

(2)當 NMOS 關閉時，此時 NMOS 的阻抗會受到電容的影響，包含由 reverse biased pn-junction 造成的 C_{DB} ，因為 gate 端和 drain 端 overlap 產生的 C_{GD} 都會影響到阻抗。而效能整體評估也能夠經由 transient frequency $f_t = \frac{g_m}{2\pi C_G}$ 轉換形式成：

$$Q * \frac{\Delta C}{C_{off}} = \frac{1}{2\pi f C_D * r_{ds0}} = \frac{g_m}{2\pi f C_G} * \frac{1}{g_m * r_{ds0}} * \frac{C_G}{C_D} = \frac{f_t}{f} * \frac{g_{ds0}}{g_m} * \frac{C_G}{C_D}$$

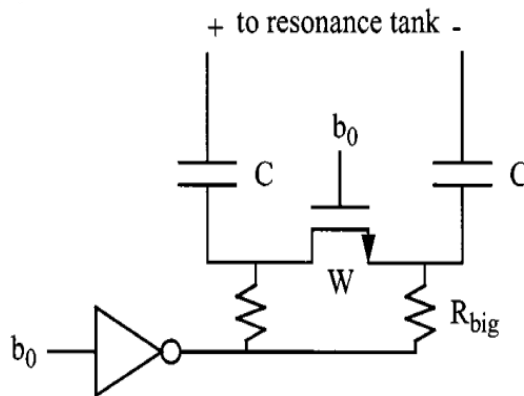
where g_m 是 NMOS 在 saturation region 的 transconductance 以及 $g_{ds0} = \frac{1}{r_{ds0}}$

3.1.3 Capbank type switched tuning of differential CMOS VCO

現在需要將其與 VCO 的 resonant tank 組合，我採用類似兩組圖(3-3)的電路外加兩顆大電阻及一顆 inverter 組成一組 switched tuning of a differential oscillator，其性能的評估方式如 3.1.2.2 所述，兩組不同的地方還少了一顆 NMOS，改為將 NMOS 的 drain 端和 source 端各加上一顆 varactor，除了電路對稱外，因為少了一顆 NMOS 代表少了一倍的 r_{ds0} ，而 Quality factor 又與 r_{ds0} 成反比，因此在減少一顆 NMOS 的情況下，Quality factor 可以翻倍，。

電路下半部分的 inverter 不會影響到太多功耗的原因為其不會消耗到 static power，而且也不會佔用到太多 layout 面積。右下方的大電阻的功用有三項，第一項為確保當 NMOS 關閉時，不會被 inverter 拉回開的狀態，第二項為在開啟狀態時確保 V_{GD} 和 V_{GS} 可以達到最大值，第三項為，在關閉狀態時保持 drain 端的電壓維持在 VDD，這樣可以間接減少 reverse biased pn junction 所造成的 C_{DB} ，因為 C_D 減少也會讓 Q 值增加，提升整體效能。

降低 phase noise 層面，對於上一段所述的種種改良有助於增加 Quality factor 進而降低 phase noise。功耗改善方面，因為電路裡只有一顆 transistor 和一顆 inverter，因為 inverter 也不會消耗到 static power 的緣故，因此可以預估整體的功耗相較於傳統架構也會低上許多。



圖(4)(左) improved capbank switch schematic

3.2 實驗結果呈現

驗證方式:因為此階段主要希望測試 capbank 架構對於改善舊有 VCO 架構是否能夠達到功耗改善、維持頻寬以及降低 phase noise 的目的，因此是將改善的電路架構替換掉已經設計好的一組 Push-Pull Class C VCO 部分區塊，接著利用 virtuoso 跑 tran、hb 及 hbnoise 模擬，得出 VCO 整體的 phase noise 以及功耗後，計算 FOM:

$$FOM = 20 \log \left(\frac{f_{osc}}{\Delta f} \right) - L(\Delta f) - 10 \log (P_{diss} | mW)$$

其中 f_{osc} 代表目標頻率 (Hz)， Δf 代表 relative frequency(Hz)，L 代表 phase noise(dBc/Hz)， $P_{diss} | mW$ 代表 VCO 整體消耗功率(mW)

Work items	舊 Capbank switch	Improved Capbank Switch
功耗(mW)	2.0748	1.884
頻寬(GHz)	2.45~2.70	2.24~2.50
Phase noise(dBc/Hz) at 1M offset frequency	-116~-121.5	-118.5~-123.1
Total current(mA)	3.458	3.141
VDD(V)	0.6	0.6
FOM @2.6GHz	170.53	182.82

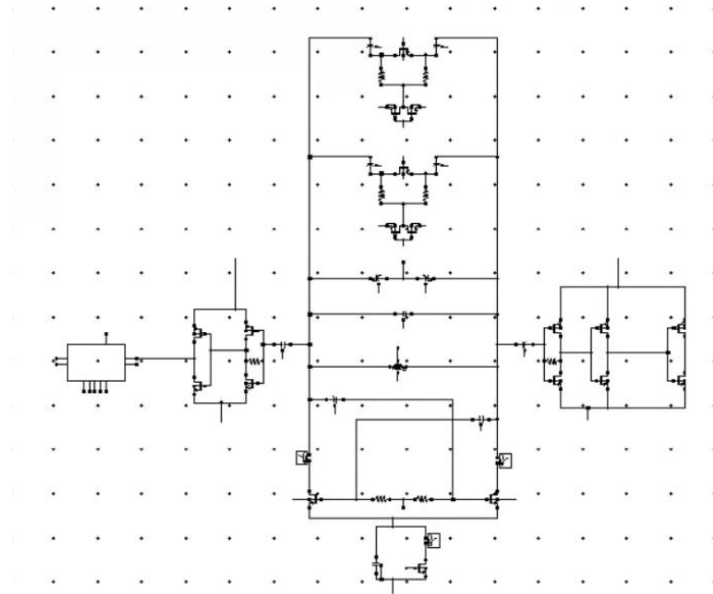
表(3): 前後對比 Capbank switch 性能

四. improved switching tuning capbank VCO + E-TSPC

Programmable Frequency Divider

階段目的:

經過第一階段以及第二階段的功能驗證，將改良過後的 capbank switch 架構套用到 Class C VCO 配合 E-TSPC 的可程式化除頻器，製造出一組頻寬在 2.4G-2.7GHz、低 phase noise、低功耗以及 K_{VCO} 值在 2.4GHz 2.5GHz 2.6GHz 2.7GHz 時的差距小於 100MHz 的電路。



圖(5) improved switching tuning capbank VCO with E-TSPC Programmable Frequency Divider schematic

4.1 設計流程

從 Class C VCO 開始初始設計尺寸:

TN40G 製程，SPEC 決定 $V_{DD}=0.55V$

1. 根據希望達到的功耗決定 I_{bias} ， $P_{VCO} = I_{bias} * V_{DD}$
2. 根據輸出希望得到的震幅大小決定 R_p ， $V_{out} = I_{bias} * R_p$
3. 決定電感大小，因為電感 Q 值越大代表電感中組抗占的比例越少，功耗越少，

因此選擇較大的 Q 值後，根據 $L_p = \frac{R_p}{2\pi Q}$ 得出需要的電感大小。

4. 在決定 MOSFET 尺寸時，需要確保每一顆 MOS 都處在 saturation region 以發揮 Class C VCO 的優勢，並且為了確保 VCO 滿足起震條件，利用半電路分析確保

$$g_m * R_p > 2, g_m = g_{mp} + g_{mn}$$

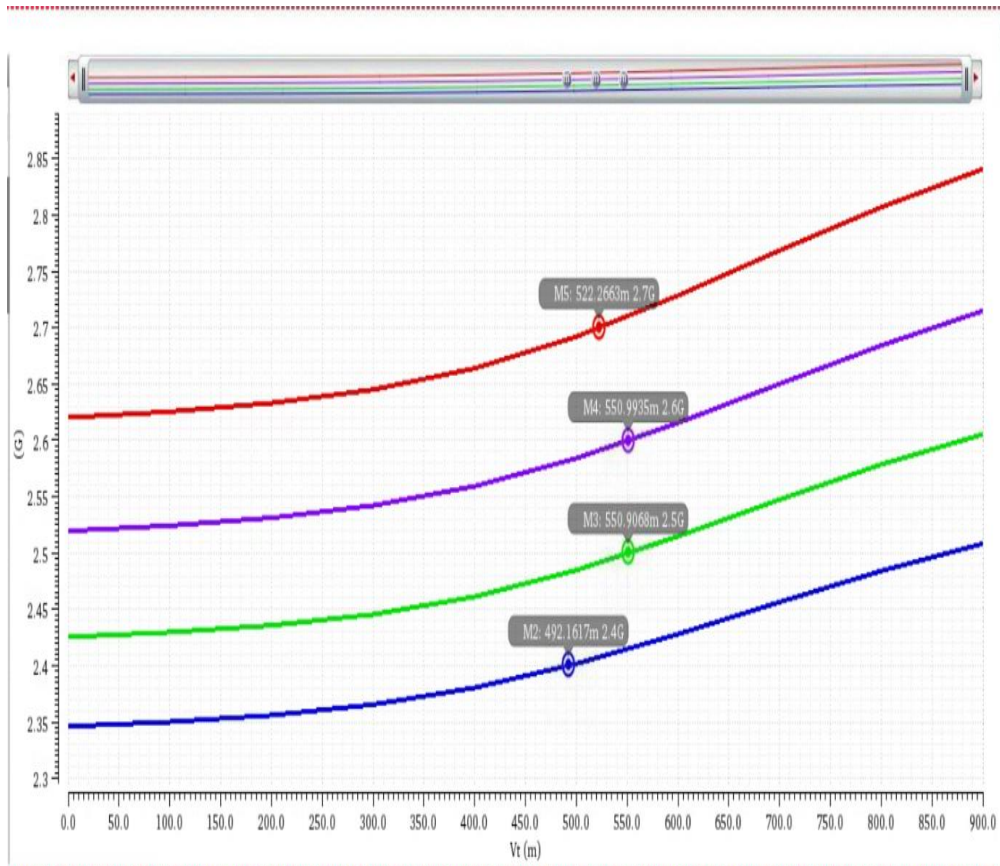
5. 最後根據希望得到的頻段， $\omega = \frac{1}{\sqrt{L*C}}$ ，決定整體的電容值
6. 根據根據模擬出來的 phase noise 以及 harmonic frequency，調整 capbank switch 架構內的電阻值以及電容值大小。
7. 加上 output load 50Ω 電阻及 1uF 電容，設計 buffer 讓波型輸出完整。
8. 與第一部分設計的 E-TSPC 程式化除頻器組合後，確認功能以及波型完整。

4.2 實驗結果呈現

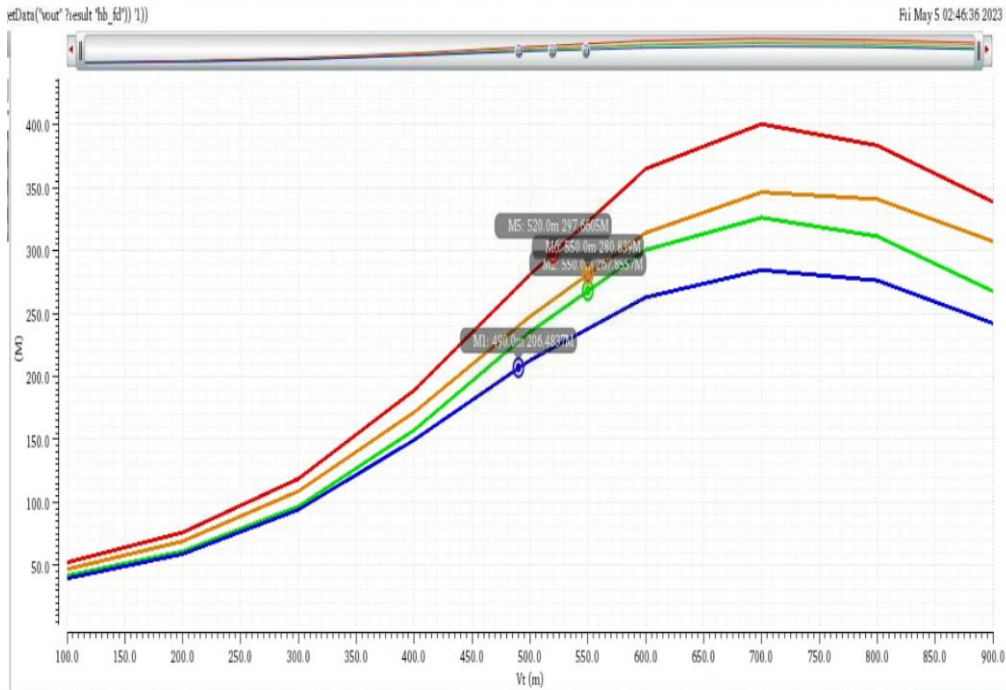
Work items	SPEC	@2.4GHz	@2.5GHz	@2.6GHz	@2.7GHz
VDD(V)	0.55/0.9	0.55/0.9	0.55/0.9	0.55/0.9	0.55/0.9

功耗(mW)	< 3.00	2.70	2.73	2.74	2.79
Phase noise(dBc/Hz) @offset freq. 1MHz	< -145	-154.64	-155.21	-154.63	-154.88
Total current(mA)		4.90	4.96	4.98	5.07
KVCO(MHz/V)	差距不超過 100MHz	206.90	267.84	280.36	297.21
頻寬(GHz)	2.35-2.82				

表(4): Total circuit SPEC and measurement



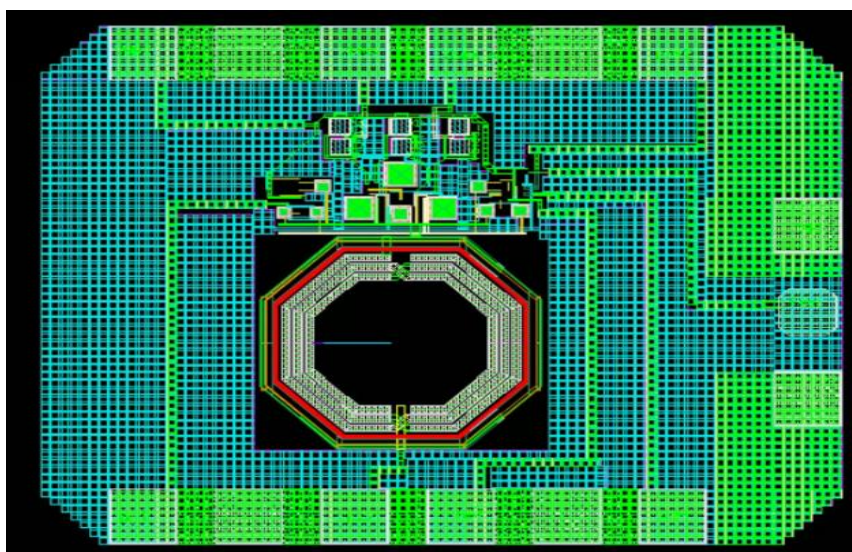
圖(6) harmonic frequency, bandwidth 2.35-2.82GHz,
frequency(GHz)- $V_{Ctrl}(V)$



圖(7) K_{VCO} 值, derivative of harmonic frequency,
 K_{VCO} (MHz)- $V_{Ctrl}(V)$

4.3 layout 設計

這是第一次畫有電容和電感元件的 layout，而在畫 layout 的過程中，因為電路中有高頻導線以及 DC 導線在布局時會交錯，因此有在兩層金屬之間加上第三層金屬接上 GND 作為 Shielding，避免高頻變化下對 DC 導線的寄生電容造成變化。另一方面，為了防範靜電釋放 ESD 的影響，在 bias 電壓以及 VDD 電壓加上 diode connector 保護電路。



圖(8) layout

五. 結論

經由三階段依次驗證過後，第一階段成功設計出一組高速、低功率(0.42mW)、低 phase noise(-157dB/Hz)的一組根據 E-TSPC D-flipflop 的可程式化除頻器，經過測試後，除頻器可以在 VDD=0.9V 的情況下達到 2.4G-2.8GHz，滿足 PLL 電路對量子電腦運作條件的需求。

第二階段進行的是與前人所作 VCO 性能之對比，在不改動 VCO 本體架構的情況下，也就是都採用 Class C VCO 作為基本架構的情況下，改動 capbank switch 架構後進行設計參數以及模擬後，得出改良後的 capbank switch 確實能夠達成較低功耗(1.884mW)、低 phase noise(-123dB/Hz)的成果，為下一階段的創新想法鋪下基礎。

第三階段為創新，透過改良後的 switch capbank 架構降低功耗的情況下，使用兩組 switch capbank 控制訊號目的是為了得到在不同頻率輸出下有著相同的迴路頻寬 K_{VCO} 值以避免掉不必 PLL 輸出端不必要的 noise，最後設計出的 K_{VCO} 值雖然未能夠圓滿達成目標，但其大幅度縮減了 K_{VCO} 的差距，降低總迴路頻寬 K 值的變化，為運用在量子電腦領域的 PLL block 達成滿足低溫環境的低功耗要求以及避免影響量子態穩定性的低 noise 要求。

六. 心得感想

在這兩學期的實作專題中，十分感謝徐碩鴻教授以及陳治豪學長的專題教學，徐碩鴻教授在開始時提供研究方向與期末時驗收實驗成果和提供改進的想法意見、實驗室的研究生陳治豪學長領導我實作專題的學習以及研究方向，在其研究領域量子電腦相關的 PLL 電路上進行優化以及參考 paper 改進其先前可程式化除頻器以及 VCO 的電路架構，每週進行 meeting，最後再次感謝徐碩鴻教授以及陳治豪學長讓我能夠在實作專題階段完整的接觸類比電路設計完整的設計流程，對未來的職涯規劃有更深刻的理解。