

Implementation of spiking neural network

脈衝神經網路之電路設計

組別：A23

組員：何家緯、陳彥文、邱培誠

指導教授：鄭桂忠

ABSTRACT

近幾年最火熱的主題無非是人工智能，但是目前依靠硬體設計模擬生物神經元的實驗成果卻很少。Izhikevich 模型則是目前比較可行的方案。透過類比電路的設計，能夠做到小尺寸但是能模擬出約 20 種神經元的 spike，其主要原理是模擬細胞膜的電位的波形，但因為實踐上的原因而把所有電壓轉換成電流做運算，且因為在 sub-threshold 區間運作因此功耗很小。另外，我們在每個神經元旁連上一些額外電路，即 Excitatory synapse circuit，去模擬兩個神經元之間的關聯性會隨著 spike 間的時間差而發生變化，也就是學習的過程。本次專題我們最後用 Hspice 模擬出約 5 種神經元 spike，在 Excitatory synapse circuit 的部分也有模擬出神經元之間的關聯性的改變。

INTRODUCTION

關於這次的專題，我們最後的電路設計架構如圖 1 以及圖 2。圖 1 是關於 Izhikevich neuron 的電路設計，而圖 2 則是 Excitatory synapse circuit，其內容包含 Bistability、STDP、CMI。

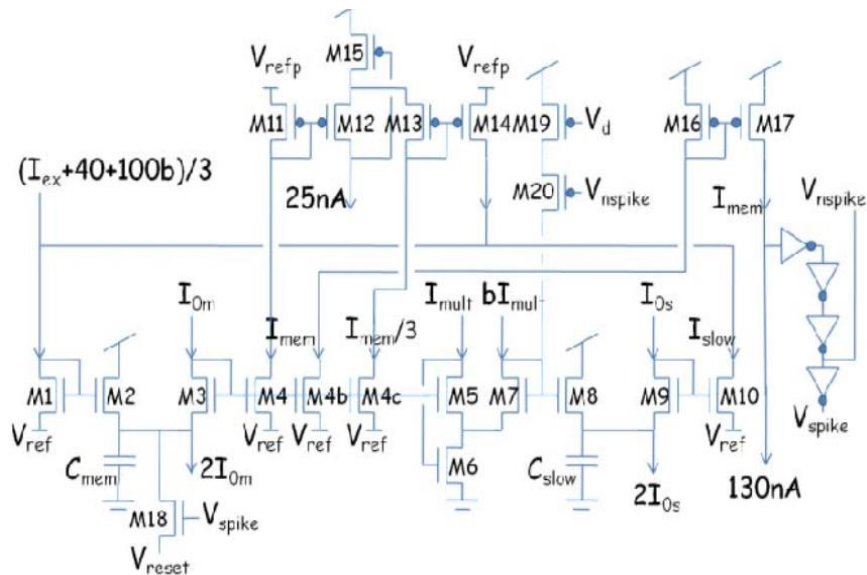


圖 1，Izhikevich neuron 的電路架構

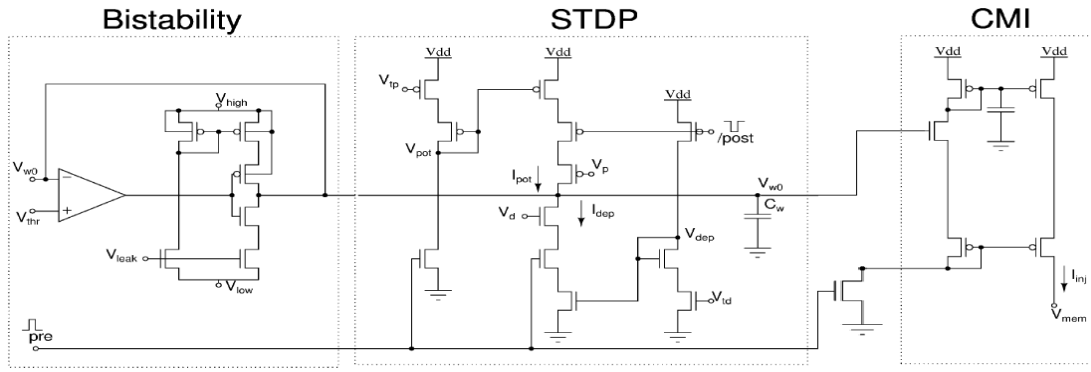


圖 2，Excitatory synapse circuit

一開始，先從 Izhikevich neuron 開始介紹。根據 Izhikevich model 之數學式，經過轉換後，可以用在電路上進行模擬的公式如下：

$$\tau_{mem} \frac{dI_{mem}}{dt} + I_{mem} = \frac{1}{3} \left(\frac{I_{mem}^2}{25} + 40 + 100b - I_{slow} + I_{ex} \right) \quad (1)$$

$$\tau_{slow} \frac{dI_{slow}}{dt} + I_{slow} = bI_{mem} \quad (2)$$

$$\text{If } I_{mem} > 130[\text{nA}], \text{ Then } I_{mem} \leftarrow c \text{ and } I_{slow} \leftarrow I_{slow} + d \quad (3)$$

而这三條式子，我們可以在 tau-cell 之電路架構上進行模擬，如圖 3。

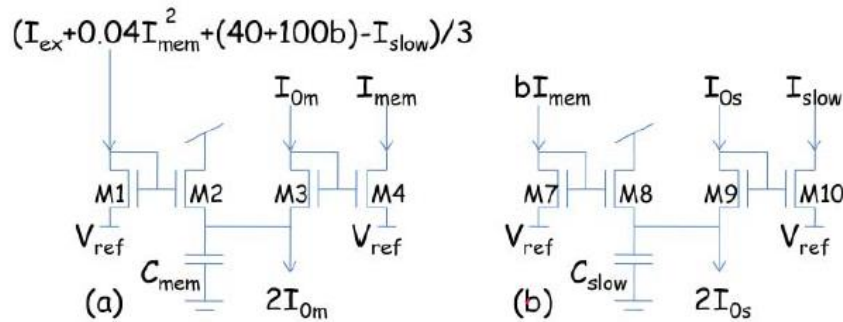


圖 3，Tau-cell 之膜電位以及恢復變量之電路實現

首先，根據圖3之電路架構，假設此電路是操作在 Weak inversion，因此，可以使用 translinear principle 之定理，如下(4)式：

$$I_{M1}I_{M3} = I_{M2}I_{M4} \quad (4)$$

而從圖3之(a)可知，流經 C_{mem} 之電流大小會是 $I_{M2} - I_{0m}$ ，因為流出 M3 之電流總量為 $2I_{0m}$ ，加上流進 M3 之電流值為 I_{0m} ，因此，會有大小為 I_{0m} 的電流值從 M2 分流過來，如(5)式：

$$C_{mem} \frac{dV_{mem}}{dt} = I_{M2} - I_{0m} \quad (5)$$

接著，依據操作在 weak inversion 之電流公式可知，M3與 M4有(6)式此關係(忽略閘極電容)：

$$I_{M4} = I_{M3} e^{\frac{V_{mem}-V_{ref}}{U_T}} \quad (6)$$

再來，將(6)式之等式左右兩邊對 t 微分，可得(7)式：

$$\frac{dI_{M4}}{dt} = \frac{I_{M4}}{U_T} \frac{dV_{mem}}{dt} \quad (7)$$

然後，將(7)式代入(5)式，並進行 translinear principle 之轉換可得(8)式，與(1)(2)式之關係式是相符合的，證明了生物神經上之溝通模式可用電路設計來模擬出來。

$$\tau_{mem} \frac{dI_{M4}}{dt} + I_{M4} = I_{M1} \quad (8)$$

$$\tau_{mem} = \frac{U_T C_{mem}}{I_{0m}} \quad \tau_{slow} = \frac{U_T C_{slow}}{I_{0s}} \quad (9)$$

最後，將膜電位電路以及恢復變量電路組合，並透過適當地簡化可得完整的 Izhikevich neuron circuit，如：圖1。

接著，則是 Excitatory synapse circuit 的部分。

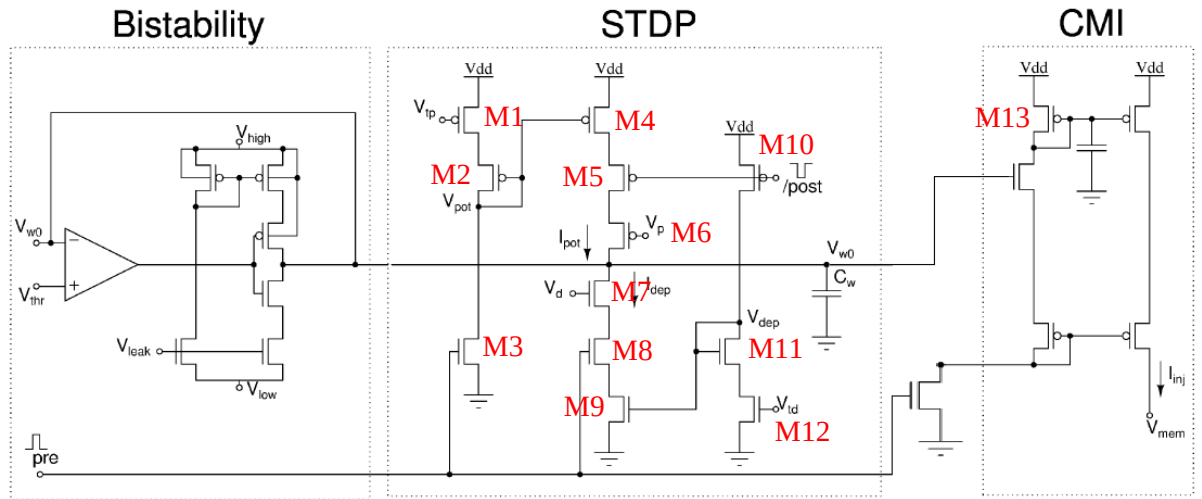


圖 4，有標註的 Excitatory synapse circuit

Bistability：

這個電路的功用在原理分析中有稍微提及，目的就是將拉到 High Level 或者降到 Low Level，而實作方法是在一開始的地方加上一個比較器，將 V_{w0} 與 V_{thr} 做比較 (V_{thr} 接到比較器的正端； V_{w0} 接到比較器的負端)，如果 $V_{thr} > V_{w0}$ 的話，比較器輸出就會是高電壓，會使 NMOS 的部分導通，進而將 V_{w0} 拉到 V_{low} ；反之，如果 $V_{thr} < V_{w0}$ 的話，比較器輸出就會是低電壓，會使 PMOS 的

部分導通，進而將 V_{w0} 拉到 V_{high} 。

STDP (Spike-Timing Dependent Plasticity)：

本電路主要是根據前後脈衝的時間差來決定權重的大小。

一開始先討論的一種情況：前一級神經元的脈衝(pre)比後一級神經元(post)還早，此時M3會導通， V_{pot} 的電壓會下降，M4也會暫時導通。當脈衝結束時，M3會關閉， V_{dd} 會對 V_{pot} 充電，要讓 V_{pot} 回到初始電壓會需要一段時間，在這段時間內M4都會維持開啟，若post脈衝在這段時間內產生的話，M5就會導通，讓 V_{dd} 對電容(C_w)充電，M7、M8則是電晶體提供電阻性負載，若pre跟post脈衝時間差越小，表示M4、M5兩者同時導通的時間越久，即 V_{dd} 對 C_w 充電的時間越久。若 C_w 電壓越大，就表示權重越大，pre跟post的相關程度就越大。

第二種情況是：如果當 post 脈衝比較早發生時，M10 會導通， V_{dep} 電壓會上升，接著 M9 也跟著導通。當 post 脈衝結束時， V_{dep} 電壓會隨著M11、M12下降，在 V_{dep} 電壓回復之前，M9 都會保持開啟，此時若 pre 脈衝在這段時間內產生的話，M8 就會導通， C_w 就會放電。如果 pre 跟 post 脈衝時間差越小，表示M8、M9兩者同時導通的時間越久， C_w 電壓就會越低。但由於 post 脈衝較 pre 脈衝早發生，兩者應該是負相關，且 C_w 電壓越低表示兩脈衝的時間差越小，即兩者的負相關性越大。

CMI：

CMI 是 current mirror integrator，當 pre 脈衝產生時，權重將會被設定成 V_{w0} (C_w 電壓)，然後 V_{w0} 會被注入 CMI 的積分電容，進而導致 I_{inj} 隨著上升並且注入下一層神經元，達成輸入電流與權重相成的功能。

而這裡則是模擬出來的 Izhikevich neuron 以及 spike 在不同時間差下之不同電容值。

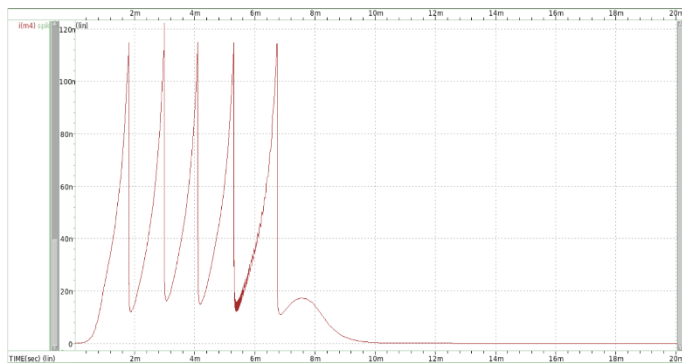


圖 5，Phasic spiking

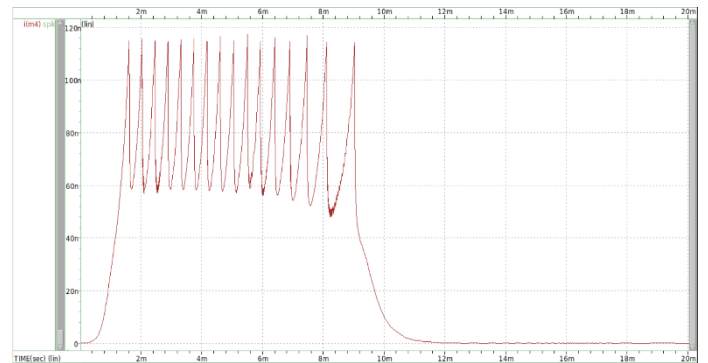


圖 6，Phasic Bursting

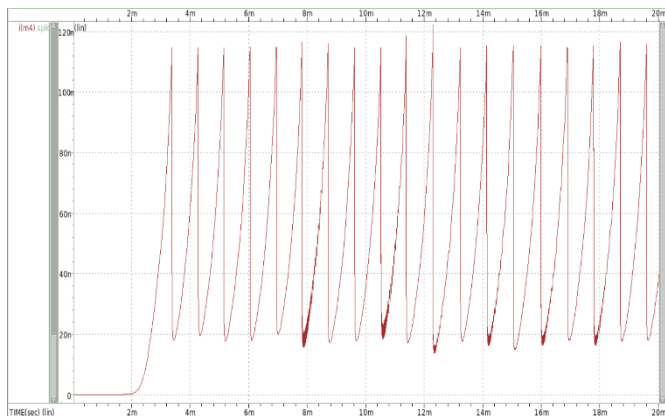


圖 7，Spike frequency adaption

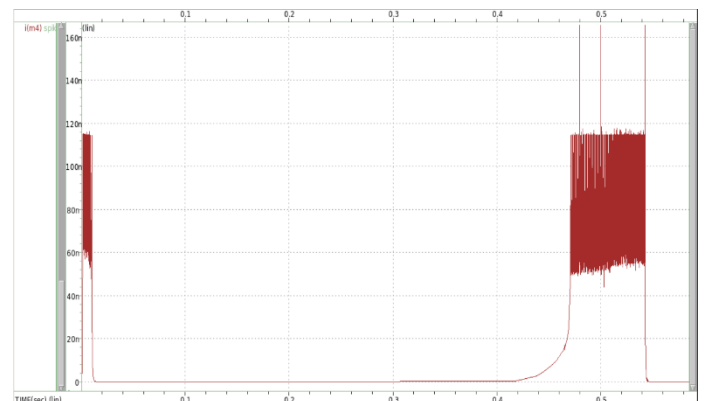


圖 8，Tonic Bursting

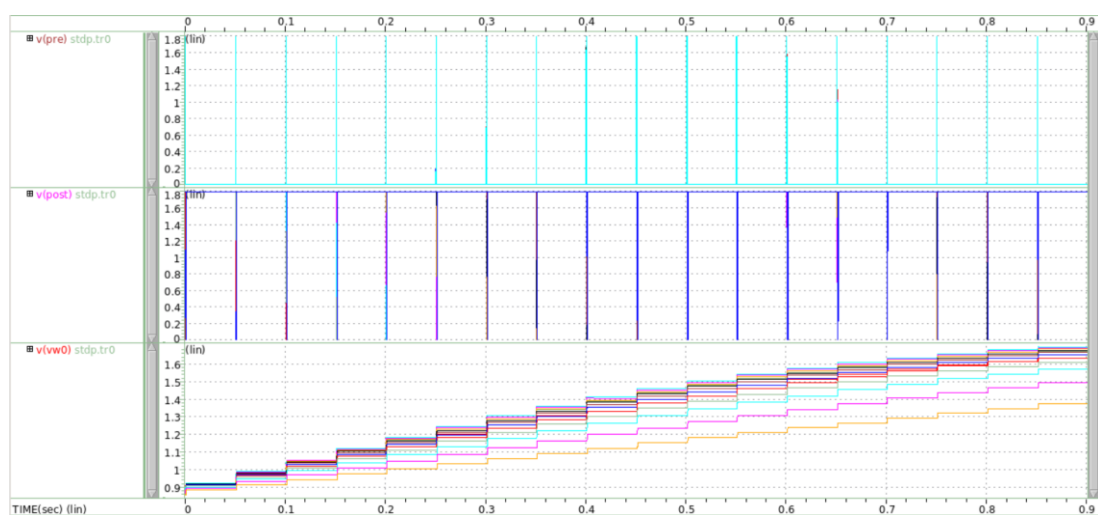


圖 9，The waveforms of synapse

心得感想：

最終我們做出來的波形與原本論文上的已經相當接近，在Izhikevich model的部分已經能模擬出多種神經元的spike，這部分我們是有找到論文中模擬用的matlab數據，透過上面的參數去相對應調整電路上的input，最後與matlab的波型基本上一樣。此外我們也融合了其他論文中的電路和概念，合成出一個比較完整的架構，做到仿神經元之間的運作。

目前SNN網路這個構想似乎還處於一個只能模擬而還沒進入到實際應用的階段，因為生物上的許多神經行為也還沒被完全理解，而類比電路的設計難度也很高，若要實際做出仿生的物體那麼勢必在功耗和體積上都要更加精進。在這種情況下，大家都選擇先往機器學習的領域發展，因為是依靠數學軟體演算法，無須煩惱電路上的問題，也比較快能進入應用層面。

之後期望能在多個neuron model連接起來之後，再做後續的模擬(post-sim)，目前只有單一neuron的模擬，在STDP的部分也只是給模擬的input spike訊號，我們認為若是多個電路組裝在一起之後必定會出現很多相容性的問題，因此這部分需要花一些時間解決。

在解決問題方面，由於類比電路的調整本來就不容易，模擬時電路的表現也會受到一些小參數所影響，會和我們一開始預設的結果有所落差，加上Izhikevich model運作在 subthreshold 之下，因此我們通常在調了一兩天仍然沒有頭緒的話，就會詢問研究生該怎麼著手，他再告訴我們可能是哪個部分沒調整好或是電流沒有滿足規則，我們再修正我們的，通常就解決了。

未來幾年內希望我們能把SNN電路應用化，或許很多方面都需要特殊化的設計(如材料和供電)，但是相信若要真正創造人工智慧的裝置，那麼SNN電路將會是未來的趨勢。