

國立清華大學 電機工程學系

實作專題研究成果摘要

A 9-bit SAR ADC with Improved Internal  
Clock Generator and SAR Controller

改良式內部時脈產生器及連續漸進控制器之九位  
元連續漸進式類比數位轉換器

專題領域：系統領域

組別：B430

指導教授：鄭桂忠 教授

組員姓名：丁駿凱、游子賢

研究期間：113 年 1 月 20 日至 113 年 11 月 18 日，共 10 個月

## 摘要

連續漸近式類比數位轉換器(Successive Approximation Register Analog-to Digital Converter, 簡稱 SAR ADC)的運作原理是藉由比較器 (Comparator) 對電容式數位類比轉換器 (Capacitive Digital-to-Analog Converter, 簡稱 CDAC) 的輸出電壓進行比較, 並運用二分搜尋演算法 (Binary Search Algorithm) 逐次得到各位元的數位輸出。

SAR ADC 因為低功耗、小面積及架構簡易的特點在中解析度的 ADC 領域廣受青睞, 然而因為精度和線性度受限於 CDAC 電容陣列的匹配度, 導致其在面對高解析度的設計需求時容易遇到瓶頸, 所幸的是此問題可藉由採用較大的單位電容提升匹配度而改善。然而因為 SAR ADC 的速度主要受限於電容陣列恢復穩定所需的時間(settling time), 所以採用較大的單位電容也意味著速度方面的受限, 導致其精度與速度的性能形成兩難。

本專題實作了一個九位元 SAR ADC, 並且採用兩項改良來改善上述精度與速度的性能問題。其一為改良式內部時脈產生器, 其使得 SAR ADC 能夠依據陣列中正在充放電的電容大小來調整比較時脈的週期長短, 並且運用比較時間和電容穩定時間的時長差異來調整時脈 high/low 的寬度, 藉此減少比較器的閒置時間並且大幅提升操作速度。除此之外, 本專題亦採用一種改良式連續漸進控制器(SAR Controller), 其針對舊有版本中的關鍵路徑(Critical Path)進行改善, 更進一步提升了整體的操作速度。經由上述兩項改良後, 在滿足 SAR ADC 同樣的精度規格(ENOB)情況下, 每秒的採樣數從一千四百萬次提升至兩千五百萬次, 使其速度性能得到 72.4%的提升

## 一、研究動機

在現今數位化發展的時代，如何將生活中的類比訊號準確且快速地轉換成數位資料一直是重要的課題，因此對於類比數位轉換器(ADC)的研究正迅速且多樣化地蓬勃發展。在 ADC 的領域中，較常見的架構包含 SAR ADC, Delta-Sigma ADC, Flash ADC 和 Pipeline ADC 等，而其中 SAR ADC 因為其低功耗、小面積及架構簡易等特點在中至高解析度的技術應用中廣受青睞。

然而隨著技術發展，對於更高解析度的應用需求逐日增加，如何解決 SAR ADC 在高解析度應用時會導致精度下降的問題成為其技術發展的必要挑戰。近年來已有許多研究提出各種架構來改善此問題，然而這些改良都不可避免地須在 SAR ADC 的精度、速度和架構複雜度之間進行 Trade-off，因此將不同研究的改良架構進行結合並且提高 SAR ADC 的整體性能便成了本專題的研究動機。

## 二、研究目的

由於 SAR ADC 的精度和線性度受限於電容式數位類比轉換器(CDAC)中電容陣列的匹配度，因此導致其在面對高解析度的設計需求時容易遇到瓶頸，所幸的是此問題可藉由採用較大的單位電容提升匹配度而改善，然而 SAR ADC 的速度主要受限於電容陣列恢復穩定所需的時間(settling time)，所以採用較大的單位電容也意味著速度方面的受限，導致其在精度與速度的性能形成兩難。

本專題的研究目的在於將參考文獻[1]和[2]各自的改良架構進行結合，實作出一個具改良式內部時脈產生器(Internal Clock Generator)及連續漸進控制器(SAR Controller)的九位元 SAR ADC，使其在保有精度規格(ENOB)的情況下提升 SAR ADC 的取樣速率(Sampling rate)並且維持架構簡易性。

## 三、SAR ADC 架構簡介

圖(1)為本專題實作之 SAR ADC 架構圖，以各色彩區分不同電路部分：

### 1. 紅色部分：

此部分屬於 Sample & Hold，用於取樣類比的輸入電壓，本專題採用 Bootstrapped Switch 的架構設計，使得在取樣過程中能保有良好的線性度。

### 2. 黃色部分：

此部分屬於 CDAC，以  $2fF$  為單位電容所形成的電容陣列，除了用於維持取樣到的輸入電壓之外，也是將電容下極板電壓進行切換造成的影響傳遞至 Comparator 輸入的媒介。

### 3. 綠色部分:

此部分屬於 DAC Switch，會根據所接收到的控制訊號依序將對應的上下端電容之下極板電壓切換至 VDD 或 VSS，藉此達到連續漸進的切換效果。

### 4. 藍色部分:

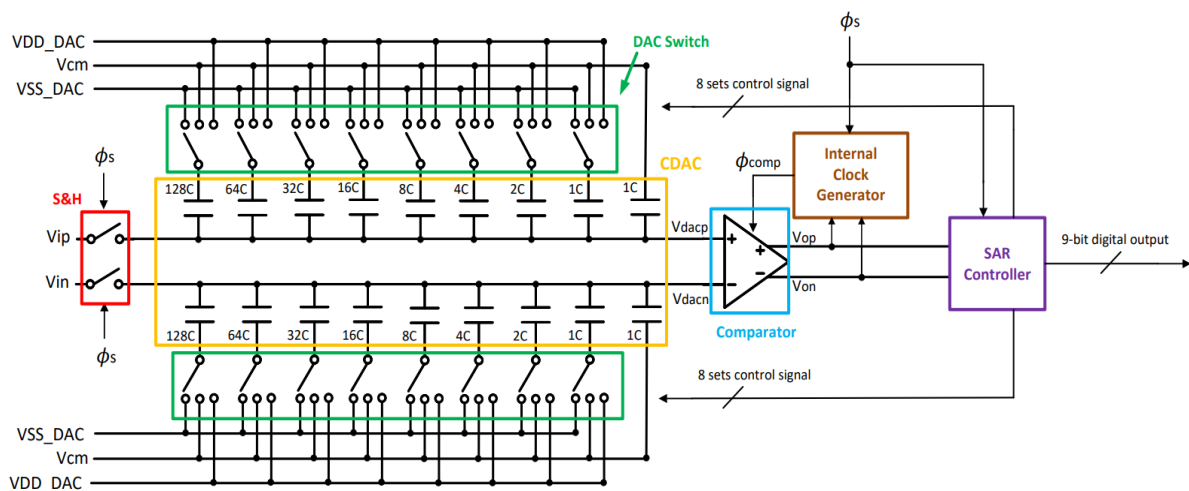
此部分屬於 Comparator，用於比較 CDAC 上的電壓值並依序產生九次比較結果，而比較結果會傳遞至 SAR Controller 產生控制 CDAC 切換之訊號。本專題採用 Dynamic Comparator 架構，並且設計達到 Comparison time 小於 0.8ns 以及 Noise Sigma 小於 0.25LSB。

### 5. 咖啡色部分:

此部分屬於 Internal Clock Generator，是本專題進行改良的設計之一，其用於生成 Comparator 的 clock 訊號。經由改良過後，其能針對不同電容所需的 settling time 而進行 clock 訊號時長調變，使得整體運作更有效率。

### 6. 紫色部分:

此部分屬於 SAR Controller，亦是本專題改良的設計之一，其用於將比較結果轉為數位輸出並且產生對應的控制訊號傳遞至 DAC Switch 進行切換。



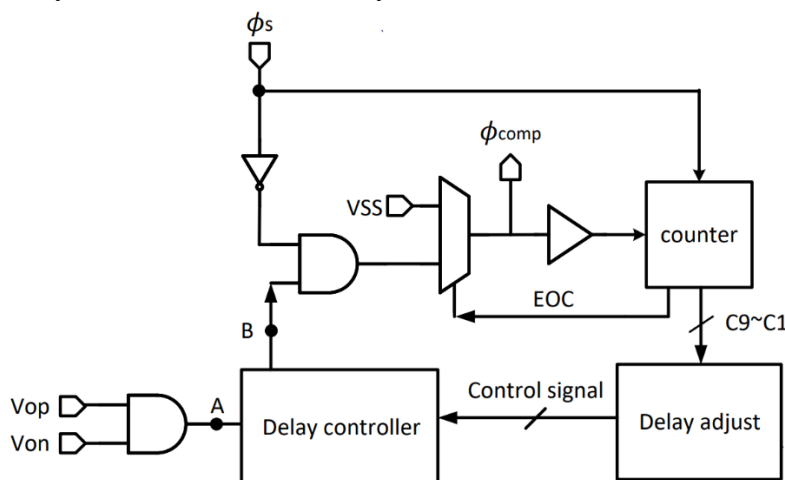
圖(1) SAR ADC architecture (自行繪製)

## 三、Internal Clock Generator

傳統 Internal Clock Generator(以下簡稱 ICG)架構不會針對個別電容所需的 settling time 而生成對應的 clock 訊號，因此所有 clock 週期皆須以 worst case 來設計(即最大電容的 settling time)，而這導致許多時間被浪費也因此操作速度被侷限。

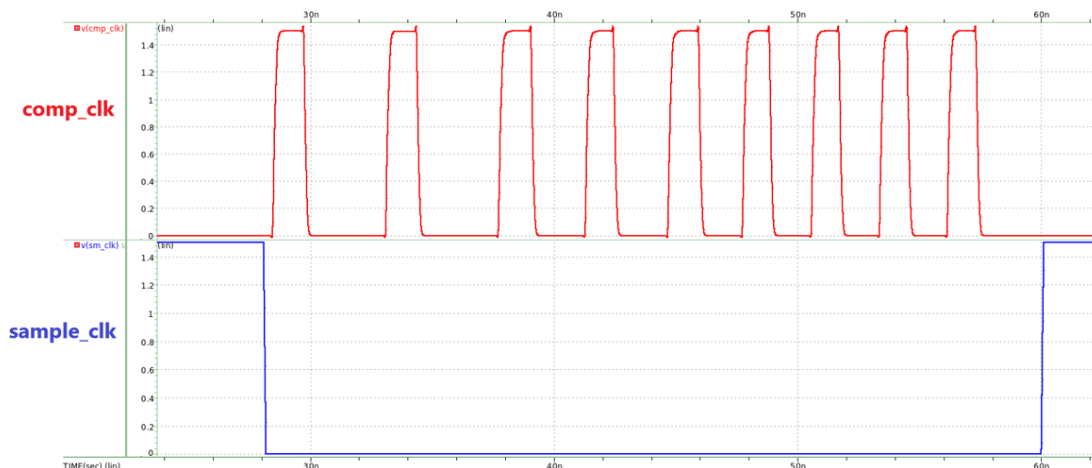
為解決上述問題，本專題採用圖(2)具有可調變功能之 ICG 架構，內部的 Counter

會計算比較次數來判斷 CDAC 中的哪組電容要進行 settle，並且將此訊息傳遞至 Delay Adjust 來控制 Delay Controller 所需的 delay 時長，藉此達到最有效率的時間分配。



圖(2) Improved ICG architecture (自行繪製)

除了調變 clock 訊號能有效分配時間之外，由於 comparison time 相較電容 settling time 還要短( $\text{comparison} < 0.8\text{ns}$ ,  $\text{settling}: 1.2\sim 3.1\text{ns}$ )，而代表 clock 訊號的 high/low pulse width 並不需要相等，因此我們又進一步針對 Delay Controller 內部的 buffer 進行改良，使得 clock 訊號有較強的 falling ability，而採用這些架構後最終的 clock 訊號如圖(3)所示。

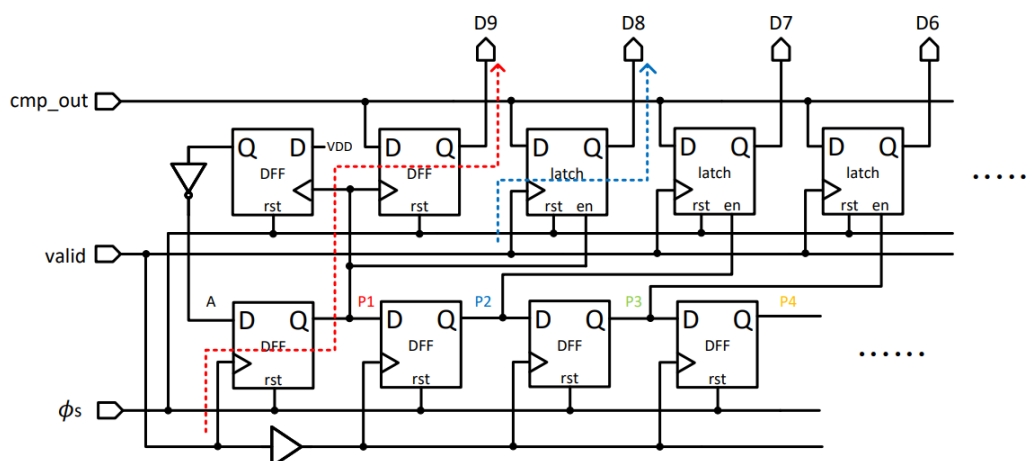


圖(3) Comparator clock: Improved ICG (@25MS/s Sampling rate) (自行繪製)

## 四、SAR Controller

圖(4)中紅色線段為傳統的 SAR Controller 架構從 trigger 到輸出數位值的 critical path ( $T_{\text{delay}} = 2T_{\text{diff},\text{clk}-Q}$ )，為了改善此 critical path 較長的問題，本專題採用了圖(4)的改良架構，將傳統架構中的上排 DFF 改為具有 enable 功能的 latch，藉由此設計可使

整體的 critical path 縮短為圖(4)中藍色線段( $T_{delay} = T_{latch}$ )。縮短 SAR Controller 的 critical path 除了能加快數位輸出的過程，也能加快傳遞控制訊號至 DAC Switch 的過程，進而確保電容能在下一個比較周期前完成 settling。實測發現改良後的 delay 由 0.58ns 縮短至 0.23ns，使效能得到大約六成的提升。



圖(4) Critical path: Improved SAR Controller (blue path) (自行繪製)

## 五、量測結果

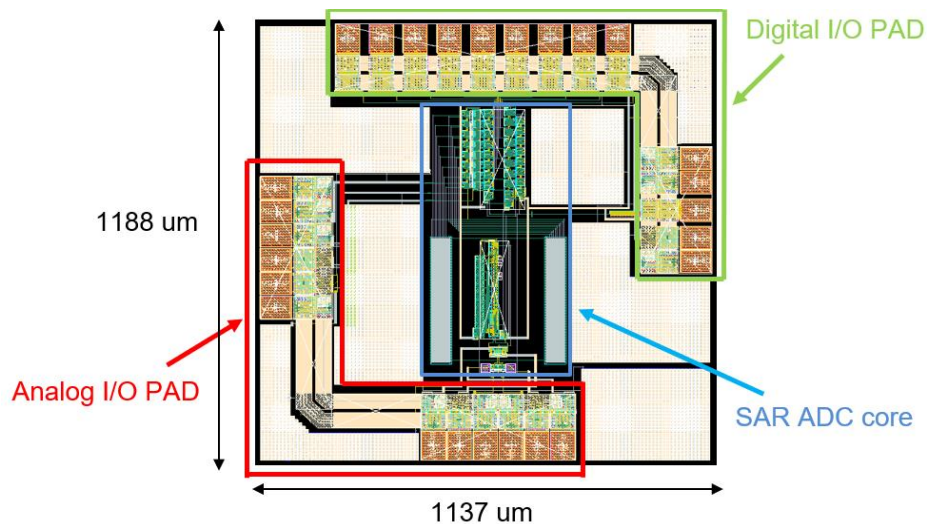
本專題的 SAR ADC 設計以  $ENOB > 8.5\text{bit}$  作為 SPEC，而最終實作出的 pre-sim 和 post-sim 量測結果皆能滿足此 SPEC，並且將取樣速率從未改良架構的 14MS/s 提升至改良架構的 25MS/s。

| Performance Table   |                |                 |
|---------------------|----------------|-----------------|
|                     | Pre-simulation | Post-simulation |
| Process(nm)         | 180            |                 |
| Resolution(bit)     | 9              |                 |
| Supply Voltage(V)   | 1.5            |                 |
| Sampling rate(MS/s) | 25             |                 |
| Input Swing(V)      | 2.98           | 2.88            |
| Power(mW)           | 2.104          | 3.171           |
| SNDR(dB)            | 55.65          | 54.06           |
| SFDR(dB)            | 69.07          | 66.20           |
| ENOB(bit)           | 8.953          | 8.687           |

表(1) Performance table of SAR ADC (自行製作)

## 六、總結

本專題改良 Internal Clock Generator 使其具有可調變式 clock 訊號讓時間分配更有效率，並且改良 SAR Controller 架構使其 critical path 得到六成的改善，最終 SAR ADC 能在滿足 ENOB SPEC 的同時達到 72.4% 的操作速度提升(14.5MS/s  $\rightarrow$  25MS/s)，並且完成 Layout 與 post-sim 進行晶片下線實作。



圖(5) Layout of SAR ADC (自行繪製)

## 七、參考文獻

- [1] Xuan Li, Shuo Huang, Jianjun Zhou and Xioyong Li "A 12-bit 20-MS/ SAR ADC with improved internal clock generator and SAR" in 2015 IEEE 58<sup>th</sup> International Midwest Symposium on Circuits and Systems, DOI: 10.1109/MWSCAS.2015.7282061
- [2] Yuefeng Cao, Yongzhen Chen, Zhekan Ni, Fan Ye and Junyan Ren "An 11b 80MS/s SAR ADC With Speed-Enhanced SAR Logic and High-Linearity CDAC" in 2018 IEEE Asia Pacific Conference on Circuits and Systems , DOI: 10.1109/APCCAS.2018.8605568

## 八、心得與反思

在大三修了 AIC 及 VLSI 等類比電路設計的相關課程後，我們對於類比電路十分感興趣並且想在該領域繼續精進，因此便選擇了鄭桂忠教授的類比電路實作專題，並且以 ADC 的設計當作主題。在剛開始進行專題研究時，我們對 ADC 的電路架構及其規格僅有粗淺的理解，因此花費了一段時間學習相關知識。而在具備必要知識以後，我們開始大量閱讀相關論文來找出感興趣的 ADC 架構，將結合各論文的改良架構並且實現電路訂為目標後，我們的專題研究便正式開始。

在研究的前中期，我們逐步地完成 ADC 架構中各個子電路的建置與模擬，並且設計電路來達到所需的效能規格。在這段期間我們學習到了更多類型的類比電路設計思維，例如 Sample & Hold 要如何達到足夠的 ENOB、設計 Dynamic Comparator 時要考量 mismatch 造成的 offset 以及 CDAC 上的寄生電容會導致 gain error 等考量，在經過反覆討論與架構改良後，我們順利地完成了 SAR ADC 的電路設計並且 pre-sim 也都通過了所需的規格。在研究的後期，我們開始著手電路的 layout 並且進行 post-sim，而因為我們對於類比電路的 layout 技巧並不夠熟悉，所以在此階段遭遇了較大的瓶頸，然而所幸有許多人的傾囊相授，我們最終仍是順利地完成 layout 並且 post-sim 也滿足我們訂定的規格。

雖然在專題研究的這段期間遭遇了許多挑戰，但我們仍非常慶幸當初選擇類比電路設計作為專題，除了拓展了我們對於類比電路設計的思維，更讓我們在大學期間能有進行晶片下線這樣難能可貴的經驗。最後，我們特別感謝廖一心學長以及這一路上協助過我們的所有人，因為他們的不吝指教才讓我們能夠跨越許多難關。