

國立清華大學
電機工程學系

運用 VCO 改善 Digital-LDO 在不同負
載間切換時之反應速率

Digital Low-Dropout Regulator With VCO To Improve
Settling Time

姓 名：楊士賢
林允仲
余駿越

指導教授：鄭桂忠 教授

摘要

隨著無線感測網路的興起和應用的增加，感測器的數量也逐漸增加來擴展其功能，而透過利用數位低壓差穩壓器(Digital Low-dropout regulator, D-LDO)，使感測器在能在供給低電壓下運作，將達到延長其感測器壽命的優點。相對而言，傳統的類比低壓差穩壓器(Analog Low-dropout regulator, Analog LDO)可以將輸入電壓（通常略高於輸出電壓）降壓至較穩定的輸出電壓，並達到快速的暫態反應和良好的噪聲壓制特性。然而，當用於低功耗的系統時，會因為輸入電壓過低，而導致 Analog LDO 中的 error amplifier 難以設計，因此我們將利用 Digital LDO 可運作在低供給電壓的特性，去設計我們的電路。

本研究參考了 IEEE 上的 D-LDO 架構，並提出了改進方案。一般的 D-LDO 在切換負載(load)時，其輸出會瞬間有個很大的超調(overshoot)或下衝(undershoot)，而 D-LDO 在從偏離參考電壓(V_{ref})回到穩定狀態所需的時間則稱為 settling time。有些設計希望能讓 settling time 越短越好，因此會使用較高頻率的 clock 來控制 D-LDO，以實現更快的 settling time，但這可能會增加功率消耗。因此，我們加入壓控震盪器(Voltage-Controlled Oscillator, VCO)來實現改進，利用 DLDO 實際輸出電壓(V_{out})與理想電壓(V_{ref})的差值來控制 VCO 的頻率，在差值較大時使用較高的頻率將 V_{out} 迅速調整回穩定狀態，並在接近穩定後切換回較低的頻率。這不僅能夠實現較短的 settling time，還能夠改善功耗表現。

本研究設計的電路架構包含 Comparator, PMOS array, Controller, Operational Amplifier, Voltage-Controlled Oscillator, Absolute Value Circuit, and Sample and Hold，輸入和輸出分別被設定為 1.2V 和 1.1V。負載電流在 10mA 到 100mA 的範圍內。頻率涵蓋了 0.5 MHz 到 10 MHz，而輸出端的電容掛載為 1nF，在我們的電路設計中，加速度對穩定時間的影響可達到 20 倍。

下文我們將在(一)中，介紹我們的設計流程，並在(二)中逐一介紹電路中各個單元的架構，在(三)中附上我們 pre-simulation 和 post-simulation 的成果，最後在(四)述寫心得感想。

Abstract

With the rise of wireless sensor networks and the increasing applications, the number of sensors has gradually increased to expand their functionalities. Through the use of Digital Low-dropout regulators (D-LDO), sensors can operate at low supply voltages, thereby realizing the advantage of extending their sensor lifespan. In contrast, traditional Analog Low-dropout regulators (Analog LDO) can step down the input voltage (usually slightly higher than the output voltage) to a more stable output voltage, achieving rapid transient response and excellent noise suppression characteristics. However, when used in low-power systems, the input voltage being too low can make it challenging to design the error amplifier in Analog LDO. Therefore, we will leverage the characteristics of Digital LDOs, which can operate at low supply voltages, to design our circuit.

This study references the Digital Low-dropout regulators(D-LDO) architecture found in IEEE and proposes an improvement approach. In conventional D-LDO, when the load is switched, there is often a significant overshoot or undershoot in the output, and the time required for the D-LDO to return from a deviation of the ideal voltage (V_{ref}) to a stable state is known as settling time. Some designs aim for shorter settling times and use higher-frequency clocks to control the D-LDO, achieving faster settling times but potentially increasing power consumption. Therefore, we introduce a Voltage-Controlled Oscillator (VCO) to enhance the design. The VCO's frequency is controlled by the difference between the actual output voltage (V_{out}) and the ideal voltage (V_{ref}) of the D-LDO. When the difference is large, a higher frequency is used to rapidly adjust V_{out} back to a stable state, and once close to stable state, it switches back to a lower frequency. This approach not only achieves a shorter settling time, but also improves power efficiency.

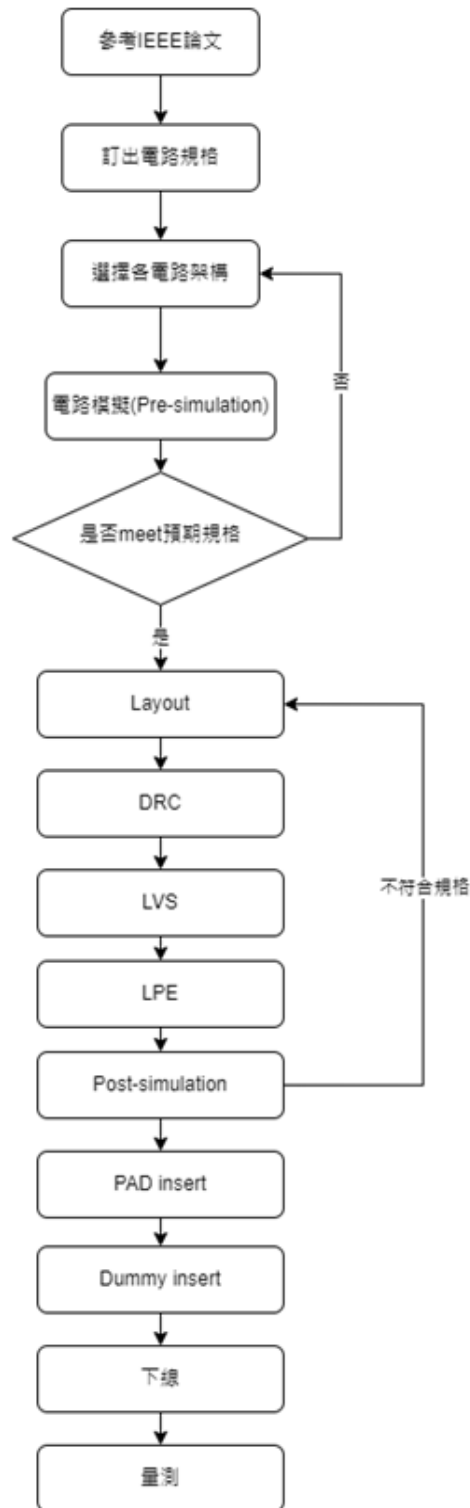
The circuit architecture designed in this study comprises a Comparator, PMOS array, Controller, Operational Amplifier, Voltage-Controlled Oscillator, Absolute Value Circuit, and Sample and Hold. The inputs and outputs are set at 1.2V and 1.1V, respectively. The load current range is acceptable within the range of 10mA to 100mA. The frequency design spans from 0.5 MHz to 10 MHz, and the off-chip capacitance at the output is 1nF. In our circuit design, the acceleration effect on settling time can reach up to 20 times.

In the following sections, we will introduce our design process in (一), systematically present the architecture of each unit in the circuit in (二), provide the outcomes of our pre-simulation and post-simulation efforts in (三), and finally, Reflection and Thoughts in (四).

目錄

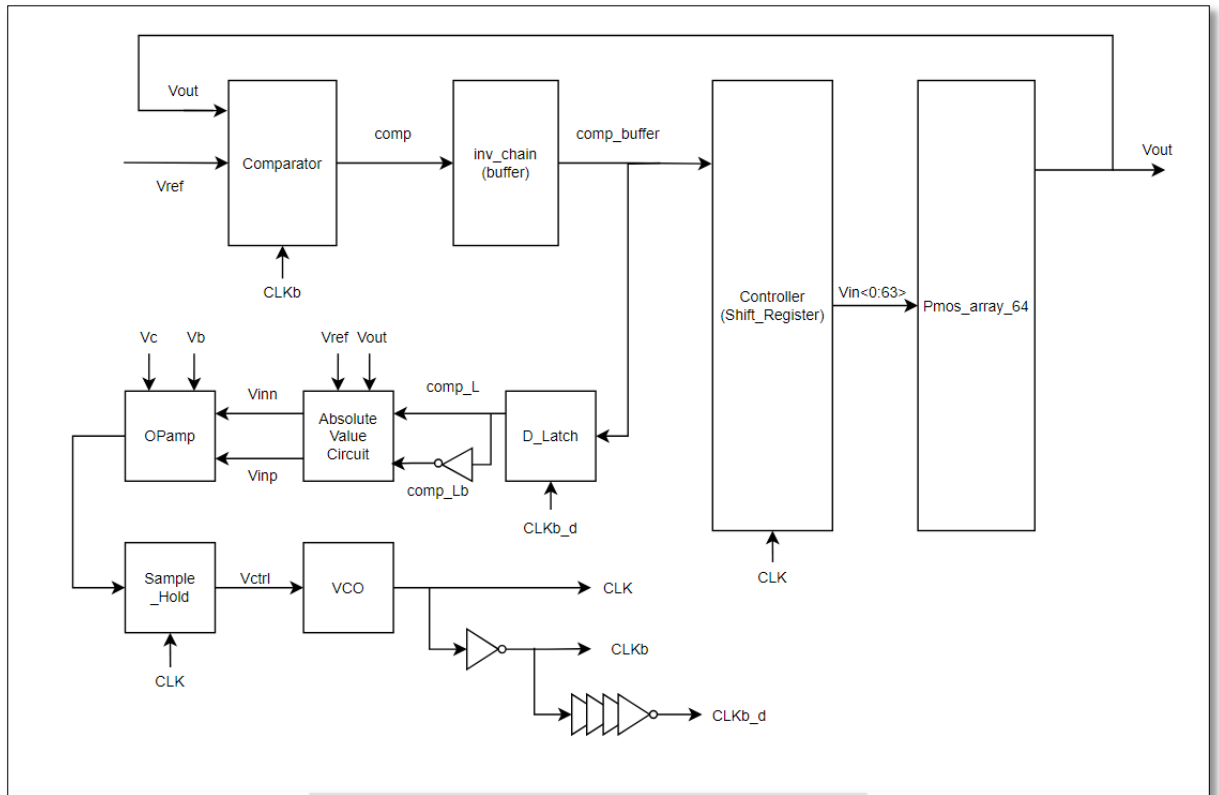
摘要.....	I
Abstract.....	II
目錄.....	III
一、 設計流程	1
二、 Proposed Digital LDO 架構	2
三、 模擬結果	5
四、 心得感想	6
五、 參考文獻	7

一、設計流程



二、 Proposed Digital LDO 架構

1. Block Diagram :



2. Comparator :

我們使用 clock gating comparator，因為這個架構的 comparator 所消耗的 quiescent current 較少，能達到更好的 power efficiency。在設計中，當 V_{out} 大於 $V_{ref}(1.1V)$ 時，Compout 的結果就會是 high(1)，反之則是 low(0)。而我們的 comparator 能判斷的精準度能到小數點第三位以下，在本專題中已足夠使用。

3. 64bits PMOS array (switch array) :

我們使用 PMOS array 取代類比 LDO 的 power transistor，並由 digital controller(shift register)進行控制。當 Compout 的結果是 1 則 controller 會控制 PMOS array 關掉一顆 MOS 使 V_{out} 變小，反之則讓 PMOS array 多開一顆 MOS 使 V_{out} 變大。

4. Controller (serial-in parallel-out bi-directional shift register) :

我們用 64 個 DFF 做成 bi-directional shift register 來控制 PMOS array 關閉的數量。假使 initial 全部 DFF 儲存的值都是 1，則代表所有 PMOS 都是關閉的。之後每當 V_{out} 小於 V_{ref} 時，Comparator 會送出 Compout 值等於 low(0) 給 Controller，則所有 64bits PMOS array 將會向右 shift，且最左邊的 DFF 將會補一個 0，如此就可以增加 PMOS ON 的數量，使得 V_{out} 上升。相反的，當 V_{out} 大於 V_{ref} 時 Controller 讀到的 Compout 值等於 1(high)，則所有 64bits PMOS array 將會向左 shift，且最左邊的 DFF 將會補一個 1，等同減少 PMOS 打開的數量，使 V_{out} 下降。

5. Operational Amplifier (differential amplifier) :

首先，我們在 open loop 採用 Two-stage Operational Amplifier，用 two-stage 的原因是為了達到 output swing 和 high gain 的需求。此外，我們設計 op amp 在 common-mode voltage 輸出為 0.3V，並在 differential 時輸出最多達到 1.1V，且 Phase Margin 可以達到 62 degree 和 Bandwidth 可以達到 10MHz。之後我們再加上電阻設計成 closed-loop 的電路，透過電阻比例讓 differential input，也就是 V_{ref} 和 V_{out} 的差在超過 100mV 時輸出能達到 1.1V，反之則輸出約 0.3V 左右。如此一來 op amp 的輸出接到 VCO 時就可以控制電路的頻率，在 V_{ref} 和 V_{out} 差超過 100mV 時頻率較快(~10MHz)，相反則頻率較慢(~0.5MHz)。

6. Voltage control oscillator (VCO) :

我們採用五級的 inverter chain 組成 ring oscillator，並在每一級的 inverter 上下兩端各加上一顆控制電流的 mos，運用前一級 op amp 所給出的控制訊號 $V_{control}$ 來控制電流大小，以改變 VCO 之頻率。上下兩端的 mos 則運用 current mirror 讓電流相等，使 VCO 之 duty cycle 接近 50%。另外，我們在 ring oscillator 尾端加上 buffer，讓輸出的 clk 之波形更加理想，同時也增加 fan-out。最終，我們的 VCO 在控制訊號區間為 0.3V ~ 1.1V 的情況下，能達到 0.5MHz ~ 10MHz 的頻率變化，穩態時保持在 0.5MHz 至 1.4MHz 的範圍，並依據 V_{out} 與 V_{ref} 差值的大小最多達到 10MHz 的加速效果。

7. Absolute Value Circuit :

進入 op amp 的訊號是 Vref 和 Vout 的差，由於在穩態時 Vref 和 Vout 的相對大小會不斷變動，造成 VCO 的控制訊號不穩定，於是我們使用 Pass transistor 做了簡單的 Abs(絕對值)電路，透過 Comparator 的 output 電壓 (Compout)來控制 Pass transistor 的開關，當 Vout 大於 Vref 時，Vout 會送入 op amp 的正端，而 Vref 送入負端；反之則 Vref 送入 op amp 的正端，而 Vout 送入負端，使得 op amp 的輸入永遠保持電壓較大減去電壓較小的情形，能夠改善 VCO 頻率的穩定性。

8. Sample and Hold :

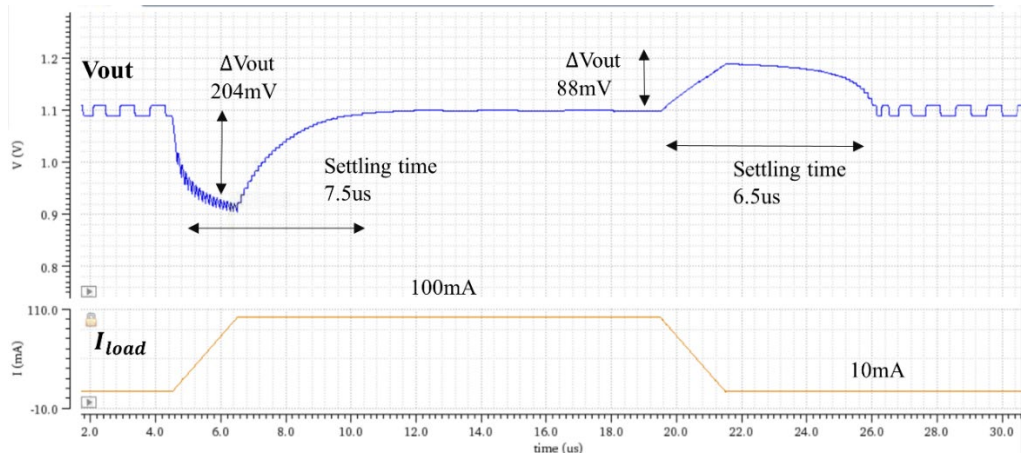
VCO 之控制訊號是藉由 Vref 和 Vout 的差值來進行控制，雖然已藉由 Abs 電路讓兩者之差值恆正，但差值大小仍有波動。為了讓 VCO 的控制訊號能更穩定，我們藉由一顆控制的 mos 及一個電容組成 sample and hold 電路，讓 clk 在 low 時進行 sample，並在 high 時維持住控制電壓。更穩定的控制電壓能讓 VCO 在穩態時輸出頻率固定的 clk，以利其他電路的運作。

9. D_latch :

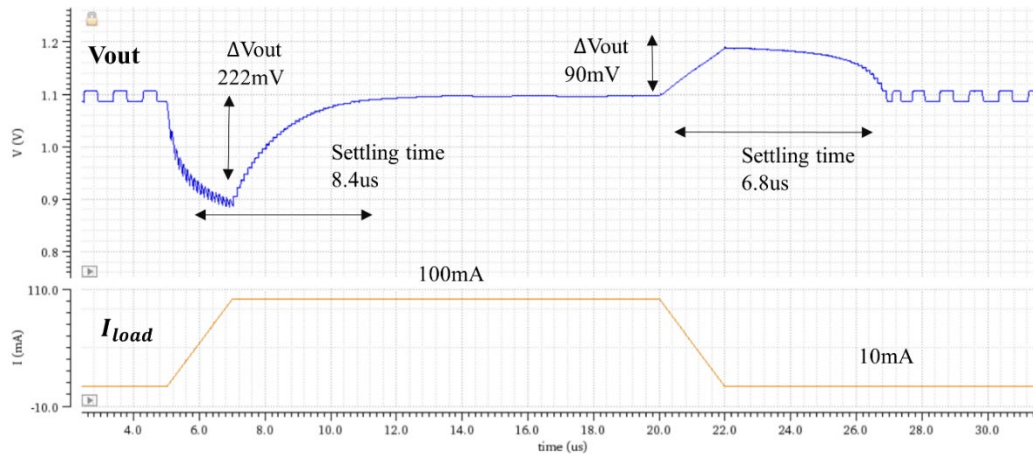
因為需要 comparator 的 output(compout)來控制 ABS 電路的選擇，但由於我們前面所使用的 comparator 為 clk gating comparator，當 clkb = 0 時，comparator 會充電，導致 compout 上升，而使 ABS 的電路在該半個 cycle 內的選擇會出錯，因此我們透過在 compout 後面加上一個 D_latch，讓前半 cycle 的值(正確的 compout)可以被 latch 住，使 ABS 電路可以精準判斷 Vout 跟 Vref 的大小。

三、 模擬結果

● Pre-layout Simulation



● Post-layout Simulation



● Spec 比較

	unit	Original D-LDO (pre-sim)	Proposed D-LDO (pre-sim TT)	Proposed D-LDO (post-sim TT)
CMOS Technology	-	90nm	90nm	
Maximum load current	mA	100	100	
Supply Voltage	V	1.2	1.2	
Decoupling capacitor	nF	1	1	
Quiescent current	uA	5	55.22	57.30
Delta Vout	mV	450	204	222
Current efficiency	%	99.99	99.94	99.94
Settling time	us	49	7.5	8.4

四、 心得感想

我們的研究提供了一種能夠改進低功耗系統中 Digital-LDO 性能的方法。電路架構涵蓋了多個元件，包括 Comparator、PMOS array、Controller、Operational Amplifier (op amp)、Voltage-Controlled Oscillator (VCO)、Abs 和 Sample and Hold 等，這些元件共同實現了我們在開頭所提出的改進目標：縮短 settling time 並同時減少功耗。

透過這次極具挑戰性的專題研究，我們深入瞭解了 Analog LDO 和 Digital-LDO 兩者的運作原理，以及如何運用和選擇適當的輔助元件來進一步提升 Digital-LDO 的性能。這個專題的挑戰之處眾多，因為我們的設計引入了許多 D-LDO 基本架構外的輔助元件，在沒有高度相似參考目標的情況下，我們必須考慮更多面向的問題，包括各電路的 Power 損耗、電流計算與各電路間時序的問題等等，例如，在我們的設計中，有許多的電路需要 clock 來運作，但每一電路所運用 clock 的情況又有先後順序，譬如 D-Flip-Flop 利用 positive edge trigger clk，所以 Comparator 所輸出的 compout 則必須要在 negative clk 下輸出訊號，來使 DFF 有足夠時間 setup，這種時序的處理方式在我們接觸專題之前是不太熟練的，但在實作完專題後，我們就對時序處理這一部分有了更加深刻的了解。此外，因為輔助元件的加入，讓我們的專題結果產生了許多不確定性，使我們需要投入大量時間進行試驗，嘗試不同元件架構，並尋找最適合的電路進行實作。

雖然在研究的路途上蠻坎坷的，但這些努力給了我們非常寶貴的學習經驗，讓我們能夠從專題中獲得更多課堂以外的知識，並獲得更多實踐經驗，而那些嘗試過後的失敗，也將成為我們成長的養分，終有一天會有其貢獻的時刻。最後，我們深信這些寶貴的經歷和獲得的實踐經驗將成為我們的支柱，支撐著我們完成未來的研究計劃甚至職涯發展。

五、 参考文献

- [1] Yasuyuki Okuma et al., "0.5-V input digital LDO with 98.7% current efficiency and 2.7- μ A quiescent current in 65nm CMOS," IEEE Custom Integrated Circuits Conference 2010, San Jose, CA, 2010, pp. 1-4, doi: 10.1109/CICC.2010.5617586.
- [2] M. Huang, Y. Lu, S. -W. Sin, U. Seng-Pan and R. P. Martins, "A Fully Integrated Digital LDO With Coarse-Fine-Tuning and Burst-Mode Operation," in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 63, no. 7, pp. 683-687, July 2016, doi: 10.1109/TCSII.2016.2530094.
- [3] D. D. Bernardo, J. L. Lopez, M. D. Lopez, M. T. de Leon, M. Rosales and L. P. Alarcon, "0.5 V output digital low dropout (DLDO) voltage regulator with VCO-based digital feedback loop," TENCON 2017 - 2017 IEEE Region 10 Conference, Penang, Malaysia, 2017, pp. 505-509, doi: 10.1109/TENCON.2017.8227916.
- [4] J. Tang, C. Zhan, G. Wang and Y. Liu, "A 0.7V Fully-on-Chip Pseudo-Digital LDO Regulator with 6.3 μ A Quiescent Current and 100mV Dropout Voltage in 0.18- μ m CMOS," ESSCIRC 2018 - IEEE 44th European Solid State Circuits Conference (ESSCIRC), Dresden, Germany, 2018, pp. 206-209, doi: 10.1109/ESSCIRC.2018.8494307.
- [5] K. -C. Woo, T. -W. Kim, S. -K. Hwang, M. -J. Kim and B. -D. Yang, "A fast-transient digital LDO using a double edge-triggered comparator with a completion signal," 2018 International Conference on Electronics, Information, and Communication (ICEIC), Honolulu, HI, USA, 2018, pp. 1-4, doi: 10.23919/ELINFOCOM.2018.8330666.
- [6] J. Lee, J. Bang, Y. Lim and J. Choi, "A 0.5V-VIN, 0.29ps-Transient-FOM, and Sub-2mV-Accuracy Adaptive-Sampling Digital LDO Using Single-VCO-Based Edge-Racing Time Quantizer," 2019 Symposium on VLSI Circuits, Kyoto, Japan, 2019, pp. C130-C131, doi: 10.23919/VLSIC.2019.8777999.