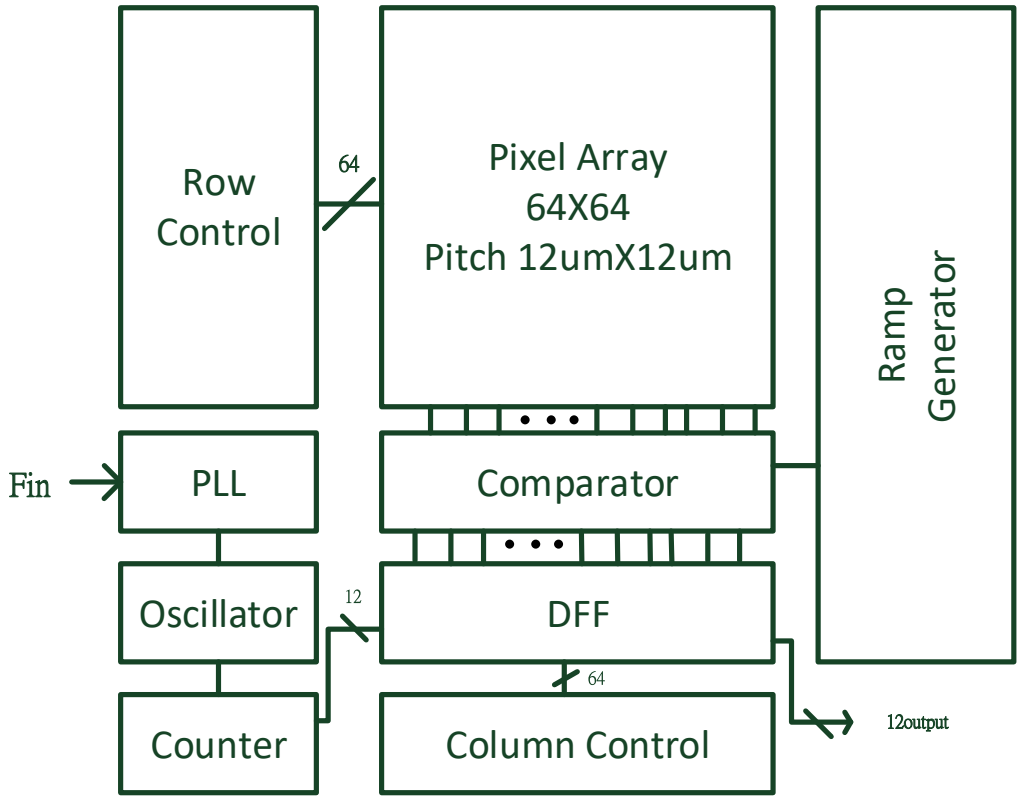
利用電荷泵鎖相式迴路及雙緣驅動格雷碼計數器之 12-位元每秒 350K 取樣速度縱列平行單陡坡類比數位轉換器讀出電路

A 12-bit with 350K Samples Per Second Column Paralleled Single Slope ADC Readout Circuit Using Charge-Pump Phase-Locked Loop and Double-Edge Trigger Gray Code Counter

沈裕棠　張棨鈞

指導老師：謝志成 教授

Abstraction

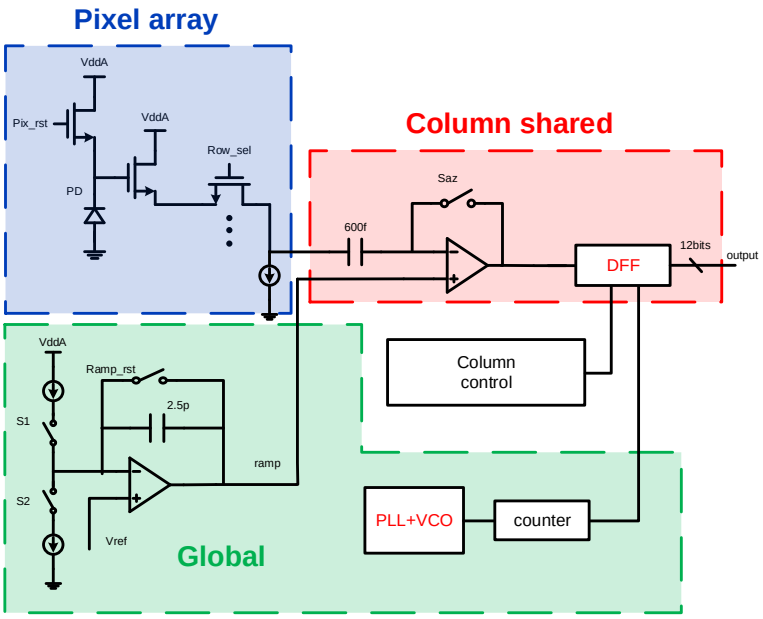


圖一 電路 Block Diagram

此設計主要是要做出光訊號讀出電路，首先利用 Pixel Array 去進行曝光，接著用 Row Control 把光訊號 row by row 的讀出，並且藉由 Column Shared Comparator 把 Pixel 跟 Ramp Generator 產生的值做比較，而此次設計 Counter 跟 PLL 以及 Oscillator 皆是 Global 的，因此藉由 Comparator 的 Output 可以讓 DFF 知道哪時候可以停止接收來自 Counter 的值，透過此種步驟就可以讓光訊號的值依序被讀出。

Introduction

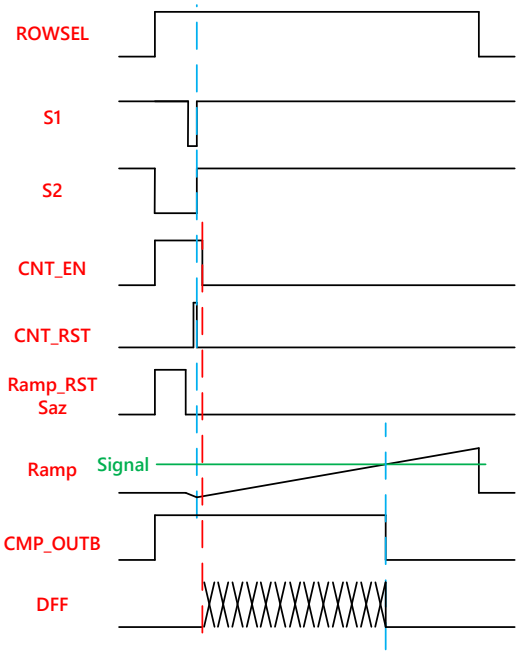
Circuit structure



圖二 電路詳圖

此為電路架構詳圖，類比數位轉換器由 Global 的 PLL，Counter，Ramp Generator 以及 Column Shared 的 Comparator，DFF 讀出電路組成，再加上 64*64 的 PIXEL 電路，構成晶片架構。

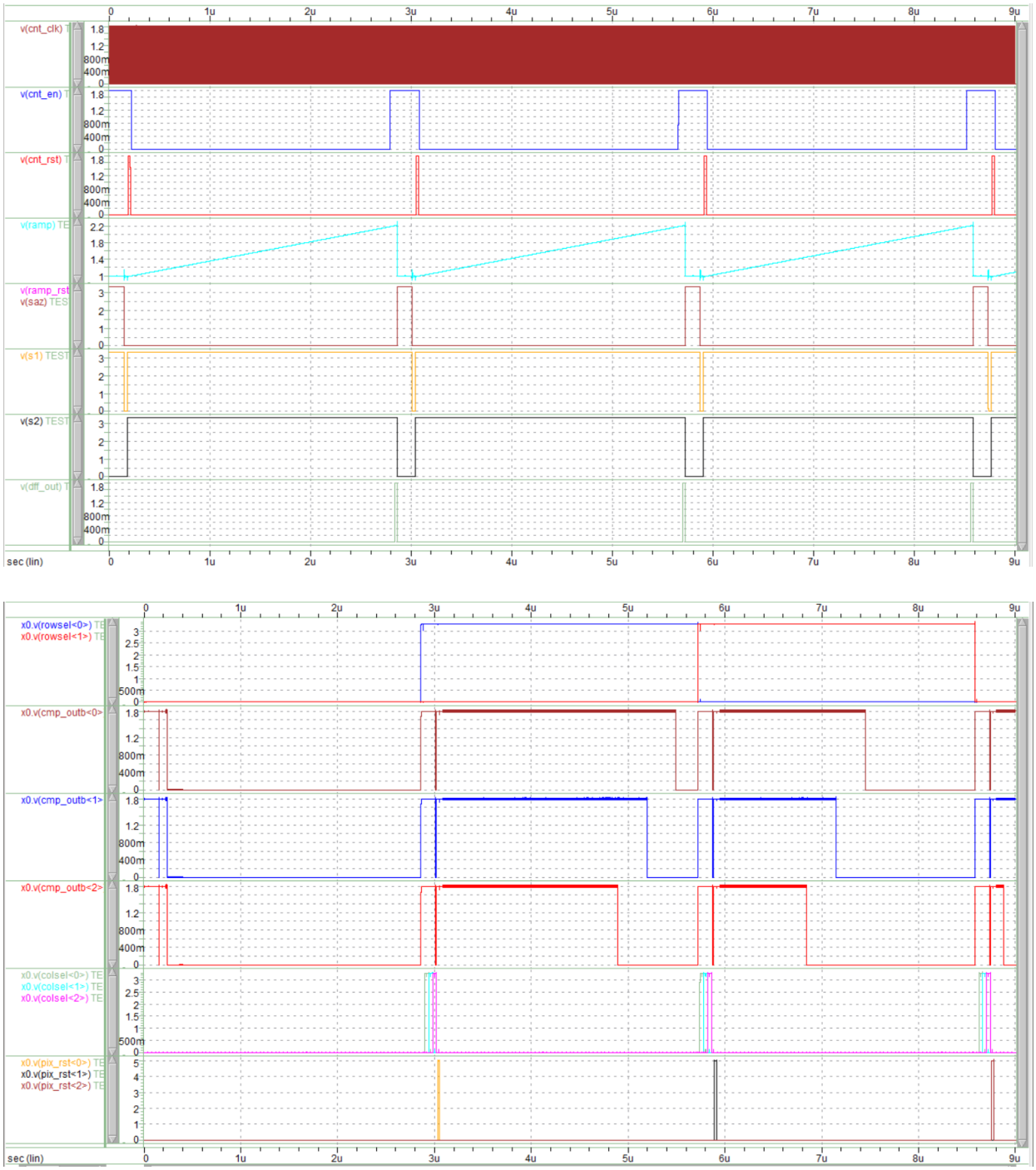
Time Chart



圖三 Time Chart

以第一個 Row 為例，首先 ROWSEL<0>先將第一個 ROW 中共 64 個 Signal 讀入電路，先把 Ramp Reset 到一個定值，接著 S1 打開一下下也就是讓電流流進去 OP 的 VIN，但是由於這個點已經被 Vref 掐住因此相對來說 OP Output 會下降，然後當換成 S2 打開就是將電流漏掉因此 OP Output 會上升。就是藉由此種方法產生 Single Slope Ramp，並且控制電流的大小來控制 Ramp 出來的斜率。接著 Counter 開始計數，當 Ramp 訊號超過 Signal 的瞬間 Comparator 由 1 切換至 0，將 DFF 中的訊號存住，最後再將每個 Column 的 DFF 中的訊號依序讀出，即為解出的 Code。

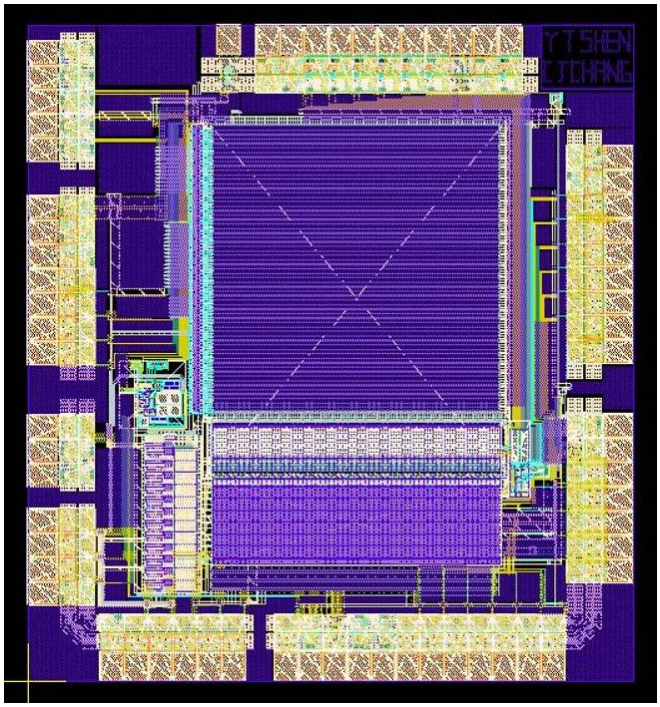
Simulation Result



圖四 控制訊號波型圖

Presim 假設有 3 種不同 Signal 進入 ROW1，這三個訊號會與 Ramp 交會於不同時間，於是在 COL<0>，COL<1>，COL<2>產生不同的 CMP_OUTB<0>，CMP_OUTB<1>，CMP_OUTB<2> (如上圖四)，並將 Counter 的計數存入 DFF，最後讀出不同的 Dout(如上圖四)，此時的 Dout 即為解出的 Code。

Layout



圖五 晶片布局圖

尺寸 ：1760.36 * 1625.245 um2

Reflections & Thoughts

1. 沈裕棠

I thought that it is hard for a college student to complete a chip before. Not just because our knowledge were limited, it was also hard to get the opportunity to participate the whole process to design an IC. But from now on, I think I am more stronger to face the challenge about everything and more proud of myself. Thanks to professor hsieh for giving us this precious opportunity. Thanks to my senior for giving us many help and many suggests. Thanks to my partner for supporting all the time.

2. 張棨鈞

It’s my first time to directly participate the whole process to design an IC chip. Before that I had only learned those correlated knowledge from textbooks and lacked the practical application. Thanks to Professor Hsieh for providing such a precious and challenging opportunity. Also, I sincerely appreciate professor and members in his lab. Without their teaching and leading, we won’t be able to complete the project. Last but not least, thanks to my partner for helping me all the time.