

摘要

本次專題研究項目採用的是 2T RRAM 此種新式的記憶體邏輯元件，在實驗過程中針對 RRAM 的基本特性進行量測與統整分析，並透過多次的循環操作找出該 RRAM 最合適的操作條件。同時將統整後的結果做為基石，匯入至電路模擬軟體中進行蒙地卡羅(Monte Carlo)的分析；根據模擬的結果判斷，在不同變數條件下，該記憶體元件之操作視窗(Operation Window)變化。

元件結構與操作原理

本次實驗所量測的元件是 28nm 製程下的雙位元 HKMG 電阻式記憶體，由一選擇電晶體及一做為記憶單元的電晶體組成(Fig.1)。此元件的阻態轉換層位於電晶體(NMOS)之金屬閘極與 N 型參雜之間(Fig.2)。

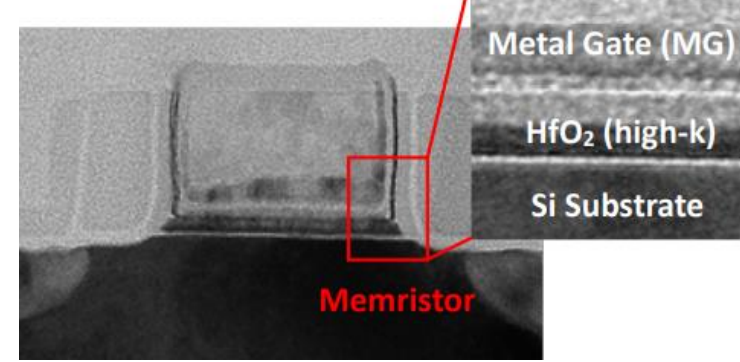
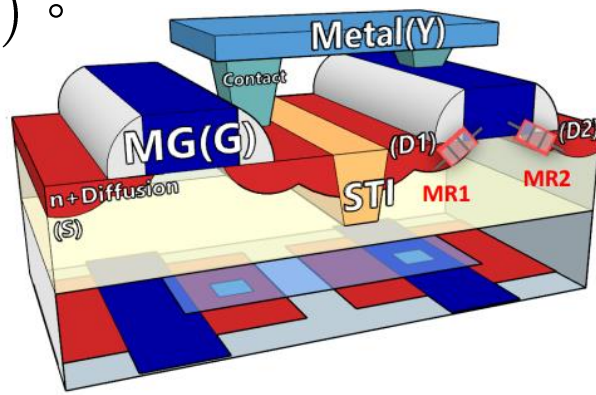


Fig.1 雙位元 HKMG 電阻式記憶體之立體架構圖

Fig.2 HKMG 電阻式記憶體之 TEM 圖

• 元件操作步驟(如Fig.4 所示)

• 初始化(Forming)

藉由對RRAM施加高壓使金屬氧化層具備電阻轉換特性的過程。

• 重置(Reset)

於RRAM電極上施加高電流，使其轉換至高阻態(HRS)。

• 設置(Set)

於RRAM電極上施加高電壓，使其轉換至低阻態(LRS)。

藉由上述之設置與重置的重複操作可構成記憶體的寫入/抹除機制。在資料寫入記憶體前，均需進行設置(Set)流程，即將兩位元皆設置至低阻態，再透過重置其中一位元為高阻態進行寫入(Write)。若重置下方位元，且上方位元保持低阻態，則定義為寫入邏輯 1，反之亦然，如Fig.5，藉此達成互補鎖存器(Latch)。

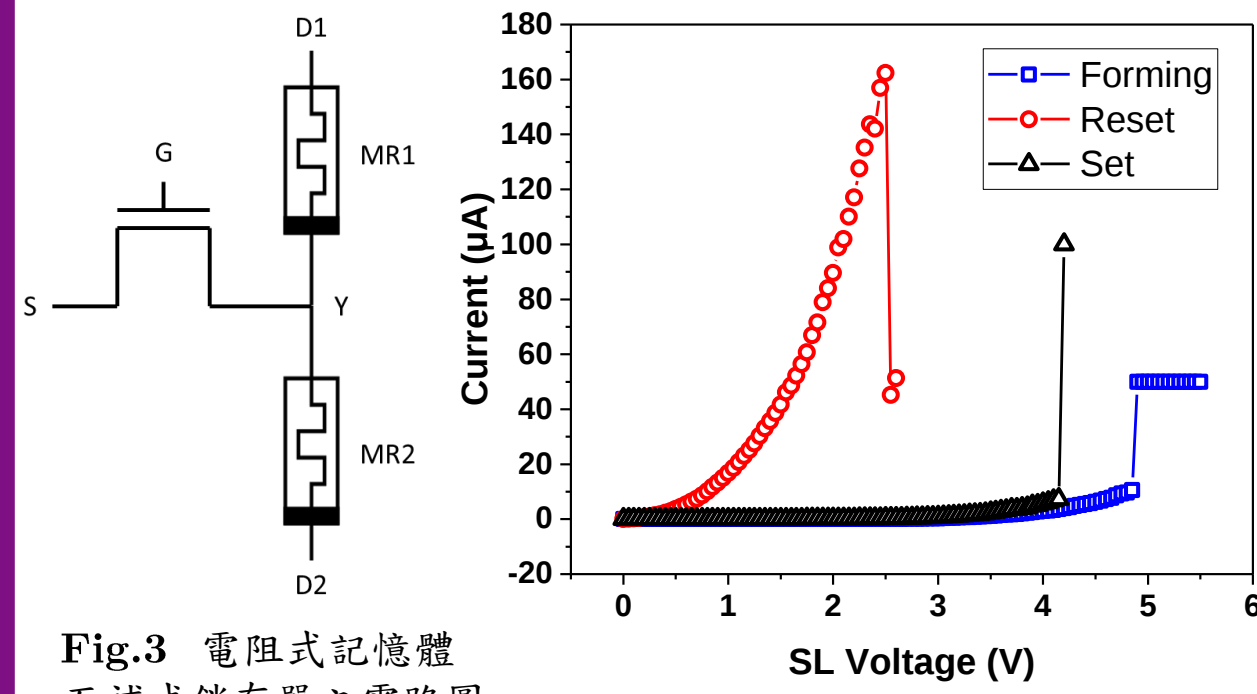


Fig.4 電阻式記憶體直流操作圖

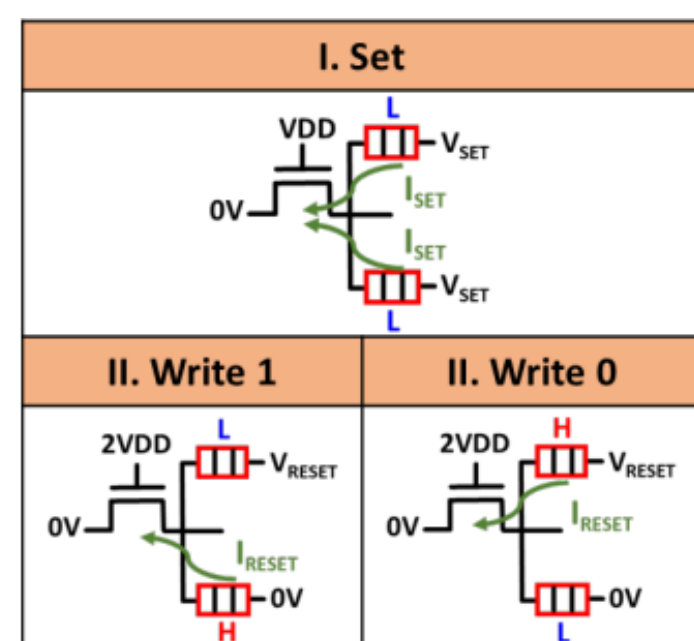


Fig.5 雙位元 HKMG 電阻式記憶體操作步驟說明

量測分析

• 限制電流(Compliance Current)

避免元件在操作過程中因電流過大使元件崩潰，因此選擇以 50 μ A 和 100 μ A 的限制電流做為操作變因，分析其阻態視窗(Memristance Window)和操作電壓差異。

• 設置重置電壓分布圖

設置電壓峰值為 3.18V，重置電壓峰值為 2.85V，而發生錯誤的機率僅有 2.56%。可藉由ECC得知只需要多出 5.12% 的資料數便可將資料糾正。

• 不同限制電流下的阻態視窗

在 50 μ A 的限制電流下，阻態視窗為 1.8 倍 (Fig.8)；而在 100 μ A 的限制電流下則有 2.2 倍的阻態視窗。

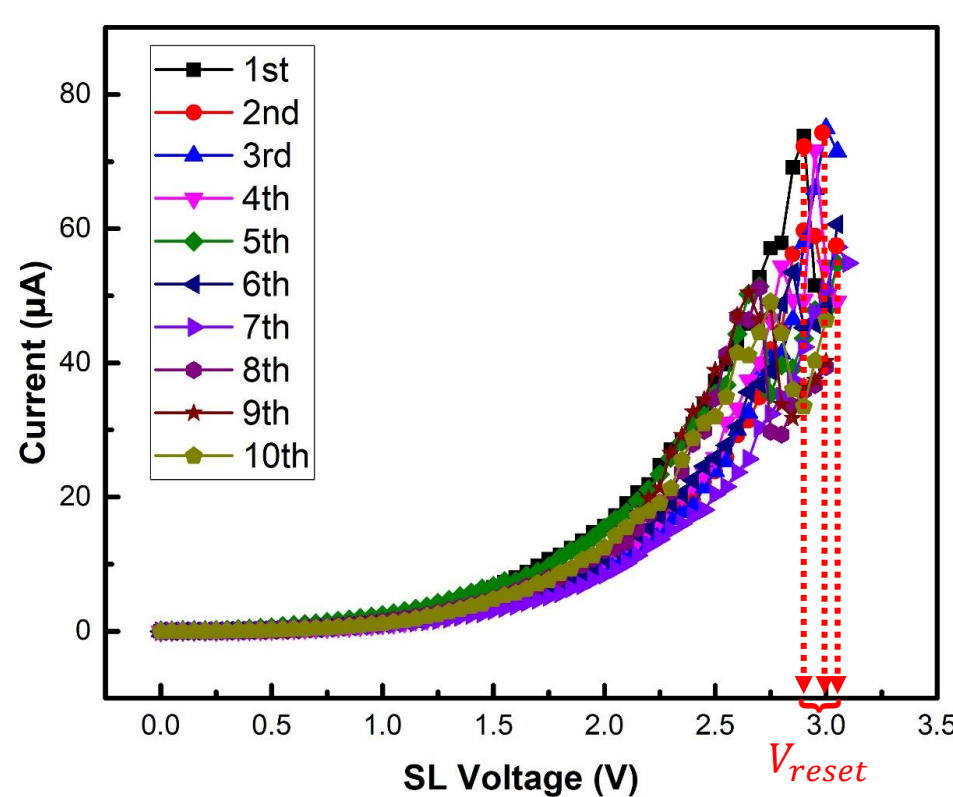


Fig.6 操作10個循環之設置電壓(50 μ A)

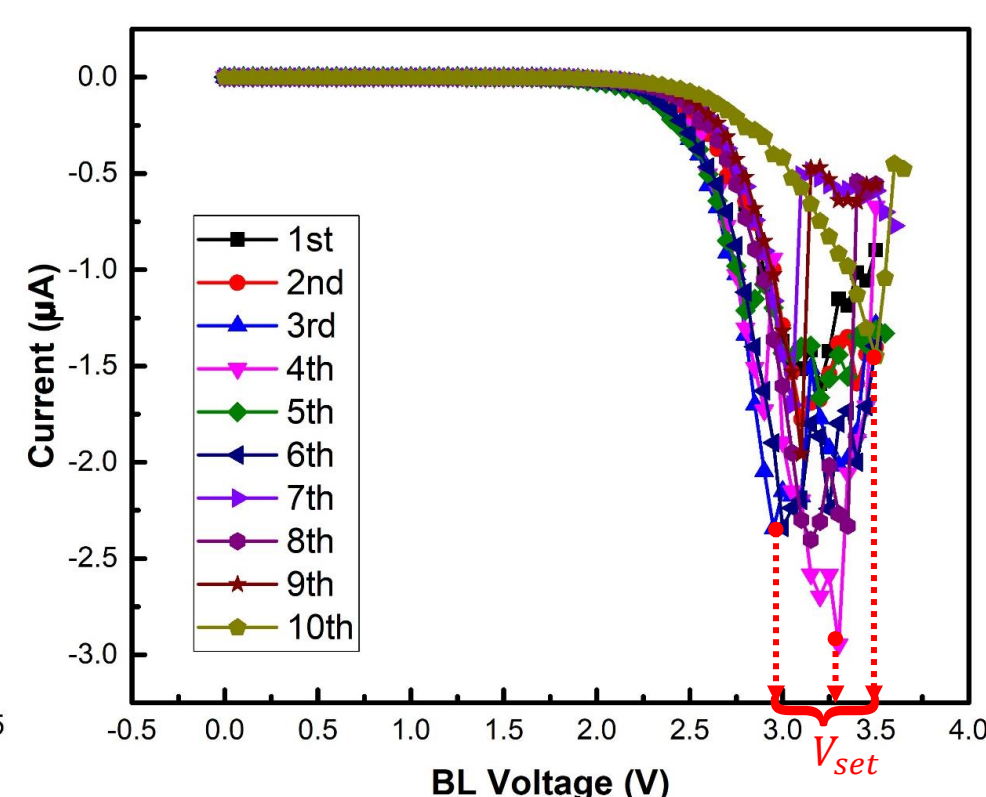


Fig.7 操作10個循環之重置電壓(50 μ A)

電路模擬分析

用量測到的 10 組高、低阻態的憶阻值做高斯擬合(Fig.10)，再藉由平均值(μ)和標準差(σ)進行蒙地卡羅模擬，得到在 50 μ A 與 100 μ A 下儲存資料為 1 (LH)和儲存資料為 0 (HL)的操作視窗。

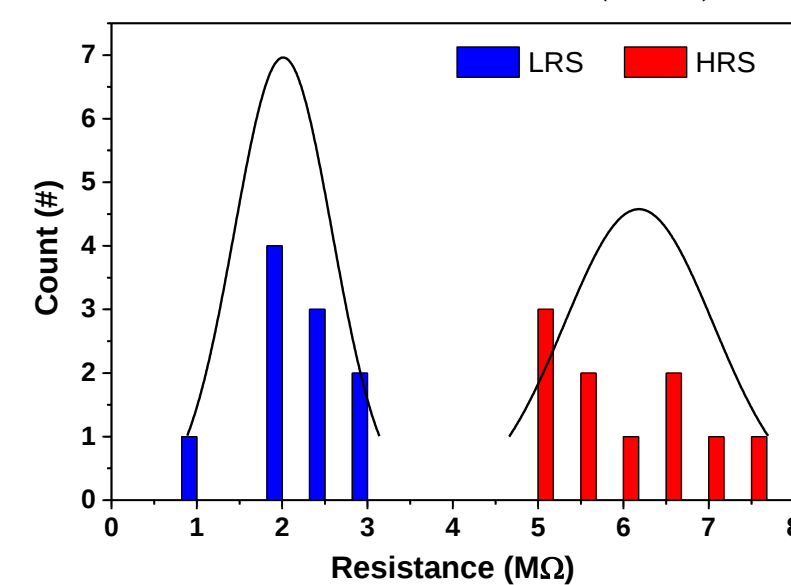


Fig.10 (a) 50 μ A下的阻態分布圖

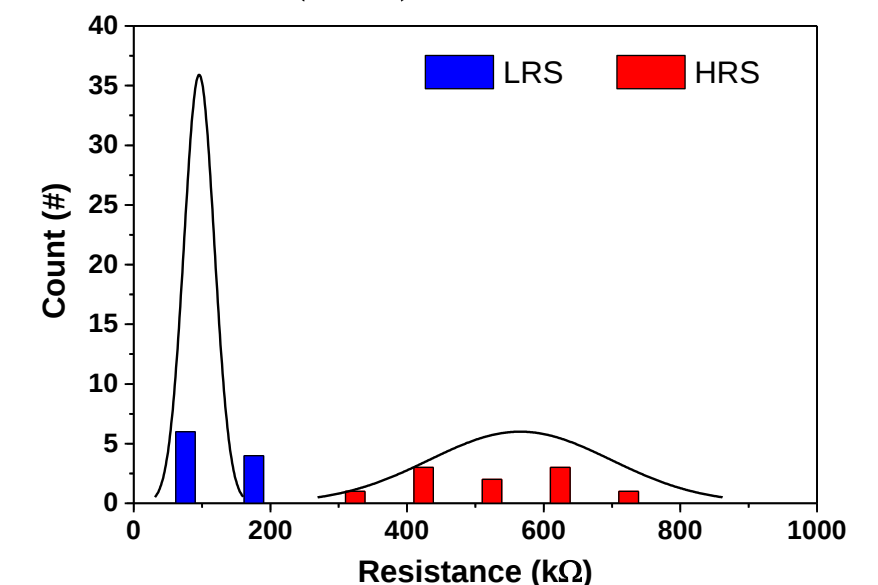


Fig.10 (b) 100 μ A下的阻態分布圖

由 Fig.11 可以看出 100 μ A 擁有較大的操作視窗，因此選定 100 μ A 來進行更進一步的模擬嘗試優化操作視窗。

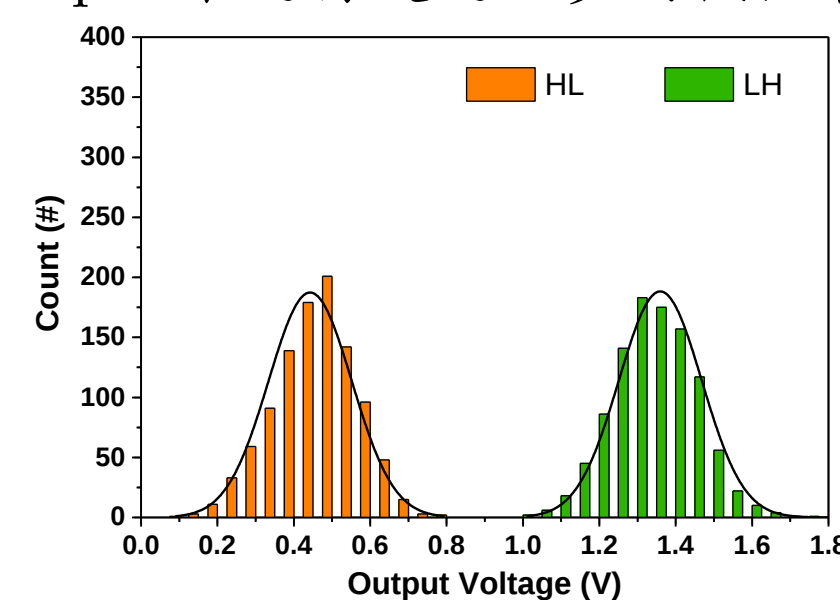


Fig.11 (a) 在50 μ A下的操作視窗

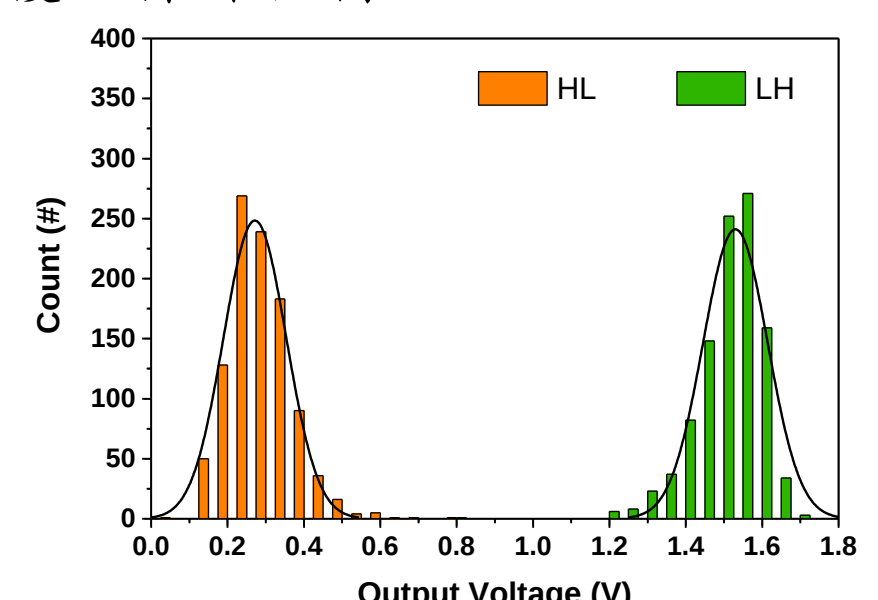


Fig.11 (b) 在100 μ A下的操作視窗

在不改變元件結構的情況下，由兩個不同面向切入，嘗試優化操作視窗：

1. 改變選擇電晶體的閘極電壓(WL Voltage)

WL電壓小於 0.3V 時視窗大小幾乎相同，在 0.4V 時稍微縮減，而到 0.5V時已經出現重疊(無法分辨 0 跟 1)。最終選擇 WL = 0.34V 為最佳解，以 5% 視窗縮減幅度為代價，確保選擇電晶體保持開啟。

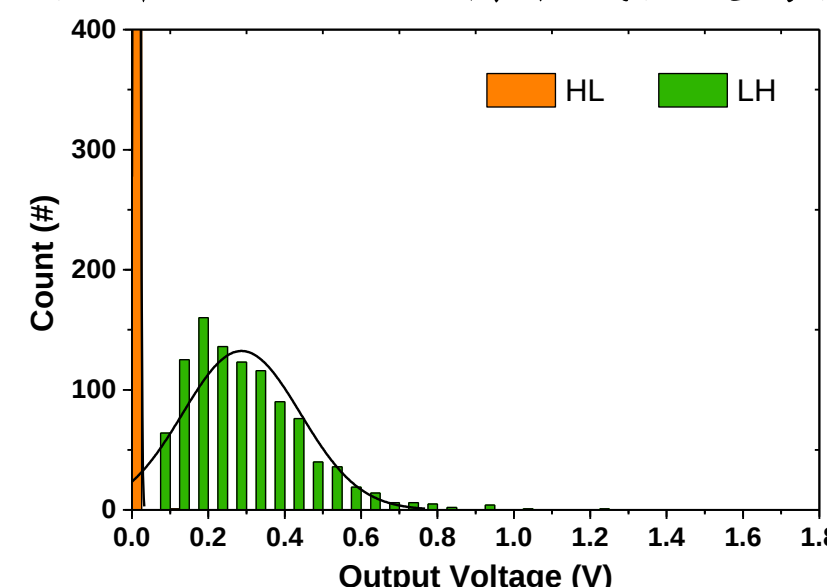


Fig.12 WL 電壓0.5V的輸出電壓分布圖

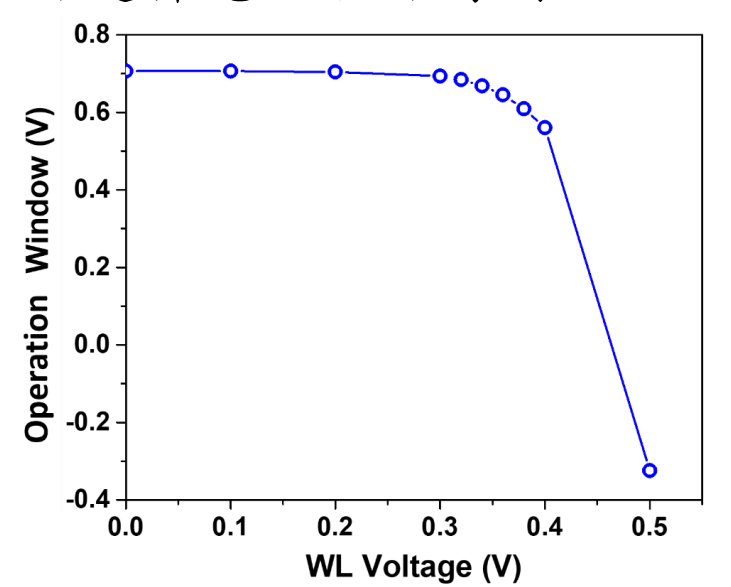


Fig.13 WL電壓由0.1V~0.5V的操作視窗變化圖

2. 測試不同Corner下的視窗變化

分析不同的Corner、溫度的視窗大小，其中包含極端條件(FF -40 $^{\circ}$ C與 SS 125 $^{\circ}$ C)，結果差距甚微。由此可知，此元件在不同Process Corner 下裕度十分充足。

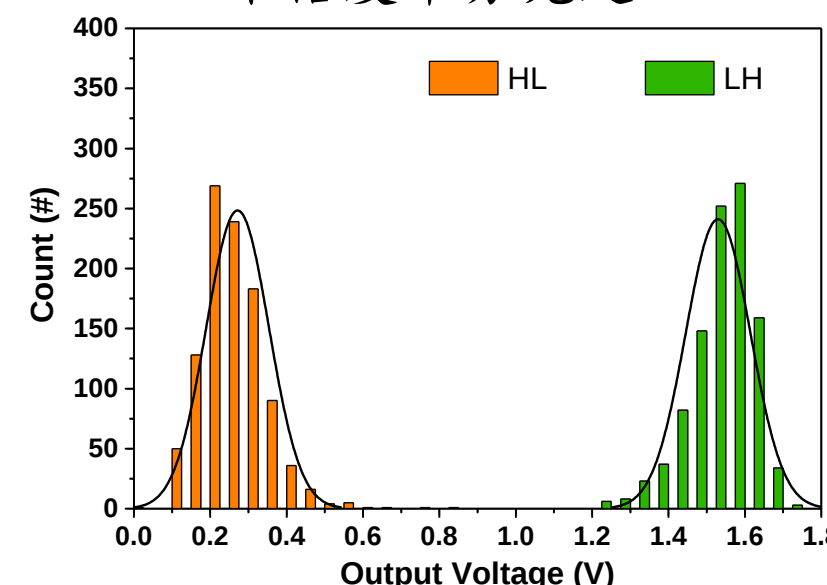


Fig.14 FF -40 $^{\circ}$ C 下的輸出電壓分布圖

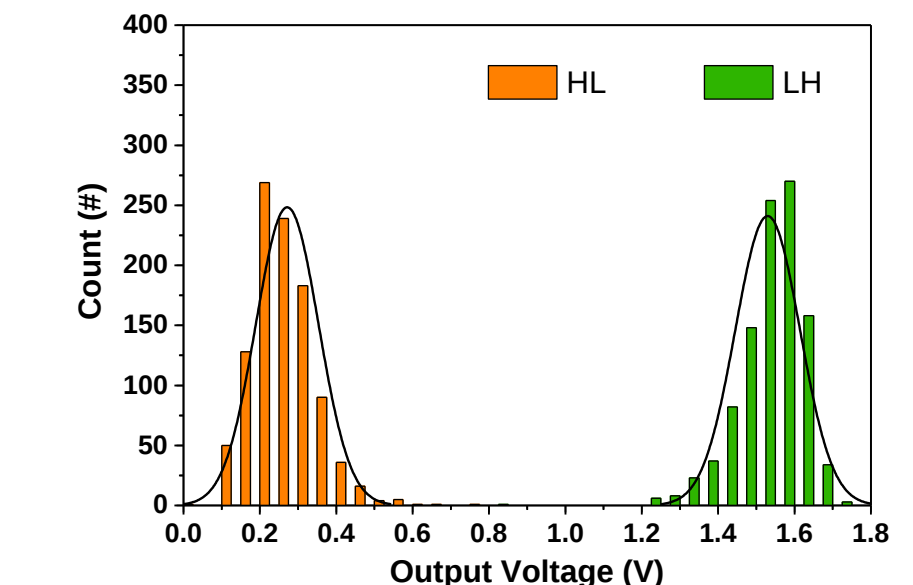


Fig.15 SS 125 $^{\circ}$ C 下的輸出電壓分布圖

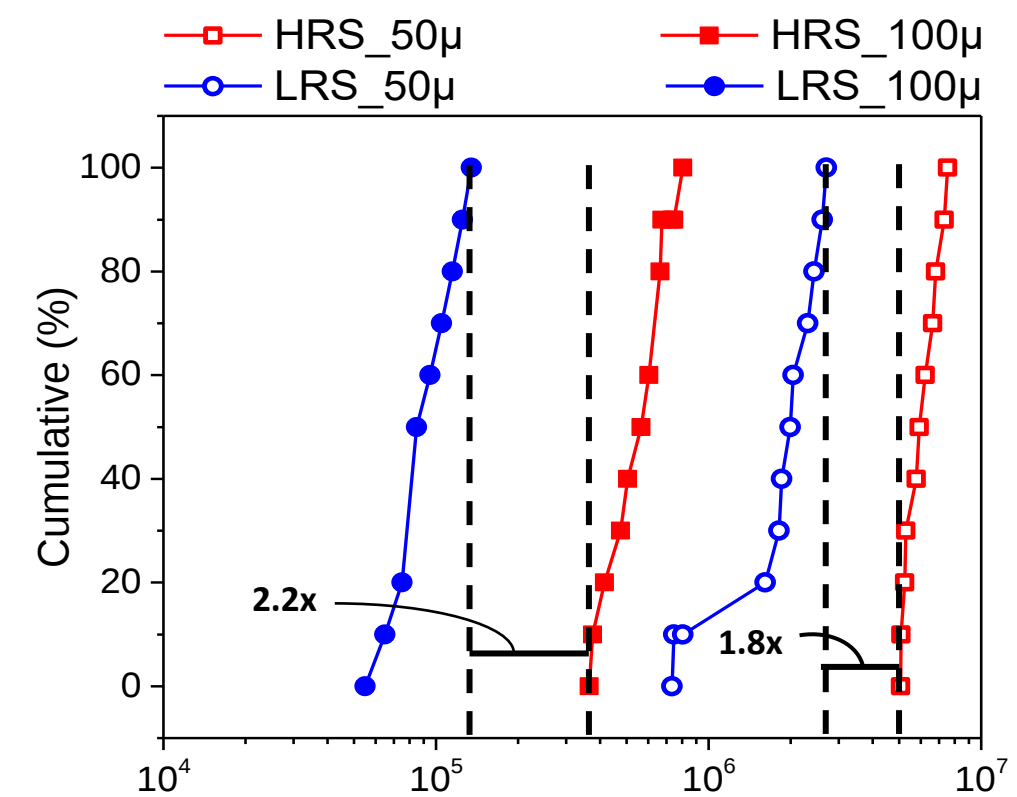


Fig.8 限制電流 50 μ A 與 100 μ A 高低阻態累積分布

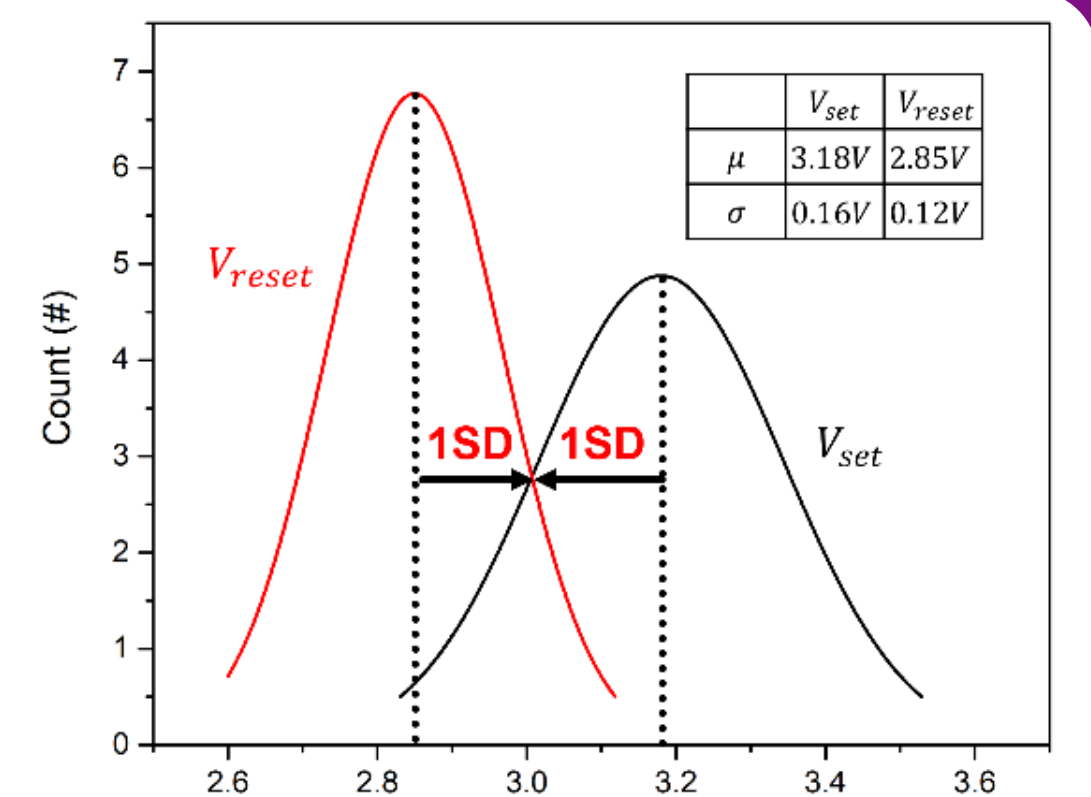


Fig.9 設置/重置電壓之分布圖(50 μ A)

結論

本次實驗再現了 RRAM 獨有之高低阻態的特性，同時透過循環的操作找到了最合適的重置與設置電壓。而採用不同的限制電流進行操作則能得到不同的高低阻態分布，這能使 RRAM 在實際的應用上更有彈性；此外，在兩種不同的限制電流下，針對 MR1 與 MR2 的接點進行蒙地卡羅的結果，從圖形上可得知，在 100 μ A 的限制電流下，邏輯 0 與邏輯 1 之間的視窗(window)相離越遠，這樣說明了在該條件下，對於邏輯 0 與 1 的判斷將會更加精準。為了更進一步探討變因對辨認邏輯 0、1 的影響，在設定了不同的WL電壓與製程角落(SS/FF corner)下，前者指出了在 WL 電壓0.3~0.4之間存在一最適操作點；而後者則表明不同的速度角落並不影響辨認邏輯 0、1 之穩定性。