

A P-channel Cross-couple Multiple-Time Programmable Memory Cells in FinFET Technologies

相容於緒式場效電晶體邏輯製程之 P 通道交叉耦合 可多次寫入記憶體元件

組別：A206 指導教授：金雅琴 組員：108061240 陳冠羽、108061226 葉信宏

Abstract

近年來，由於半導體及周邊相關產業鏈的迅速發展，各式消費性電子產品快速出現，帶動邏輯和記憶體晶片的成長。因此，如何在有效面積儲存更多資料是值得研究的課題。除了2D轉為3D，利用內嵌式多次寫入記憶體的開發益有助於儲存非揮發資料於邏輯電路中。

本次專題研究，是相容於16奈米 CMOS 邏輯製程的新式 P 通道多次寫入記憶體元件[2]。隨著邏輯製程的微縮，閘極氧化層厚度為了保持通道控制能力，也變得更薄，但這容易導致浮動閘極電荷流失的問題。因此，此元件利用兩個浮動閘極作為一個儲存結構，並透過自我修復機制，不需要複雜的周邊電路，只需週期性地對記憶體陣列施加電壓，就可以達成資料修復的效果，使得記憶體有足夠的讀取電流差而維持記憶體資料保存性。

交叉耦合的結構，不僅可以提升編程效率，在記憶體陣列編程上，未被選擇的元件也展現出優異的抗干擾能力，再加上其自我修復效果，此記憶體結構展現了優良的特性。

Introduction

此專題原先探討可多次編程差動交叉耦合非揮發性記憶體在16nm FinFET 的製程下的特性以及操作。然而，在陣列編程的時候，此元件無法完美的展現抗干擾特性，進而導致記憶胞無法利用抗干擾特性而做出自我修復的特性。

因此，專題將研究方向改為可多次編程交叉耦合非揮發性記憶體。將原先差動的兩個 FG (floating gate)看成同一個 FG，也就是將 BL 以及 BLB 看成同一條 BL，並且重新定義為 Logic 0 為上下兩個 FG 處於編程狀態(臨界電壓為 1V)；反之，Logic 1 為上下兩個 FG 處於抹除狀態(臨界電壓為-2V)。在這定義下，元件可以擁有比原先更大的電流讀取視窗。除此之外，也探討了不同的 DG 對於元件特性的影響、耦合率的影響。最終，實驗結果指出了一個適當的自我修復操作條件，可以使得 FG2 可以一直維持在編程狀態，也就是臨界電壓為 1V。這樣的操作方式，使得陣列擁有全面性自我修復的功能，與此同時，其他的記憶胞也不會受到干擾。

一、元件結構

此元件採用16奈米 CMOS 製程的技術，透過四個 P 型場效電晶體所組成，主要分為兩個部分：選擇電晶體以及儲存用的浮動閘極 (Floating gate, FG) 電晶體。選擇電晶體用來選擇當下要編程記憶胞以及讀取操作，浮動閘極電晶體則是儲存資料所用，並且設計成兩個完全相同。本專題即是由兩個選擇電晶體以及兩個浮動閘極電晶體串聯而成，如圖1.1(a)所示。

專題所採用的元件尺寸如下：閘極長度皆為180 nm，電晶體寬度由 4 根鰭 (Fin) 的定義，用來耦合的 CG 接觸槽固定為1000奈米。下一章節將會對於不同的 DG 接觸槽長度進行分析，共分為 DG 接觸槽為500、1000以及2000 nm，三種狀況進行討論以及優化。圖1.1(b)為此元件的布局圖。

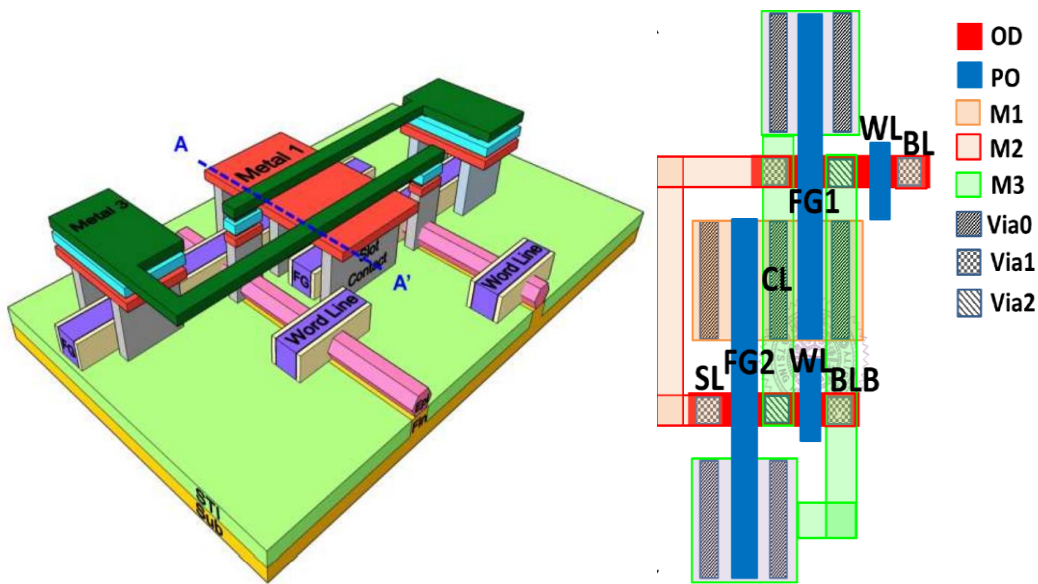


圖 1.1 (a) 單一交叉耦合差動式記憶胞立體結構圖

(b) 交叉耦合差動式記憶體布局圖

由於此元件的控制閘極是透過耦合，將電壓從金屬線經由接觸槽-間隙壁-金屬閘極形成的大電容耦合至浮動閘極。交叉耦合結構則是透過側壁耦合與金屬線連接，也就是受到接觸槽 (DG) 的長度所影響。

根據電容公式可知電容值與兩平行板的重疊面積成正比，電容耦合率又與控制閘極電容值成正比，因此藉由接觸槽 (DG) 的長度可以得到電容耦合率，如式1.1、式1.2。

$$C = \epsilon \frac{A}{t} \quad (1.1)$$

$$CR = \frac{C_{CG}}{C_{Total}} = \frac{SS_{Dummy Cell}}{SS_{DUT}} \quad (1.2)$$

透過標準電晶體與測試元件(Device Under Test, DUT)的次臨界擺幅(Subthreshold Swing, SS)相除即可求得。其中， ϵ 為介電質的電容率、 A 為平行板面積、 t 為平行板間距。由圖1.2示，接觸槽 (DG) 越長，整體的電容會變大，使得控制閘極的電容與整體的電容比值會變小，進而導致電容耦合率變小。

透過計算，可以得到

$$SS_{DG=500} = 150.2 \text{ mV/dec} \cdot CR = 57.9\%$$

$$SS_{DG=1000} = 166 \text{ mV/dec} \cdot CR = 52.4\%$$

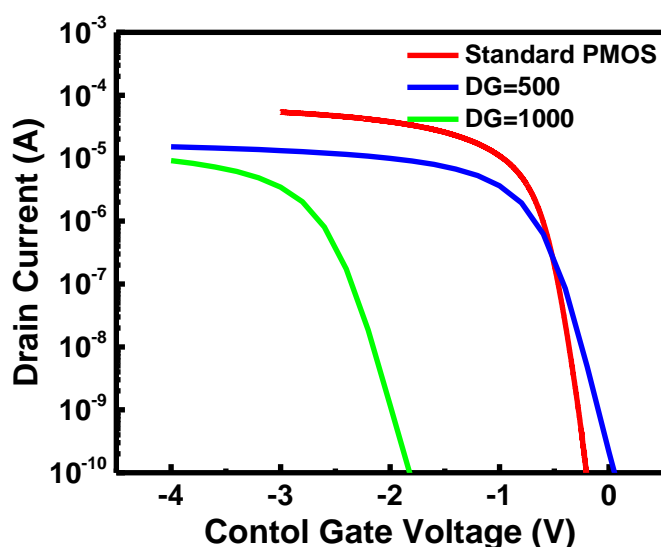
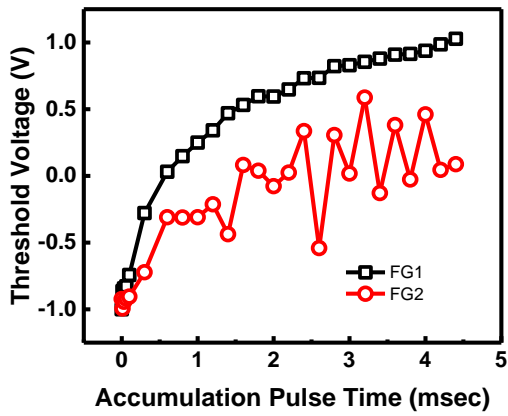


圖1.2 浮動閘極元件的 ID-VG 特性與標準元件比較圖

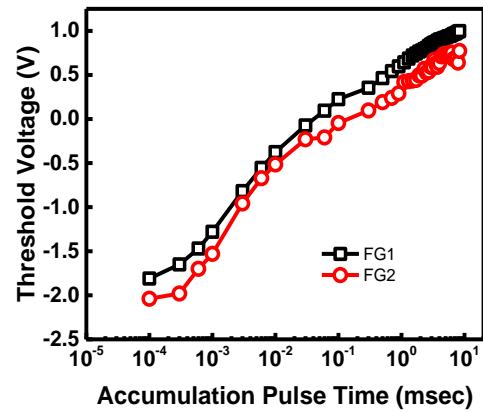
二、操作理論與實驗結果

此元件原始設計為差動式的操作，也就是讓其中一個浮動閘極電晶體在導通態，而另一個則在抹除態。對上方的浮動閘極電晶體進行編程時，於控制閘極施加-2V的脈衝、源極施加-3.5V的脈衝，反位元線施加-2V，其他節點為0V來進行，給適當的脈衝時間，然而實驗結果不如預期。對於DG = 2000而言，不論是調整脈衝電壓大小，或是調整脈衝時間長度，都無法將上下兩個浮動閘極電晶體的狀態分離，如圖2.1(a)。

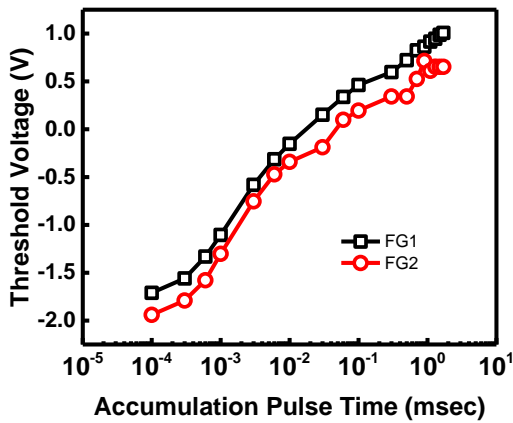
進一步的實驗將兩個浮動閘極電晶體為同一個，也就是儲存相同狀態的資料。對於編程而言，透過同時測量上下兩個浮動閘極電晶體的臨界電壓，便能得到以下三張圖，見圖2.1(b), 2.1(c), 2.1(d)。對於DG = 500、1000、2000來說，分別需要8.3毫秒、1.7毫秒、60微秒即可完成編程。



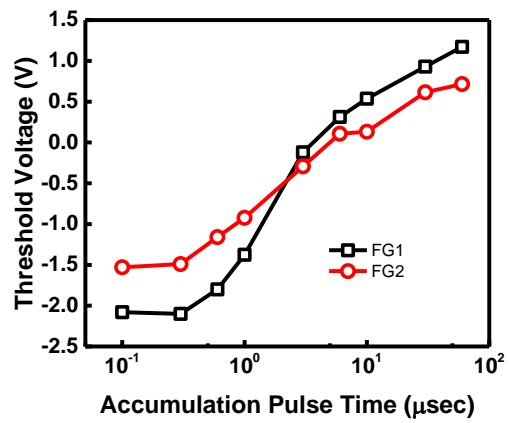
(a)



(b)



(c)



(d)

圖 2.1 (a)無法正確分開上下兩個浮動閘極的狀態
 (b) DG = 500 元件之編程特性
 (c) DG = 1000 元件之編程特性
 (d) DG = 2000 元件之編程特性

對於抹除而言，透過 FN Tunneling 進行抹除時，可以發現越大的控制閘極電壓，因為提供較大的垂直電場，因此抹除效率較高。速度較快。另外，DG 越小，因為電容耦合率較高，也就是控制閘極的控制程度越高，而使得 DG = 500 的抹除效率較 DG = 1000 高。

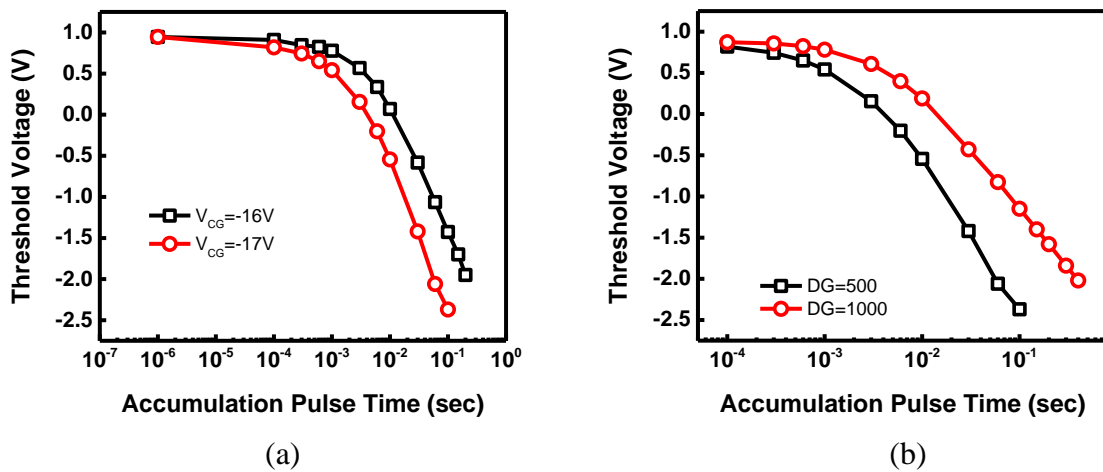


圖 2.2 (a) DG = 500 時，不同控制閘極電壓下進行抹除操作之特性測量
(b)不同控制閘極電壓下進行抹除操作之特性測量

陣列編程干擾分析而言，由於此陣列為 NOR 型進行排列，因此有共用源極線，控制閘極，位元線以及反位元線，當記憶體在進行編程時，是透過施加位元線來進行選取，而因為共用源極線，因此非選擇的元件仍有可能導致熱電子注入效應，圖 2.3 為編程操作對於陣列未選擇元件干擾的示意圖，分為 Cell A 以及 Cell B。另外，元件有分為 Logic 0 以及 Logic 1，可以看出不管是 DG = 500、1000、2000，未被選擇的元件皆有良好的抗干擾能力，附圖 2.4 為此記憶體元件在三種不同長度的接觸槽(DG)500 次操作內浮動閘極所受的干擾，可以看出此幾乎沒有載子進出浮動閘極。由於將讀取選擇在接近 0V，因此最終的讀取電流差異非常大，擁有良好的讀取視窗。

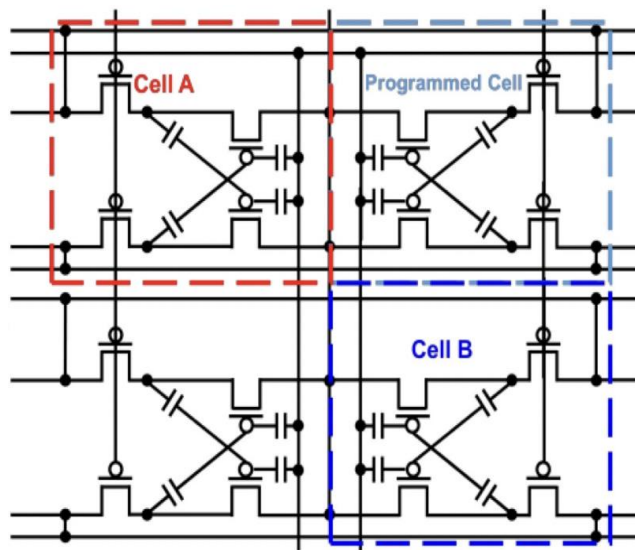
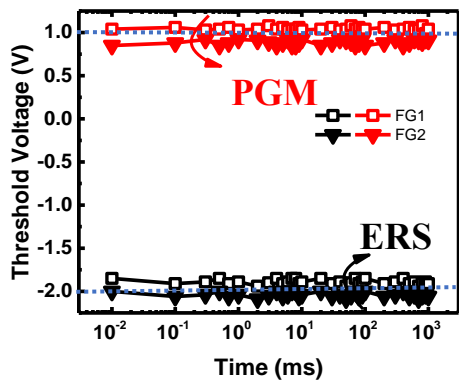
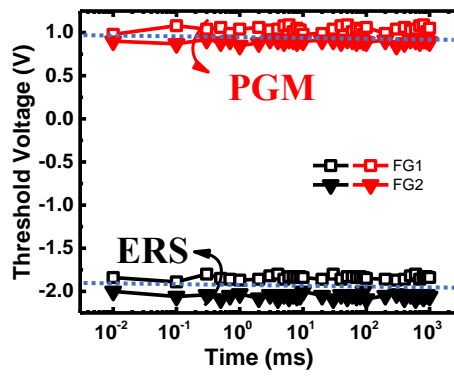


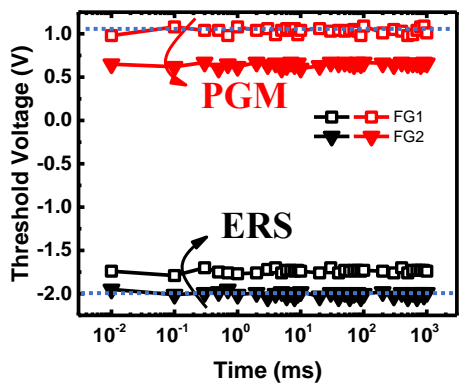
圖 2.3 陣列編程對於未選擇元件干擾示意圖



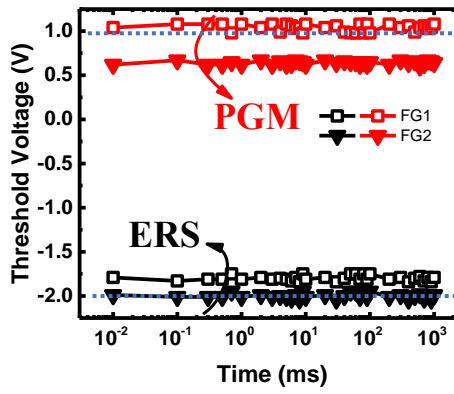
(a)



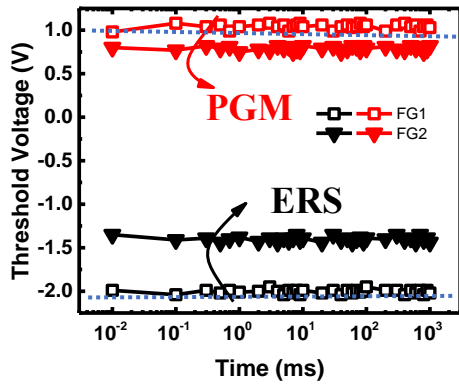
(b)



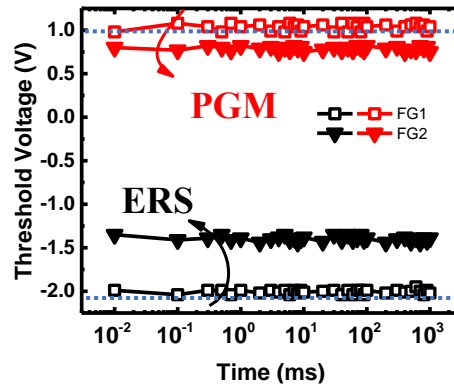
(c)



(d)



(e)



(f)

圖2.4 (a) $DG = 500$ 時，編程對於未選擇元件(Cell A)之干擾
 (b) $DG = 500$ 時，編程對於未選擇元件(Cell B)之干擾
 (c) $DG = 1000$ 時，編程對於未選擇元件(Cell A)之干擾
 (d) $DG = 1000$ 時，編程對於未選擇元件(Cell B)之干擾
 (e) $DG = 2000$ 時，編程對於未選擇元件(Cell A)之干擾
 (f) $DG = 2000$ 時，編程對於未選擇元件(Cell B)之干擾

自我修復機制為修復兩個處於導通態的浮動閘極，將流失掉的電子寫回去以提升臨界電壓，以提升記憶體的讀取辨識範圍，並且不會對於鄰近關閉態的元件造成影響。將選擇電晶體的字元線施加-1.8V電壓使其導通，源極線為-2.75V，其他節點電位都給 0V。實驗指出的最佳打入狀態為，源極線是-2.75V，pulse為 200 μs ，便可使得FG2回到編程狀態，且固定在這附近，如圖2.5。

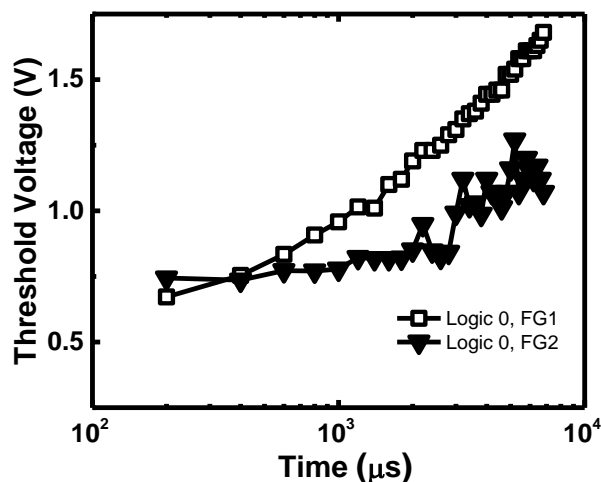


圖2.5 自我修復特性

心得感想

一開始，我們以線上或實體方式和同組同學討論文獻的相關知識。透過碩、博士論文學習新知，並且與金雅琴教授每兩週實體討論論文的整體架構和知識，進而充實自身對於半導體領域的背景知識。在這個基礎之下，將有助於後面題目的確立以及研究的方法。此外，教授的提問有時候會讓比較困難，但教授總會多給一點時間，在下一次的報告中再做回覆，這對於解決問題的能力也有所提升。

在學習操作機台的時候，林唯華學長不厭其煩的教導，我們得以順利獨立完成機台操作。此外，在遇到無法順利分開兩個FG的狀態的時候，我們將研究方向更改為研究不同DG對於各項操作的影響。幸運地，實驗研究指出，可以透過找尋到的操作條件而使得未選擇元件有抗干擾能力；此外，我們也找出了自我修復的操作條件。

感謝教授以及實驗室學長的幫忙，在我們遇到困難的時候，指點我們，並且教導我們如何解決。這次專題使我們更認識記憶體元件，也學到如何解決問題以及製作報告，受益良多。