

國立清華大學 電機工程學系

實作專題研究摘要

*Design of a 112Gbps Equalizer in  
Bang-Bang Phase Detector Receiver  
for XSR Application in 28nm CMOS*

應用於極短通道之 Bang-Bang 相位偵  
測接收端之 112Gbps 等化器於 28 奈米  
CMOS 製程

專題領域：系統領域

組 別：B344

指導教授：彭朋瑞

組員姓名：王柏涵、莊博丞、劉曜銘、陳文信、曾旭廷

研究期間：112 年 2 月至 112 年 11 月止，共 9 個月

## Abstract

本專題設計一個應用於極短通道 (Extra-short reach, XSR)的連續時間線性均衡器於 28 奈米 CMOS 製程。整個系統包含考量傳送端理想的前饋等化器以及連續時間線性均衡器 (Continuous time linear equalizer, CTLE)。連續時間線性均衡器之電路採用可調整式電阻、電容以及電感峰化 (Inductive peaking)技術，來增加頻寬和增益。電路的工作電壓為 0.9V，直流增益為 -2dB，並能針對不同長度的通道，在奈奎斯特頻率的通道損耗中恢復 112Gbps PAM4 訊號的眼圖失真。

使用 Virtuoso 模擬經通道衰減後的訊號在補償前後的狀況，先從 CTLE 的電路架構計算頻率響應，接著使用理想的 pole-zero filter，針對 BBPD 取樣的資料設計其 pole、zero 位置並透過 Single Bit Response(SBR)和眼圖(Eye Diagram)模擬補償情況。接著根據前步驟的結果，用 Composer 設計真實電路 CTLE 中各元件電阻值、電容值等以調整 pole、zero 的位置並替換掉 pz filter，再透過觀察訊號 SBR 及眼圖進一步修正設計，模擬訊號在補償前後的差別，最後進行線性度測試。

## Background

通訊電路系統中，數位訊號的清晰度十分重要，然而隨著資料傳輸量越來越大，訊號頻率也越來越高，使電路系統變得更加複雜，為了避免不同接線方式導致不同程度的失真，使得電路各節點的訊號判讀變得過於複雜，需要使用序列器(Serializer)及解序列器(Deserializer)合稱 SerDes 的電路使不同電路能夠同時收到正確的訊號。SerDes 的目的是減少資料在點對點傳輸時平行匯流排的複雜度、功耗及電路板空間。SerDes 系統由發射器(Transmitter)、通道(Channel)和接收器(Receiver)構成，通道中的訊號衰減(Channel Loss)通常越高頻越嚴重，而對接收器來說任何不清晰的訊號都可能導致訊號判讀失真，因此需要等化器(Equalizer)對訊號進行補償、修復損失。

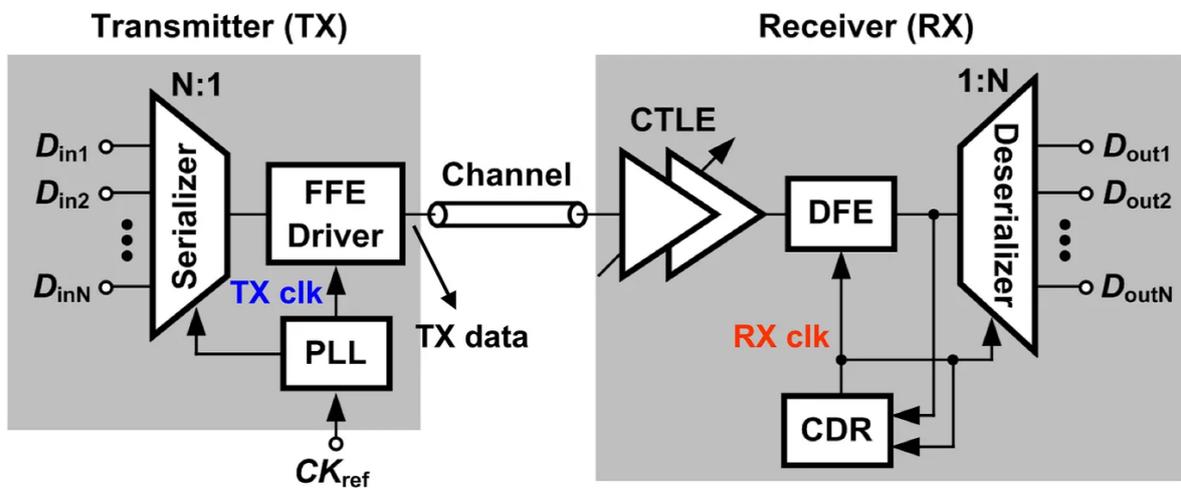


Fig.1 SerDes 系統示意圖

## Purpose

設計 SerDes 系統中的 CTLE(Continuous Time Linear Equalizer)，對通道中衰減的訊號進行補償，降低訊號失真導致的接收端訊號誤判。

本專題研究目的是設計 SerDes 系統中的 CTLE(Continuous Time Linear Equalizer)，對通道中衰減的訊號進行補償，避免訊號失真導致的接收端訊號誤判。使用 Virtuoso 模擬經通道衰減後的訊號在補償前後的狀況，先從 CTLE 的電路架構計算頻率響應，接著使用理想的 pole-zero filter(參考實驗室提供的模型)，針對 BBPD 取樣的資料設計其 pole、zero 位置並透過 Single Bit Response(SBR)和眼圖(Eye Diagram)模擬補償情況。接著根據前步驟的結果，用 Composer 設計真實電路 CTLE 中各元件電阻值、電容值等以調整 pole、zero 的位置並替換掉 pz filter，再透過觀察訊號 SBR 及眼圖進一步修正設計，模擬訊號在補償前後的差別，最後進行線性度測試。

最終完成設計 28nm 真實電路中的 CTLE，能夠分別對五種不同通道長度造成的 Channel Loss 進行補償，降低訊號高頻傳輸時的失真率，並且對其進行線性度測量 (THD measurement)。

## Method

本專題研究使用 56Gbps 的 NRZ 及 112Gbps 的 PAM4 訊號，分別對 1.3cm、2cm、3cm、4cm、5cm 等五種通道長度進行訊號衰減的模擬，以下是本專題研究流程圖：

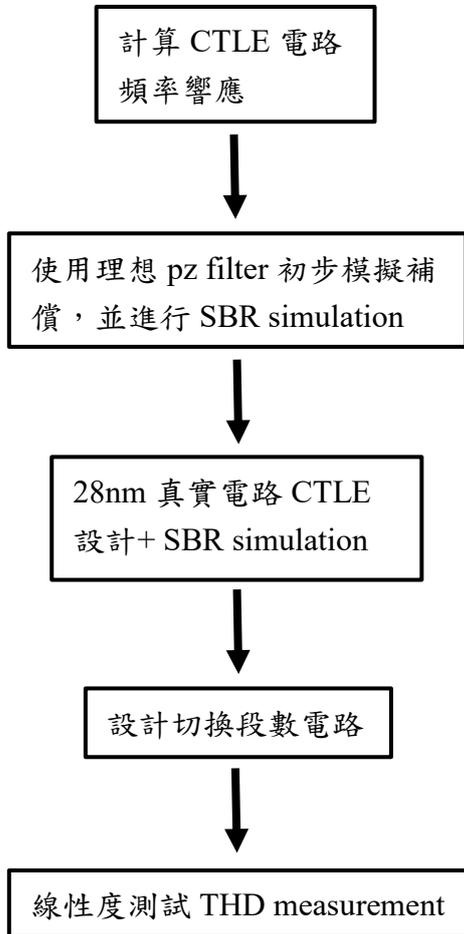


Fig.2 研究流程圖

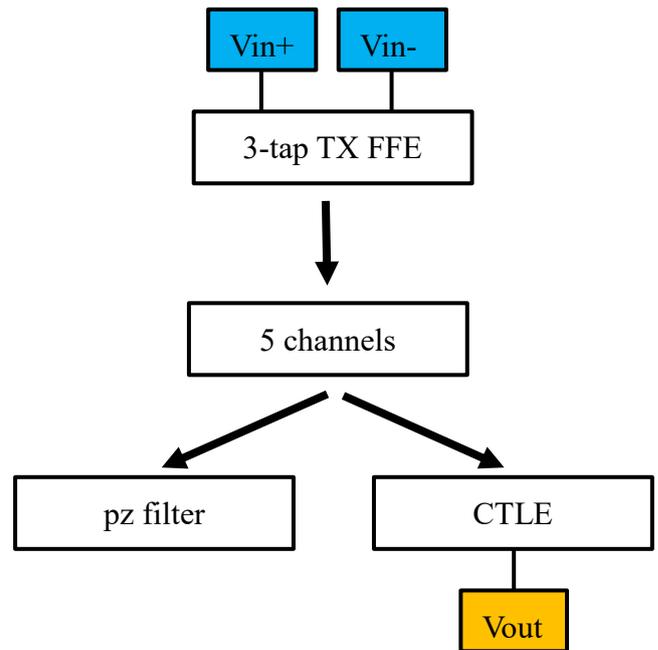


Fig.3 電路架構

## I. 計算 CTLE 電路頻率響應

此步驟為手算 CTLE 電路架構的頻率響應，通過對電路進行分析以了解補償訊號的原理，以及如何設計電路中的各個元件。

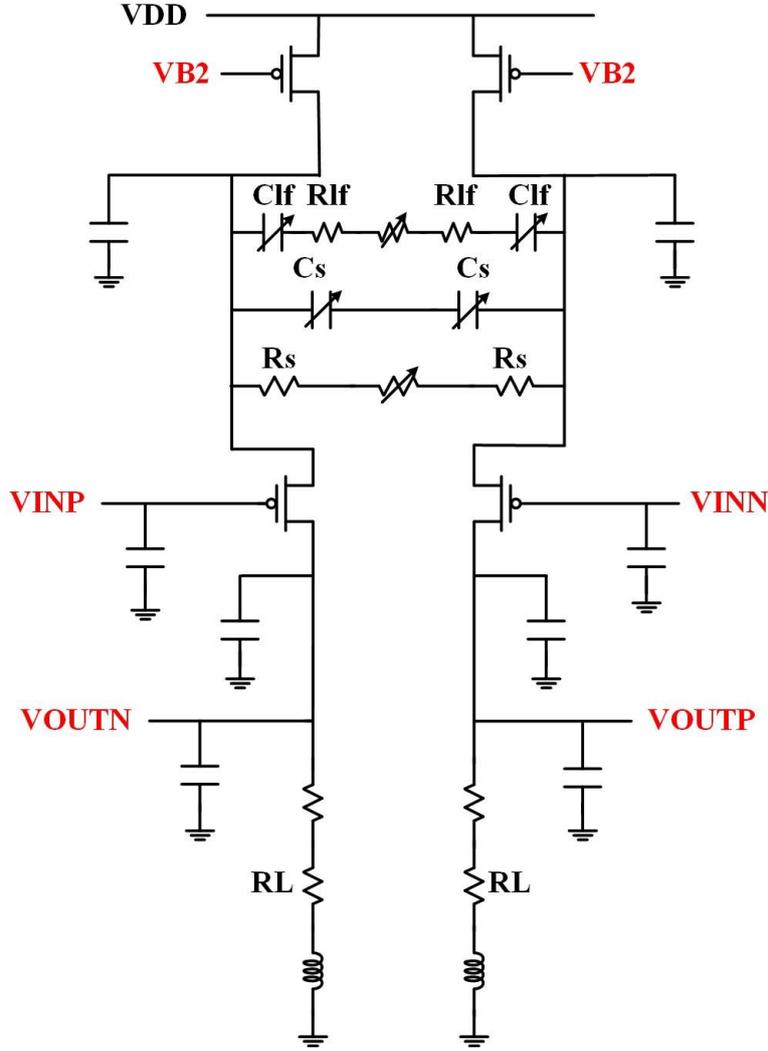


Fig.4 Conventional CTLE structure

$$f_{z1} = \frac{1}{2\pi C_{lf}(R_{lf} + R_s)}, \quad f_{p1} = \frac{1 + R_s g_m}{2\pi C_{lf}(R_{lf} + R_s + R_{lf} R_s g_m)}$$

$$f_{z2} = \frac{R_{lf} + R_s}{2\pi C_s R_{lf} R_s}, \quad f_{p2} = \frac{R_{lf} + R_s + g_m R_{lf} R_s}{2\pi C_s R_{lf} R_s}$$

$$f_{z3} = \frac{R_L}{2\pi L}, \quad f_{p3} = \frac{-R_L + \sqrt{R_L^2 - \frac{4L}{C_L}}}{2\pi L}, \quad f_{p4} = \frac{-R_L - \sqrt{R_L^2 - \frac{4L}{C_L}}}{2\pi L}$$

## II. 補償前損失

在尚未加入 CTLE 前，分析不同長度通道的 single bit response (SBR)受到通道 RC delay 的影響，發現在 main-cursor (h0)的位置會有損失，而在 pre-cursor (h-1)及 post-cursor (h1,h2,h3)的位置，都不為零，其會影響到前後訊號判斷的準確性，造成 inter-symbol interference (ISI)，而隨著通道長度增加，h0 的損失越多，h-1, h1, h2, h3 則逐漸增加，使得 ISI 越大，訊號的準確性越低。透過分析眼圖的眼高(eye height)，可得知所有可能訊號的損失，損失越大則眼高越小。

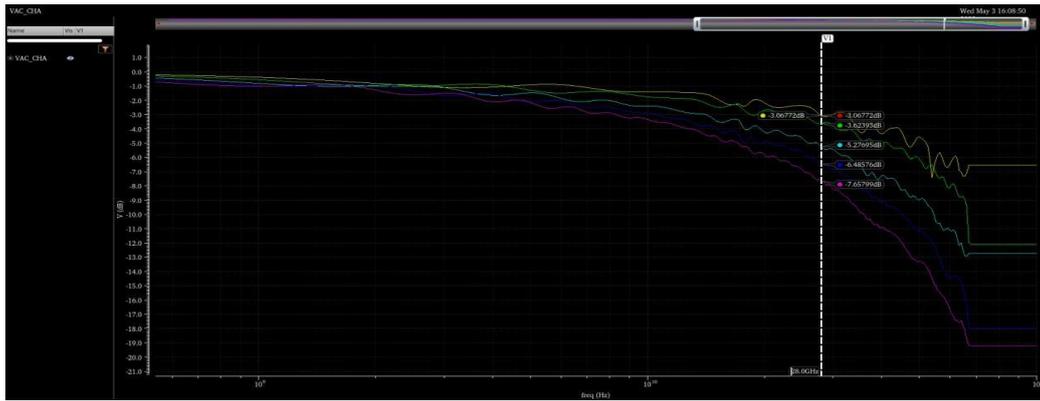


Fig.5 FR4 通道損耗

FR4	1.3cm	2cm	3cm	4cm	5cm
Loss(dB)	-3.06772	-3.62393	-5.27695	-6.48576	-7.65799

## III. 理想濾波器補償

利用 ideal pole-zero filter 模擬理想的 CTLE，能夠直接給予適當的 pole 及 zero，對 channel loss 進行補償，針對 BBPD 取樣的資料調整 pole 及 zero 的大小，盡可能消除 pre-cursor 及 post-cursor 帶來的 ISI，使得眼圖的眼高達到最大值。調整理想 CTLE 的 fz1, fz2, fp1, fp2 的大小，並觀察模擬結果，分析出 poles 及 zeros 的補償對 ISI 的影響：調整 fz1, fp1 對 h2, h3 等低頻 ISI 影響較大，而調整 fz2, fp2 對 h1, h2 等高頻 ISI 有較大的影響。

## IV. 28nm 真實電路 CTLE 設計

此步驟為本專題研究最主要的部份，參考前步驟的結果進行真實電路 CTLE 的設計，並替換掉理想的 pz filter。透過設計電路中 MOS 的 size 以及被動電容、電感值以控制電路 pole、zero 的位置，補償訊號在 Nyquist frequency 之前的 channel loss，以達成避免訊號失真的目的。

## V. 設計切換段數電路

由於實際上根據不同情況通道長度可能不同，導致 channel loss 也不同，因此 equalizer 必須能夠根據不同情況調整補償量，否則當 channel loss 變大時可能發生補償量不夠；channel loss 變小時可能發生過補償的情況，兩者都可能造成訊號的失真。此步驟將 CTLE 電路中的元件拆成幾個更小的部分，並設計能夠調整電阻、電容並聯量的控制開關，藉此達成將補償量分為不同段數的目的。

## VI. 線性度測試(THD measurement)

線性度是對於 CTLE 的一項重要特性。系統的瓶頸總是在於最差的眼，因此對於 PAM4 訊號來說，最理想的是三個眼高的大小要一致。倘若 CTLE 的 gain 太大，會導致 Output Swing 過大，進而導致電路失去小訊號模型的線性特性，如此的結果會是中間眼的高度過大，進而壓縮了上下眼的高度，導致系統的不理想。

我們使用 THD(Total Harmonic Distortion) 來測量 CTLE 的線性度，我們首先測量訊號經過 FFE 和 Channel 後的 AC response，如此便可得到訊號經過該 FFE 補償後再通過 Channel 後的 Loss，這裡我們選擇測量 Channel 在 164M, 7G, 14G, 28GHz 時的 loss。

$$f(x) = \beta_1 \sin x + \beta_3 \sin 3x + \dots$$

$$\text{THD} = \frac{\sqrt{\sum_{n=2}^{\infty} \beta_n^2}}{\beta_1} \approx \frac{\beta_3}{\beta_1}$$

## Results



Fig.6 5cm 補償前 NRZ 眼圖



Fig.7 5cm 補償後 NRZ 眼圖

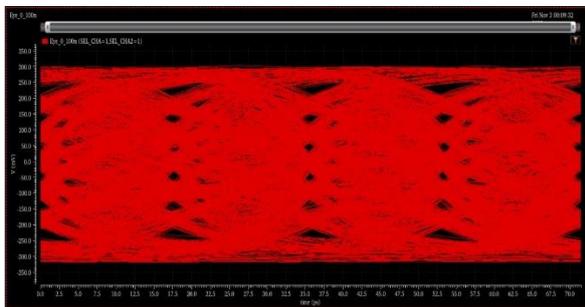


Fig.8 5cm 補償前 PAM4 眼圖

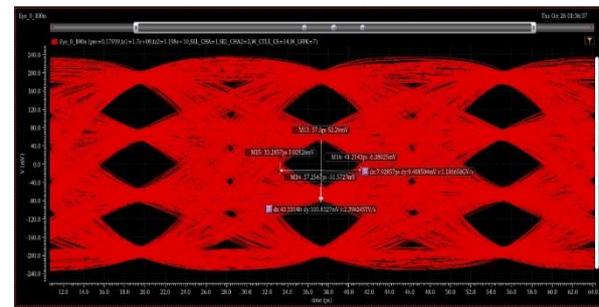


Fig.9 5cm 補償後 PAM4 眼圖

## THD

Channel fin	1.3cm	2cm	3cm	4cm	5cm
164MHz	-38.18	-39.41	-41.77	-43.64	-45.76
7GHz	-36.05	-37.32	-39.61	-40.07	-40.93
14GHz	-36.25	-37.48	-39.11	-40.34	-40.98
28GHz	-39.56	-40.3	-43.04	-44.9	-46.42

Table1. THD 模擬結果

<b>Comparison Table</b>	<b>1.3cm</b>	<b>2cm</b>	<b>3cm</b>	<b>4cm</b>	<b>5cm</b>
<b>NRZ_EH W/O Compensation(mV)</b>	<b>239.5</b>	<b>205.5</b>	<b>129.5</b>	<b>96.37</b>	<b>55.26</b>
<b>PAM4_EH W/O Compensation(mV)</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>
<b>NRZ_EH With Compensation(mV)</b>	<b>456.4</b>	<b>444</b>	<b>396.4</b>	<b>391.4</b>	<b>356.7</b>
<b>PAM4_EH With Compensation(mV)</b>	<b>108.7</b>	<b>115.9</b>	<b>104</b>	<b>110</b>	<b>91.39</b>

Table.2 Comparison Table

## Conclusion

這個專題介紹了一種應用於超短距離的112Gbps 等化器，其採用了源極退化、電感峰化、可調整式電容、電阻。通過這種設計，成功實現了在奈奎斯特頻率下具通道損耗的資料傳輸。在28奈米 CMOS 製程上進行模擬，本設計展示出往更高速度應用發展的可能性。

## Review and reflections

本專題實作由彭朋瑞教授指導，並由林彥博學長、謝武宏學長進行指導與訓練。利用實驗室資源，學習高速混合訊號電路設計，並藉由修讀彭朋瑞教授於下學期開設的通訊電子學，希望能搭配專題實作，更精進於高速介面電路的知識。

專題內容以訓練為主、成果為輔。專題中的許多知識將來都能運用於研究，在學習過程中也感受到對於混合訊號、類比電路的熱忱與喜愛。

感謝指導教授以及學長給予我們研究的機會與資源，經過本次專題，我們除了學習到了豐碩的專業知識以外，也學習到如何與組內的同學進行團隊合作，相信這些都能成為成長路上，相當重要的經驗與養分。

## Reference

- [1] 淺談通訊系統中的等化器，Yang Research Group，蔡昫彥，2023/06/15。
- [2] Jri Lee, Ping-Chuan Chiang, Pen-Jui Peng, Li-Yang Chen, Chih-Chi Weng, “Design of 56 Gb/s NRZ and PAM4 SerDes Transceivers in CMOS Technologies,” IEEE Journal of Solid-State Circuits, vol. 50, September, 2015.
- [3] Renjie Tang, Kanan Wang, Dan Li, Li Geng, Xiaoyan Gui, “A 100-Gb/s PAM-4 CTLE in 28-nm CMOS with Coarse-Fine Gain Adjustment,” IEEE International Conference on Integrated Circuits, November, 2020.