

Design of Active Interposer
Microchip for High-density Neural
Microprobe Array
高密度神經微探針所需之主動式橋
接晶片設計

專題領域：系統領域

組別: B342

指導教授：陳新

組員姓名：吳士宣、吳盈蓁

研究期間：112年2月~112年10月

中文摘要

深部腦部刺激(DBS)已成為減緩帕金森氏症(PD)症狀的重要替代方案。然而，儘管 DBS 現在非常重要，但有關基於腦部刺激的治療行為和認知上的改變需要再進一步研究。

這個項目的目標是設計一個用於高密度神經微探針陣列的主動插入式微芯片。這個微芯片的其中一個功能是測量小鼠腦組織的阻抗，這意味著我們需要一個數位類比轉換器以及一個帶通濾波器，以在電極上產生不同頻率且無雜訊的正弦電壓信號，最終此信號會通過一個電容產生電流，流經阻抗後，再經過 recording amplifier，即可記錄到電壓，由於我們知道電流值，因此用電壓除以電流值即可得到阻抗。

在這個專題中，我們會去嘗試各種不同架構的數位類比轉換器和帶通濾波器，以滿足正弦電壓信號(輸出)的要求。在此項目，我們會使用 HSPICE 模擬這些電路架構，並逐一檢查輸出結果是否符合要求。通過不斷地檢查跟計算，找出電路的問題並設法解決，例如 MOSFET 之間的 mismatch、不合適的 size 或是電流太小電路無法正常操作...等問題。

為了設計一個能夠在特定頻率下產生具有適當振幅的正弦電壓信號的 DAC，以及一個可調截止頻率的帶通濾波器以濾掉輸入 DAC 的雜訊。目前我們使用 multi-section charge scaling DAC，其放大器以 rail-to-rail 的架構來實現，帶通濾波器則是以 Tow-Thomas biquad filter 來實現。最終，當把 DAC 及濾波器兩者接起來時，其模擬結果在一定振幅的正弦波下，確實滿足我們的需求。

關鍵字：數位至類比轉換器、可調截止頻率之濾波器

Abstract

Deep brain stimulation (DBS) has become an alternative of importance for alleviating the symptoms of Parkinson's disease (PD). However, although DBS is now of great importance, the mechanisms behind the DBS-based therapeutic actions and cognitive alterations are in desperate need for further investigation.

The goal of this project is to design an active interposer microchip for a high-density neural microprobe array. One of the functions of this microchip is measuring the impedance of the brain tissue of the mice, which means that we need a digital-to-analog converter (DAC) as well as a bandpass filter to generate sinusoidal voltage signals at different frequencies. The voltage signals will be converted into current signals by a capacitor and then flow to the electrode. The recording amplifier will record the voltage difference between the two electrodes so that we can subsequently determine the impedance of the tissue by dividing the voltage with the current. As a result, the design of the DAC and the bandpass filter is of significance.

In this project, we are going to experiment with different types of DACs and bandpass filters for the purpose of satisfying the requirement of the output sinusoidal voltage signals. Whenever we construct a new type of circuit structure, we will simulate it with HSPICE and check whether the output results match the requirements. By constant behavior examinations and hand calculations, we are able to find out the problems in the circuit, such as the mismatch among the MOSFETs, inadequate sizes or weak current flow, and try to fix them.

We hope to design a DAC that is able to generate sinusoid voltage signals with proper amplitude at certain frequencies and a bandpass filter whose input comes from the output of the DAC with adjustable corner frequencies. So far, we apply the multi-section charge scaling DAC that includes a rail-to-rail input amplifier and the Tow-Thomas bi-quad filter which serves as a bandpass filter to meet the requirement of the project. Eventually, the results of our simulation where we put the DAC and the bandpass filter together meet the requirement.

Keywords: digital to analog converter, filter with adjustable corner frequency

1. Introduction

本專題之目的為設計一個適用 high-density neural microprobe array 的 active interposer microchip，以此做為能讓小白鼠配戴的多模式 neuromodulator。此 microchip 的功能之一為量測小白鼠腦內組織的阻抗。我們計畫將兩個電極連接在組織兩側，並對其打入正弦電訊號，同時測量電極間產生的電流大小。為達成此目的，我們設計了一個數位-類比轉換器(DAC)來生成正弦波，以及一個可以在 1kHz 至 10kHz 之間自由選擇截止頻率的 bandpass filter 來過濾雜訊。DAC 參考了 [1]、[2] 的架構；bandpass filter 參考了 [5] 的架構，而以上兩組電路的架設、規格調整以及模擬方式皆為我們自行判斷與進行。

2. Research Methodology

2-1. DAC

由於我們需要產生出各種不同頻率的電壓訊號，因此需要一個數位-類比轉換器(DAC)，將數位訊號轉化成類比訊號。教授要求一個 8-bit 且可產生出 10kHz sinusoid wave 的 DAC。

在設計初期，我們想使用常見且直觀的 current DAC，但發現在 bit 切換(0-1 或 1-0)時，輸出的電壓訊號會有明顯掉落的情況，推測是 switch(實作上由 transmission gate 組成)切換時瞬間的斷路所造成。為解決此問題，我們上網搜尋並參考了 [1] 關於 parallel DAC 與 serial DAC 的介紹，了解了三種 parallel DAC – current scaling DAC、voltage scaling DAC、charge scaling DAC 和兩種 serial DAC – charge redistribution DAC、algorithmic DAC 的運作原理與優缺點。基於教授所要求的工作頻率，我們決定暫時先不考慮使用緩慢的 serial DAC；又因欲避免 bit 切換瞬間短路造成輸出電壓驟降，選擇使用電容充放電操作的 charge scaling DAC。

確定使用 charge scaling DAC 後，我們先是選用最直觀的方式，自第一個 bit 的單位電容 C_u 逐步加倍至第八個 bit 的 $128 \cdot C_u$ 來累積電荷，後來為了減少單位電容使用量，以進一步縮小電路面積，我們參考了 [2] 的理論，將 8 個 bit 分成 6-1-1 三個區域，中間用 $2 \cdot C_u$ 的 bridge capacitor 連接，以盡量在保留一定程度的 DNL 穩定性時減少電容所需的面積。Fig 1. 為分區的示意圖。

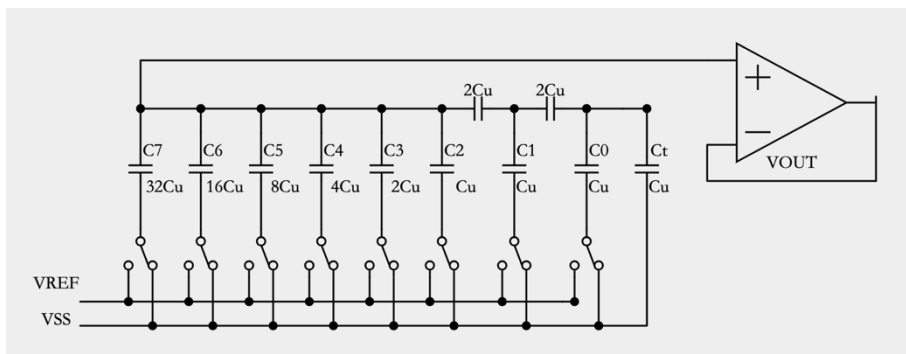


Fig 1. split DAC

8-bit 的電訊號送入8組共16個 transmission gate，控制該 bit 接到高電位或低電位，再經過上述的電容陣列，累積所需的電荷，並將其跨壓輸入一個 operational amplifier 的正端，並將 operational amplifier 的輸入負端與輸出端短路，因此這個 operational amplifier 將扮演 voltage buffer 的角色，將欲輸出的電壓忠實輸出。

一開始我們先選用 5-T 的 differential amplifier 作為 operational amplifier，由 2 顆 PMOS 和 3 顆 NMOS 組成。經過模擬發現，當自電容輸入 differential amplifier 的電壓過低時，differential amplifier 最下方負責提供穩定電流源的 NMOS 會進入 linear region，造成放大倍率不足，因此在 input common mode voltage 太低時，operational amplifier 所提供的 voltage buffer 的功效會下降不少，導致輸出電壓無法忠實達到輸入的電壓，也會使 DNL 過小。

發現此問題後，我們選擇嘗試 rail-to-rail input amplifier 的構造(Fig 2.)，使用一個 NMOS differential amplifier 和一個 PMOS differential amplifier 加上 cascode current summing circuit 以及兩組 current mirror 以確保在極高以及極低的輸入電壓下，兩個 differential amplifier 的組合仍能保持至少其中之一在工作區域中，擁有相當的 gain，提供穩定良好的 voltage buffer 的功效。

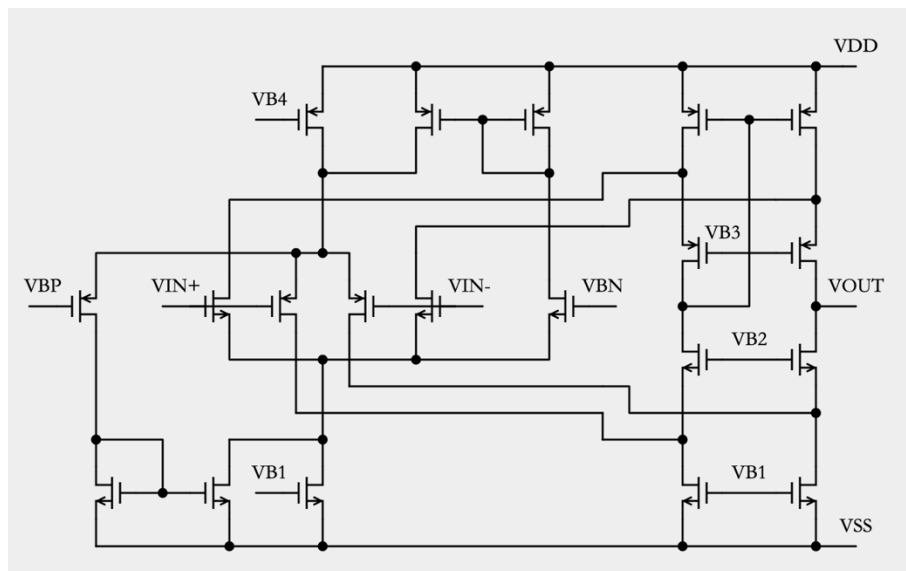


Fig 2. Rail-to-rail input amplifier

2-2. Bandpass Filter

我們的目標是設計一個 1kHz~10kHz 可調 corner frequency 的 second order bandpass filter，以濾掉前面 DAC 的雜訊，只讓特定頻率的訊號通過。起初我們選擇具有 good power efficiency 的 Gm-C filter 來做為設計目標，操作原理主要是透過改變 operational transconductance amplifier 的 biasing current 來調整 Gm 值以改變 corner frequency。首先，我們參考了[3]，並推導出 second order bandpass filter 的 block diagram(Fig 3.)及 transfer function，

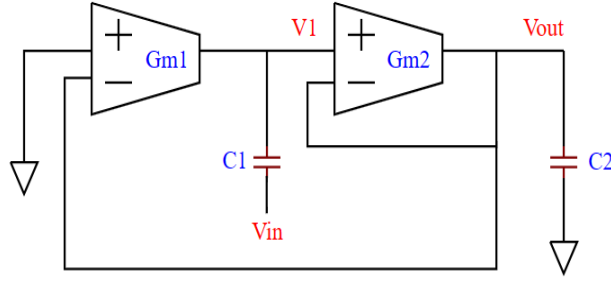


Fig 3. block diagram

$$\begin{aligned}
 V_{out} &= Gm_2(V_1 - V_{out}) \times \frac{1}{sC_2} \\
 V_1 - V_{in} &= Gm_1(0 - V_{out}) \times \frac{1}{sC_1} \\
 \Rightarrow \frac{V_{out}}{V_{in}} &= \frac{Gm_2 C_1 s}{s^2 C_1 C_2 + Gm_2 C_1 s + Gm_1 Gm_2} \\
 \Rightarrow s &= \frac{-C_1 Gm_2 \pm \sqrt{(Gm_2 C_1)^2 - 4C_1 C_2 Gm_1 Gm_2}}{2C_1 C_2} \\
 \text{When } (Gm_2 C_1)^2 - 4C_1 C_2 Gm_1 Gm_2 &= 0 \\
 \Rightarrow Gm_2 C_1 &= 4Gm_1 C_2, \text{ if } Gm_2 = Gm_1 \Rightarrow C_1 = 4C_2 \\
 \Rightarrow s &= \frac{-Gm_2}{2C_2} \\
 \text{therefore, corner frequency } f_0 &= \frac{-Gm_2}{4\pi C_2} \dots (1)
 \end{aligned}$$

此處 Gm block 的架構我們本想以 floating gate 的方式來實現 program 的機制，因為是未曾接觸過的電路，所以覺得十分有挑戰性，但與老師討論後，得知若以 floating gate 的架構來實作，可能會需要再超過半年的研究時間，因此礙於時間上的限制，我們決定再找其他電路替代，因此最後我們參考[4]，並以 current DAC 實作理想電流源，以達到可變電流的效果。

假設 mos 操作在 saturation，可得 transconductance gain $Gm = \sqrt{\mu_n C_{ox} \frac{w}{L} I_{abc}}$ ，並帶入預設規格: 1kHz~10kHz 至(1)後，得到的電流大小介於 $10^{-15} \sim 10^{-17} A$ ，由於此電流太小，所以我們推測 mos 應會是操作在 subthreshold region，在實際模擬及查閱相關論文，並與老師討論後，確實要讓 mos 操作在此區域，才会有此等級的微小電流。為了驗證 transfer function 推倒無誤，我們先用理想電流源確認此等級大小的電流確實是我們想要的，驗證計算過程沒有錯後，我們認為透過改變電流來達到所需 corner frequency 的可行性並不高，因為 current mirror 非操作在 saturation，會導致 mirror 過去的電流不準確。因此經過討論後我們決定再次更改架構，使用 operation amplifier 及電阻電容，讓 corner frequency 被 R、C 決定，而

不是被 gm 決定。Fig 4. 為我們參考[5]，所設計的 Tow-Thomas biquad filters，經過推算可得 corner frequency 與 R、C 之間的關係。

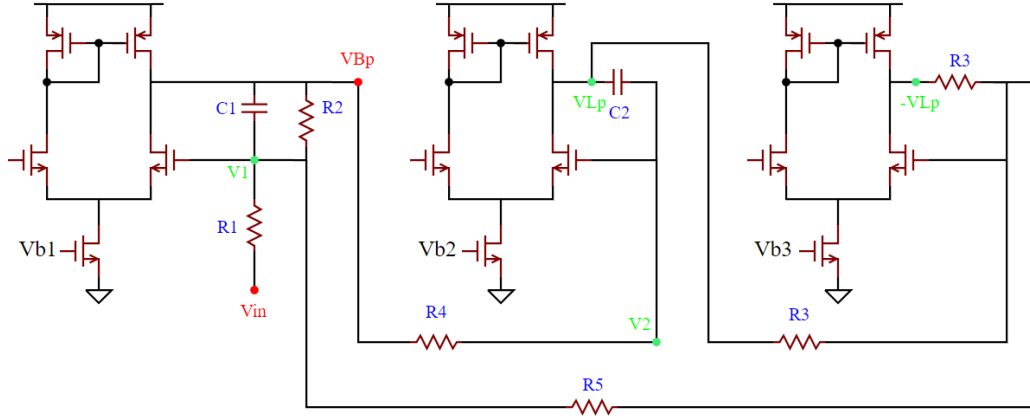


Fig 4. Tow-Thomas biquad filters

$$\frac{V_i - V_1}{R_1} = \frac{V_1 - (-V_{LP})}{R_5} + \frac{V_1 - V_{BP}}{R_2} + \frac{V_1 - V_{BP}}{\frac{1}{sC_1}}$$

$$\frac{V_2 - V_{BP}}{R_4} = \frac{V_{LP} - V_2}{\frac{1}{sC_2}}$$

$$\Rightarrow \frac{V_i}{R_1} = \frac{-V_{BP}}{R_5 s C_2 R_4} + \frac{-V_{BP}}{R_2} + \frac{-V_{BP}}{\frac{1}{sC_1}}$$

$$\Rightarrow \frac{V_{BP}}{V_i} = \frac{\frac{-s}{R_1 C_1}}{s^2 + \frac{1}{R_2 C_1} s + \frac{1}{C_1 C_2 R_4 R_5}}$$

$$\Rightarrow \omega_n = \frac{1}{\sqrt{C_1 C_2 R_4 R_5}} = 2\pi f$$

$$\Rightarrow f = \frac{1}{2\pi \sqrt{C_1 C_2 R_4 R_5}} \cdot Q = \frac{1}{2\xi} = \frac{R_2 \sqrt{C_1}}{\sqrt{C_2 R_4 R_5}}$$

我們選定 C_2 作為調整 corner frequency 的元件，因此將 C_2 以 10 個 switch 控制的電容所組成 (switch 實作上由 transmission gate 組成)，控制 C_2 的大小值，並分別帶入規格 1kHz ~ 10kHz，得到所需的十種 C_2 值。電阻的部分，由公式可知 R_2 要設計的大一點，才會有更大的 Q factor，更佳的濾波效果。

3. Experimental Results

3-1. DAC

為了模擬 DAC 的 8-bit 數位輸入訊號，我們使用了 8 個理想電壓源，以 pulse 的方式在 64us 內模擬 1111-1111 至 0000-0000 的訊號輸入，並在 waveview 中檢視輸入端與輸出端電壓訊號的波形

我們發現，輸入端的電壓從 1.6V 左右以固定斜率階梯式地下降至 0V，而輸出端的電壓訊號在 1.4~0.2V 左右時的波形和輸入端差不多，可見此 DAC 在 0.2V 至 1.4V 區間內，voltage buffer 的效果還算可以，有效工作區間約為 1.2V，因此可輸出振幅約 0.6V 的 sine wave。

3-2. Bandpass Filter

為了確認 10 個 transmission gate 分別開啟時，其 corner frequency 會對應到 1kHz、2kHz 9kHz、10kHz，因此我們先跑 ac analysis，確認 corner frequency 無誤後，再去跑 transient analysis。模擬方式為給一個 common mode voltage 為 0.9V，振幅為 0.2V 的 input sinusoidal wave。當 corner frequency = 1kHz 時，若輸入低頻(如 100Hz)或高頻訊號(如 4kHz~10kHz)，可觀察到其信號被有效抑制，而頻率為 1kHz 的信號則能順利通過。當 corner frequency = 5kHz 時，若輸入低頻(如 1kHz~3kHz)或高頻訊號(如 7kHz~10kHz)，可觀察到其信號被有效抑制，而頻率為 5kHz 的信號則能順利通過。

3-3. DAC + Bandpass Filter

在確定 DAC 以及 bandpass filter 在 dc voltage level 在 0.6V~1V 區間內可正常運作後，我們便將 bandpass filter 接在 DAC 之後，並設計了幾組用來生成 sine wave 數位電壓訊號輸入 DAC 進行模擬。在數位訊號的設計中，我們將一個完整的正弦波均分成 40 份，並以 8-bit 的解析度計算每 1/40 週期所對應的電壓，最終設計了震幅 0.2V，用來生成頻率 1KHz 和 10KHz 的正弦波的數位訊號。模擬結果如 Fig 5. 所示。

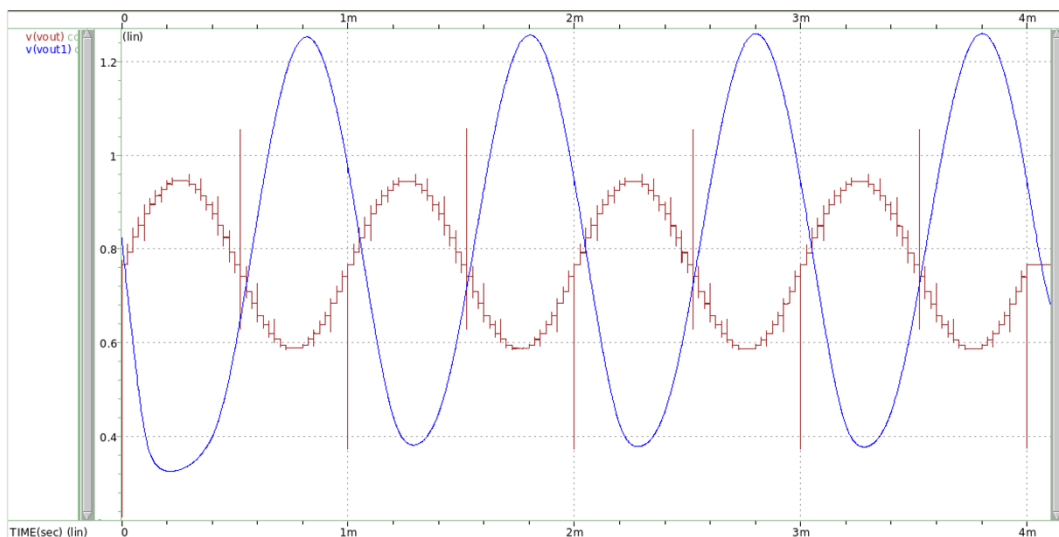


Fig 5. simulation result at 1KHz (red: DAC output, blue: bandpass filter output)

由以上波形圖可知，DAC能以40KHz~400KHz切換所需要的電壓，生成階梯形的正弦波，並將此訊號輸入bandpass filter；而bandpass filter則能過濾掉來自DAC的輸入訊號的雜訊，自由調整並保留所需要的截止頻率(1KHz~10KHz)，以輸出平滑的正弦波。

4. Discussion and Future Plan

4-1. DAC

我們所使用的DAC架構需要一顆由負回授的operational amplifier所構成的voltage buffer。原本我們只使用了由兩顆PMOS和三顆NMOS所組成的簡單的5T differential amplifier作為operational amplifier，但後來發現當輸入訊號的DC level過低時，最下方的NMOS會進入linear region，導致amplifier的gain不足，所以負回授的operational amplifier沒辦法將過低的電壓buffer出來。雖然本專題並不需要使用到低dc level，但我們還是想要設計出工作區間更大的operational amplifier。為此，我們想嘗試選用rail-to-rail input amplifier來解決問題。

截至撰寫這份報告時，我們尚未能設計出能忠實buffer出supply voltage附近的voltage buffer，當input common mode voltage level小於0.2V或大於1.4V時，輸出電壓之斜率會趨緩。換言之，在input common mode voltage level趨於VDD或VSS時，整個rail-to-rail input amplifier的gain不足。目前推測可能原因有二，一是由三顆PMOS和兩顆NMOS所組成的那組5T differential amplifier未在工作區域內，二則是

cascode current summing circuit未能完整運作。經過檢查，發現該5T differential amplifier在input common mode voltage level降至0V時依然保持在工作區域內，因此暫時排除第一種原因，加上發現cascode current summing circuit 中的電流低於預期，因此推斷問題最有可能出在current summing circuit上。我們接下來計劃針對電路中的VB2和VB3進行調整，或調整current summing circuit中的transistor的size，讓連接在輸出端上下的一顆PMOS和一顆NMOS，以及他們在current mirror所對應的另外兩顆，合計四顆transistor在subthreshold region下工作，以求製作出工作區域更廣的operational amplifier。

4-2. Bandpass Filter

在模擬時發現，若 input sine wave 振幅太大，會導致 amplifier 的 gain 不足，推測是因為最下方的 NMOS 進入 linear region 了，因此我們接下來計劃在此部分也嘗試rail-to-rail的架構，或是調整 transistor的size，以減少最下方NMOS的Vdsat，實現更大的工作區。

從模擬結果可發現斜率約為-20dB/dec，表示目前此架構的兩個pole已經很接近了，但並未達到重根，因此若要實現更高的解析度，我們認為須使用更高階的濾波器，在查閱相關論文後，有找到[6]，內容為六階的bandpass filter，並且其截止頻率為1kHz~10kHz，因此未來將研讀並嘗試實作此架構。

5. Conclusion

本專題使用180nm製程模擬數位-類比轉換器與可調截止頻率之濾波器，過程中參考了[1]、[2]、[3]、[4]、[5]中所提出的架構，並根據本專題之需求加以修改。數位-類比轉換器能夠透過數位訊號產生出1KHz至10KHz之sine wave模擬電壓訊號，且bandpass filter也能藉由切換電容來過濾目標頻率之外的雜訊。附表(Table 1.)為本專題成果之SPEC數據。

Rail-to-rail Input DAC			
Input Common-Mode Range		0V~1.8V	
Vout Range		0.2V~1.4V	
Tow-Thomas Biquad Filter			
Corner freq frequency	1KHz	5KHz	10KHz
100Hz	-16.2dB	-37.3dB	-38.7dB
1KHz	8.35dB	-23.9dB	-34.2dB
5KHz	-10.9dB	8.9dB	-19.3dB
10KHz	-17dB	-14.8dB	2.91dB
100KHz	-31.3dB	-31.4dB	-31.3dB

Table 1. 專題成果SPEC數據

6. Reference

- [1] P. E. Allen and D. R. Holberg, "CMOS Analog Circuit Design," 2nd Edition, Oxford University Press, New York, 2004.
- [2] S. Park and S. Raman, "Analysis and Optimization of Multisection Capacitive DACs for Mixed-Signal Processing," in IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 27, no. 3, pp. 679-690, March 2019, doi:10.1109/TVLSI.2018.2888593.
- [3] Sarpeshkar, R. (2010). Ultra Low Power Bioelectronics: Fundamentals, Biomedical Applications, and Bio-Inspired Systems. Cambridge: Cambridge University Press. doi:10.1017/CBO9780511841446
- [4] M. Kumngern and P. Phasukkit, "Versatile Voltage-Mode Multifunction Biquadratic Filter Employing Only Eight Single-Ended OTAs and Two Grounded Capacitors," 2012 Fourth International Conference on Computational Intelligence, Communication Systems and Networks, Phuket, Thailand, 2012, pp. 441-444, doi: 10.1109/CICSyN.2012.85.
- [5] Freeborn, Todd J. et al. "Fractional-step Tow-Thomas biquad filters." Nonlinear Theory and Its Applications, IEICE 3 (2012): 357-374.
- [6] S. Sarkar, R. Agarwal and N. Krishnapura, "Bandpass Filter and Oscillator ICs with THD < -140dBc at 10Vppd for Testing High-Resolution ADCs," 2023 IEEE International Solid- State Circuits Conference (ISSCC), San Francisco, CA, USA, 2023, pp. 1-3, doi: 10.1109/ISSCC42615.2023.10067771.

7. Final Thoughts

專題計畫在第一學期時由教授提出 proposal，在我們充分了解計畫內容後，便開始和教授商量專題內容，最終決定製作 proposal 中 DAC 和可調頻率的 bandpass filter。

第一學期的專題進度主要為累積進行專題所需電路設計的相關知識，因此教授每兩週都會給定一個學習方向，讓我們在 IEEE 上搜尋、閱讀關於 DAC 和 bandpass filter 的電路架構與設計方式的相關 paper。我們讀完後會和教授報告所讀到的內容並加以討論，並提出自己的問題，教授也會針對我們的報告內容進行補充或修正，同時提出許多創新的想法與接下來兩週的學習方向。在這個學期，我們瞭解到本專題在生醫領域中的應用與其重要性，對於其日後在研究與治療帕金森氏症的發展有所幫助。

暑假初期，我們先計算出了本專題的電路架構所需的各項規格，再開始一邊參考文獻，一邊在報告與討論時提出自己對專題電路的設計看法，也提出疑問，請教授解答。我們在提出架構的同時也開始著手模擬，測試該架構的可行性。我們了解到，同一種功用的電路也許會有許多不同的架構可供我們選擇，因此我們必須根據所需的規格與電路本身的特性，選擇適合的電路架構進行設計。

第二學期開學後，我們持續的模擬、調整數據並嘗試許多不同的電路架構，遇到不懂的問題時便請教學長和教授，尋求意見。

在修習專題期間，很感謝教授和學長們的教導與幫助，在我們遇到難關時提供改進的方向，使我們能順利完成專題研究，也對電路設計有更進一步的了解。