

# A 10-bit 40MS/s 2 Channel Time-Interleaved SAR ADC with Merged Capacitor Switching Procedure

使用合併電容開關式程序每秒四千萬次採樣之雙通道十位元時序交錯式循

## 序漸進類比數位轉換器

組別: B258 指導教授: 謝志成 成員: 陳柏濶、曾秉淮

### 摘要

循序漸近式類比數位轉換器(Successive Approximation Register Analog-to-Digital Converter)因為同時具有較低功耗、較小面積以及中高解析度的性質，被廣泛應用在穿戴式裝置、感測器等領域。

時序交錯(Time-Interleaved)為高速 ADC 中的其中一種架構，利用多通道(multi-channel)來達到平行化運算，在提升整體速度的同時避免了動態消耗數倍的成長，其基本原理是在不同的時間點將 input signal 當下的值給不同 channel 的 ADC 做運算，然後最後再將每個 channel 的值結合成完整個 output signal，這樣單個 channel 能在較慢的速度中進行 ADC 的操作，但整體結果會是以高速進行輸出以此達到高速 ADC 的目的，而將 TI 和 SAR 進行結合成 TI SAR ADC 便結合了 TI 的高速和 SAR 的低功耗兩者的優點。

此專題使用 T18 製程架構出具有 2 channel、10 位元、40MS/s Sampling Rate 的 TI SAR ADC，透過電路模擬試圖對 180nm 製程解析度為 10 位元、40MS/s 的 TI SAR ADC 設計進行深入分析，測試在 T18 製程下 TI SAR ADC 在速度上是否能夠突破以往 ADC 速度的限制。除此之外此專題還參考了文獻[2]，使用了 Merged Capacitor Switching(MCS)的電容陣列操作，此操作比起傳統的操作方式能夠少切換一次，因此在節省能量消耗上是更為優秀的。

雖然 TI 能夠利用多 channel 的架構將速度數倍的提升，但各個 channel 之間可能會因為 noise 等 non-ideal 效應產生 mismatch 的問題，導致 channel 之間輸出的 data 無法匹配，因此 calibration 一直以來都是 TI 所研究的課題，此專題參考了文獻[3]使用的 offset 和 gain calibration 並採取了後端處理的方式，先將 data 收集起來後再用軟體的方式解決，此方式的好處是在於不必新增多餘的電路並也較為簡單，但壞處在於因為不是在電路端解決因此需要犧牲 input range 和 ENOB。

TI 架構能夠有效提升 SAR ADC 的整體速度，但 calibration 也是 TI 所面臨最大的挑戰，在此專題中前半部分主要著重在傳統 SAR ADC 的電路操作和架構，而後半是 TI 所需的 clock generator、MUX&Latch，主要是能夠將 2 條 channel 的 SAR ADC 結合達到 TI 所描述的平行化操作進而提升整體速度，最後才加入 non-ideal 效應進行模擬確認 calibration 的效果。

# Introduction

## 一、前言

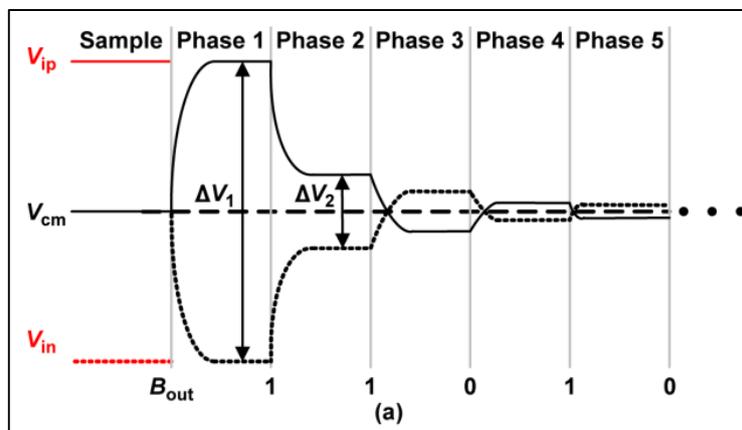
對於傳統單通道 pure-SAR ADC 來說，由於在 T18 製程的環境下，其速度在到達某個數值之後便難以有有效的提升，因此在參考了實驗室學長姐們的意見後，我們嘗試以 TI-SAR 的架構來突破 T18 製程下 SAR 速度的限制。除此之外，傳統的 SAR ADC 在運作時因為時常需要切換電容而造成能量的消耗，因此為了減低 ADC 的能量消耗，本專題在電容陣列的切換上參考了文獻[2]採取了合併電容開關式(Merged capacitor switching)，此方式相比傳統的切換方式能夠節省更多的能量。

## 二、原理及架構說明

### 2-1. SAR ADC 基本原理

SAR ADC 之比較原理為二進制逐次逼近的比較方式，且本次設計使用 differential pair 的架構，使用 differential pair 的優勢在於能夠有較高的 input range 並且也能夠消除偶數項的 harmonic tone。當 SAR ADC 不進行比較時 top plate 的兩端電壓會維持在  $V_{cm}$ ，且本文之  $V_{cm}$  為一半的  $V_{DD}$ ， $V_{DD}$  為 1.8V，而在一個週期中可分為兩個階段，分別為 sampling (取樣) 以及 hold(保持)。Sampling 時 SH(Sample and Hold) 電路會從外部輸入電壓，此時 top plate 會隨著外部電壓而變化；而 Hold 則為 SH 電路關閉後，top plate 會保持在關閉當下取樣到的電壓，再由比較器進行逐次的比較，並且由 DAC control 電路在每次比較之後切換 bottom plate 電壓至  $V_{DD}$  或 Gnd，進而造成 top plate 的電壓變化。

以圖(1)為例，在 Phase1 時因為  $V_{ip}$  比  $V_{in}$  高，根據結果會切換電容並使得  $V_{ip}$  會降低  $V_{cm}/2$  (降低的值與切換電容和總電容的比例有關)，而  $V_{in}$  會增加  $V_{cm}/2$ ，MSB 輸出結果為 1。在 Phase2 比較時可以看到  $V_{ip}$  還是高於  $V_{in}$ ，所以  $V_{ip}$  會降低  $V_{cm}/4$ ，反之  $V_{in}$  會再增加  $V_{cm}/4$ ，bit 輸出結果為 1。Phase3 時  $V_{ip}$  則低於  $V_{in}$ ， $V_{ip}$  增加  $V_{cm}/8$ ， $V_{in}$  則降低  $V_{cm}/8$ ，bit 輸出結果為 0。



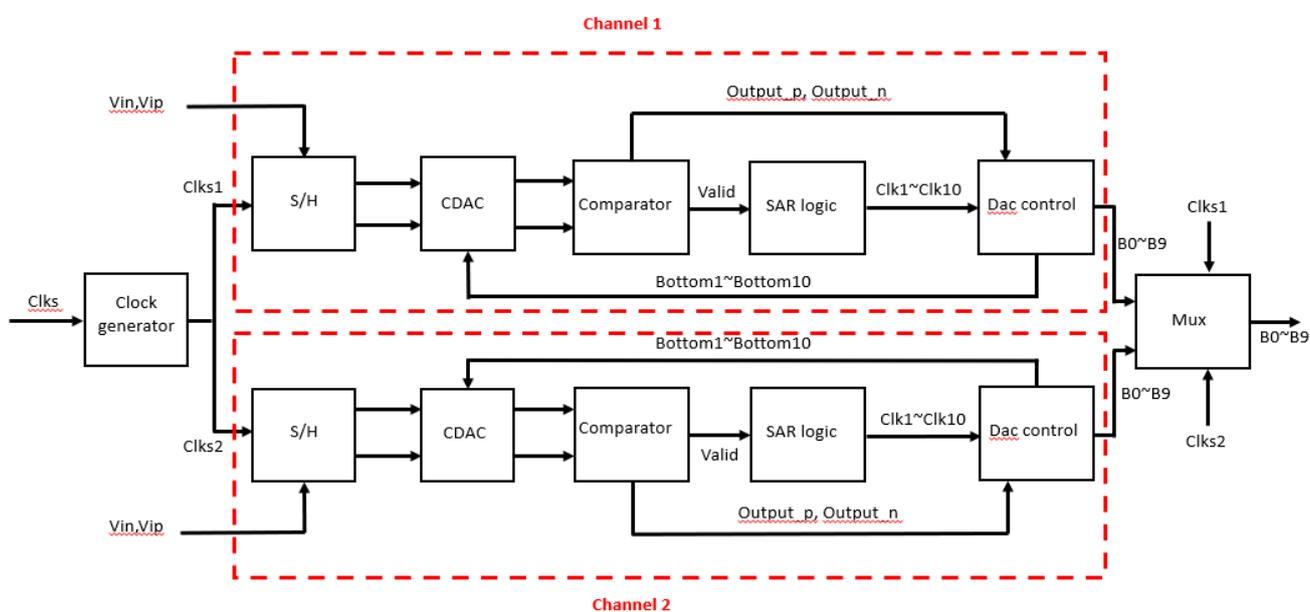
圖(1): SAR ADC 比較原理  
(資料來源：參考文獻[1])

## 2-2. TI SAR ADC 架構和操作

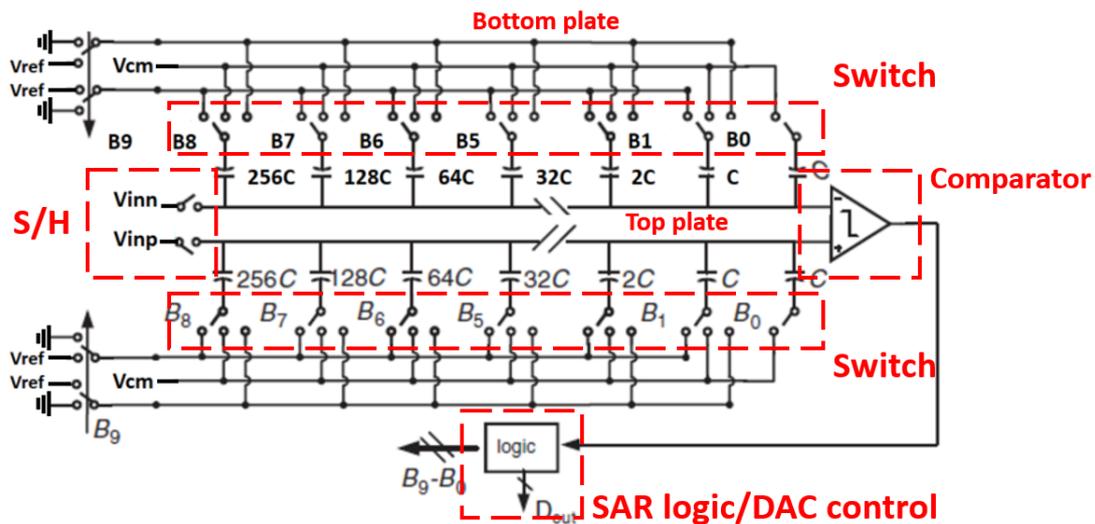
圖(2)為 TI-SAR 架構 Block diagram，電路操作流程為首先會將 sampling clock (clks) 分給兩個 channel 的 pure SAR，這邊稱為 clks1/clks2。圖(3)為 10bits pure SAR 的內部結構圖，操作原理為 differential input signal 會先進入 S/H circuit，而在 clks1/clks2 為 high 時，S/H circuit 會 sample data，clks1/clks2 fall 時 S/H 會將 data hold 住並會送給 comparator 比較 n 端與 p 端之電壓大小。

比較結束後 valid 訊號會使 SAR-logic 產生 dac-control 切換之 clki ( $i=1\sim 10$ )，且 dac-control 也會根據 comparator 比較結果(output\_p、output\_n)來改變 bottom-plate 電壓，而 top plate 會根據 CDAC 的電容比例進行電容分壓的電壓變化來完成一次比較，並重複上述流程直到 10 次比較完成並輸出 10 個 bit 結果，以此實現逐次逼近的比較方法。上述操作為單個 channel 的運作方式，而在最後會使用 MUX 在不同時間點選取來自兩個 channel 所解出來的 output code。

原先一條 pure-SAR 其最高 sampling frequency 為 20MHz，透過 2-channel 的結合可以將速度提升至 40MHz。20MHz pure-SAR 的 clock cycle 為 50ns，而其中 10ns 會用來 sampling，40ns 用來進行 comparator 比較、dac-control 切換以及 top plate 的 settling。而 TI-SAR 的架構可以在其中一條 pure-SAR 還在解 output code 的同時使另一條 pure-SAR 開始準備 sampling，將原本閒置的時間給兩個 channel 彼此利用，以達到速度提升的效果。



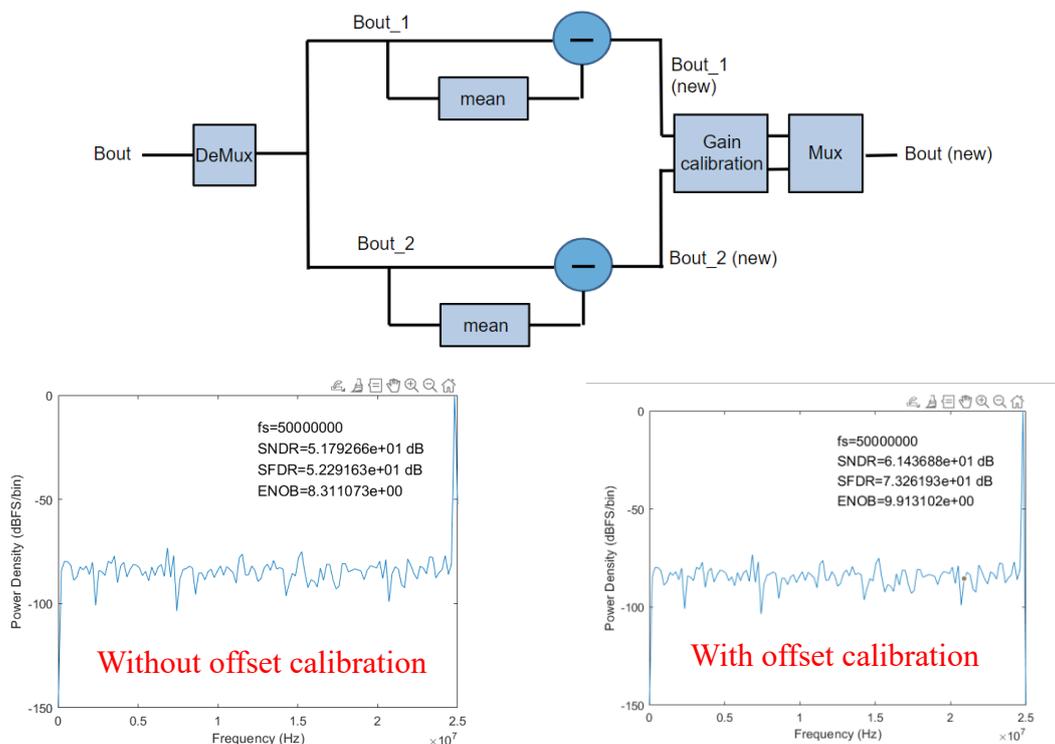
圖(2): TI-SAR 架構 Block diagram (自身構圖)



圖(3): Merged capacitor switching pure-SAR 架構  
(資料來源：修改自參考文獻[2])

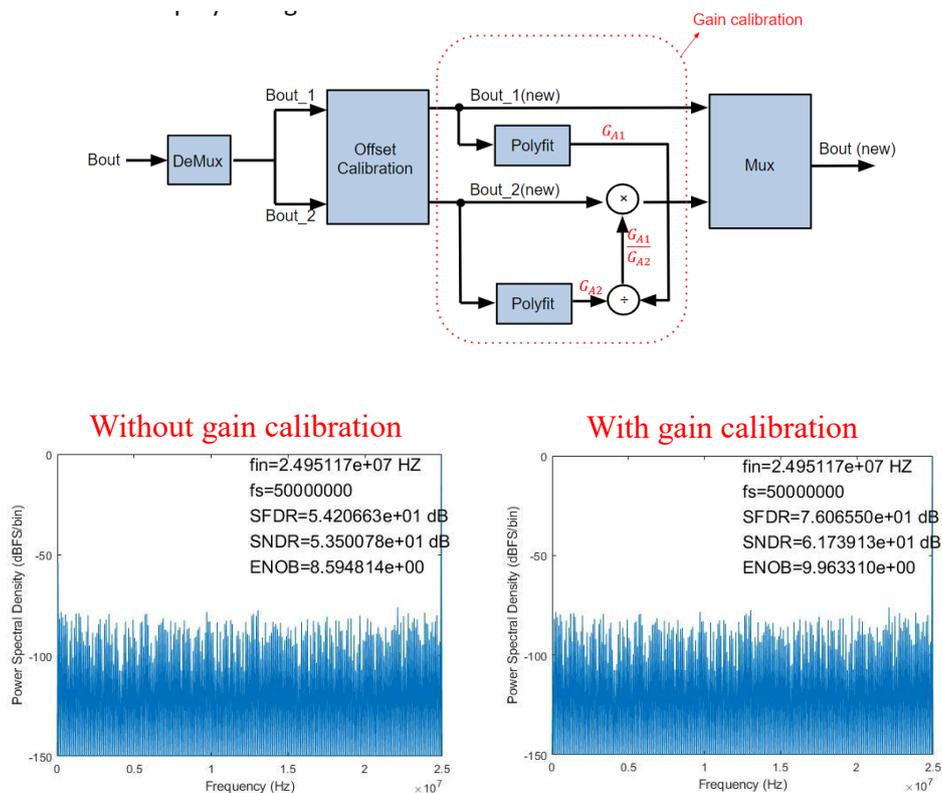
### 2-3. Calibration 原理

Offset calibration 為先將收集的 data 做分類，將同個 channel 的 data 取平均並每一筆 data 減去對應的平均值，此方式能夠消除 offset 是在於雖然不同 channel 之間的 offset 並不相同，但在同一個 channel 中是相同的，因此如果改成使用減去平均值的 data 就是各個 channel 將各置的 offset 消除，再結合時就沒有了 offset mismatch 的問題。



圖(4): Offset calibration

Gain calibration 為先將 offset calibration 完的 data 由小至大排好，將不同 channel 的 data 取回歸線斜率，最後選定一個 channel 將其他 channel 斜率變換成它，以此就能將不同 channel 的 gain mismatch 消除。



圖(5): Gain calibration

### 三、模擬結果

#### 3-1. SH ENOB

表(1)	
Corner	ENOB
TT	12.497
SF	13.208
FS	12.396
FF	12.333
SS	13.302

由表格中所呈現，S/H circuit 在 post-sim 後依然可以在 5 corner 都維持 12bits 以上的 ENOB，以確保其在 40MHz 下依然可以正確地 sample input signal 並 hold data。

### 3-2. Comparator noise

表(2)					
Corner	Failed number	Correct	Sigma (LSB)	ENOB	t_comp(ns)
TT	32	0.962	0.1412	9.94	0.465
FF	57	0.943	0.1582	9.86	0.364
FS	23	0.977	0.125	9.94	0.483
SF	51	0.949	0.1524	9.86	0.46
SS	22	0.978	0.1244	9.94	0.611

comparator 的 noise sigma 均小於 spec 的 0.25LSB，以 1000 筆測試數據，並根據鐘形曲線的分布來得到 comparator noise sigma 的大小。

### 3-3. TI SAR ADC ENOB

Pre-sim

表(3)	
Corner (25°C)	ENOB
TT	10.045
SF	10.054
FS	10.038
FF	9.973
SS	10.003

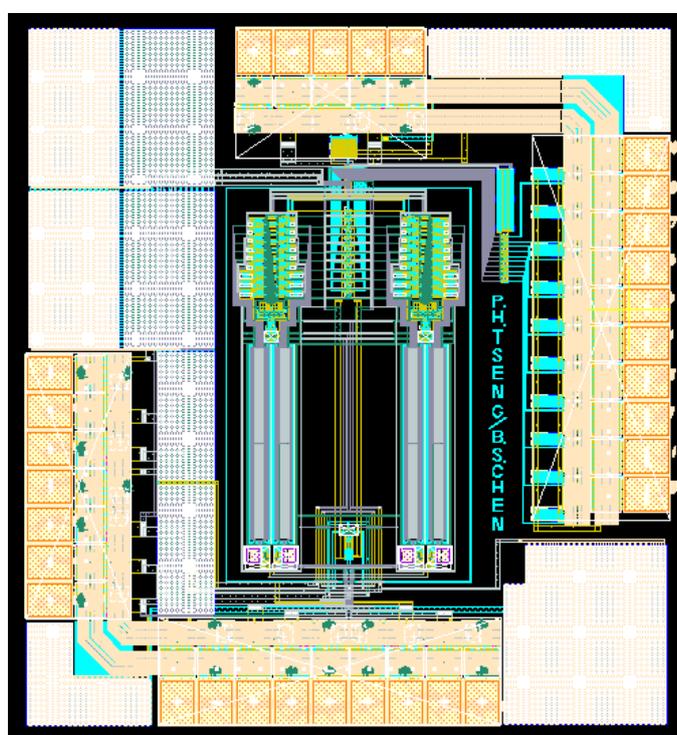
Post-sim

表(4)	
Corner (25°C)	ENOB
TT	9.559
SF	9.66
FS	9.7
FF	9.645
SS	9.703

根據表格所示，在 pre-sim 與 post-sim 中 TI-SAR 在 25°C，5 corner 的情況下 ENOB 均大於 spec 的 9.5bits。

### 3-5. 規格比較表和 Layout 布局圖

Specification	Spec.	Pre-sim (TT)	Post-sim (TT)
Power Supply(V)	1.8 V	1.8 V	1.8 V
Power Consumption (mw)	2mW	1.32mW	1.68mW
Sampling Frequency	40MHz	40MHz	40MHz
ENOB	> 9.5	10.045	9.559



**Chip Size:** 1200×1100 $\mu\text{m}^2$

**Transistor/Gate Count:** 2498

**Power Dissipation:** Total: 8.32mW

**Analogy:** VDDa\_SH: 31.2 $\mu\text{W}$ ;

VDDa\_CMP: 75.3 $\mu\text{W}$ ; VDDa\_DAC: 0.2mW;

VDDa\_clk: 0.467 $\mu\text{W}$ ; VDDa\_shield: 1.38 $\mu\text{W}$ ;

Vcm: 46.1 $\mu\text{W}$

**Digital:** VDDD: 1.34mW

**ESD:** VDDDE: 6.83mW; VDDAE: 0.178 $\mu\text{W}$

**Max. Frequency:** 40MHz

### 四、結論

此架構能夠有效提升 SAR ADC 的操作速度，在傳統 ADC 中如果想要到達 40MS/s 需要將 mos 設計較大，而這不利於節省功耗並且也會因寄生電容導致速度有其上限，但 TI 架構能夠將單一 channel 的 SAR ADC 操作在較低的速度但整體速度有著明顯的上升，而也因為單一 channel 的 SAR ADC 操作在較低的速度因此動態功耗也提升得較慢，但 TI 的缺點在於因為要使用多 channel 的架構因此面積會較大，並且 calibration 的問題也一直是 TI 所面臨最大的挑戰，因此只要能夠解決 calibration 的問題，在高速、低功耗的選擇上 TI SAR ADC 會是最佳的選擇。

## 五、心得

陳柏瀾:

在大三上我正在尋找專題時，與謝志成教授和實驗室的學長姐聊過後，知道實驗室的專題內容為類比 IC 設計，會運用到電路學、電子學、AIC、VLSI，並且會完整執行一顆類比 IC 從設計到量測的流程，而剛好在大三上時我正在修習 AIC 和 VLSI，在修習這兩門專業課程中我了解到了我對於類比 IC 是想繼續鑽研的。

大三下我便全心投入於專題之中，剛開始實驗室的學長們先給我們閱讀幾篇對 ADC 基礎知識相關的 paper，並且要我們在實驗室 meeting 時進行報告，而在具備基礎知識之後就是使用 hspice 來進行 SAR ADC 的模擬，運用 Hspice 模擬各個子電路、設計規格。並在一段時間後我們的題目決定為專題題目訂為「A 10-bit 40MS/s 2 Channel Time-Interleaved SAR ADC」，我們的題目不同以往是在傳統的 SAR ADC 上加東西，而是嘗試使用 TI 架構來當作專題，因為在專題上是第一次，所以在初期時指導我們的學長幫了我們很多的忙，並且成功在暑假前完成了電路的 pre-sim，而在暑假時我們花了 1 個多月在畫 layout，在那時我才知道原來 VLSI 畫的 layout 都只是小 case，類比 IC 實際的 layout 所需要考慮的點是非常多的，在學長們的幫助下我們成功於 8 月時完成了下線。

在經過專題之後我能說我學到了非常多，謝志成教授的專題就是對我來說一個非常好的經驗，而我也很感謝謝志成教授能夠給我這個機會參與專題，而且也很感謝學長姐們即便在忙於自身研究的同時還能指導我們，但最感謝的還是我的隊友曾秉淮，他不僅提供了我需多幫助，在我不懂時也總是能以另一個觀點來啟發我。

曾秉淮:

在這專題的過程中，有很多的知識與經驗是難以替代且珍貴的，我很榮幸也很感激能有機會能參與這個專題。

會選擇這個專題是因為我希望能在大學完成一件重大的任務，而我認為謝教授的專題能給我這個機會來挑戰自己。一開始有聽學長說會很辛苦，有很多事情要做，但我是覺得給自己一個目標去試試看。在專題的每個階段，對我來說都是新的體悟，像是在閱讀 paper 的過程中，我逐漸對於自己要做的題目有概念，而參加 meeting 是給我們一個機會來表達自己對專業知識，像是 behavior model 或是電路的掌握，同時也可以讓實驗室學長姐看出我們沒有發現的盲點，讓我們有改進的機會與方向。晶片下線前雖然真的很辛苦，但走完這些流程真的讓我很有成就感。

在專題的過程中，我也很感謝我的組員，柏瀾，因為他提出的電路想法常常讓我覺得很好，是我沒有想到的，從他身上學到很多東西，也看出我自身的需要改進的點。同時，柏義學長與永駿學長也是我要感謝的對象，他們兩位盡心盡力的付出，在我們遇到困難的時候都願意提供協助，是我們相當信賴的依靠。最後，我也要向謝志成教授表達我的謝意，我非常感激謝教授能給我這個機會，讓我在類比電路上有更踏實的基礎，同時對於未來有更明確的方向去探索。

## 六、參考文獻

[1] C. Liu et al., "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure," in IEEE Journal of Solid-State Circuits, VOL. 45, NO. 4, April 2010, DOI: 10.1109/JSSC.3020.2042254.

[2] V. Hariprasath, J. Guerber, S.-H. Lee and U.-K. Moon, "Merged capacitor switching based SAR ADC with highest switching energy-efficiency" in ELECTRONICS LETTERS, 29th, April 2010, Vol. 46, No. 9, DOI: 10.1049/el.2010.0706.

[3] Mingqiang Guo, Sai-Weng Sin, Rui P. Martins, S.-H. Lee and U.-K. Moon, "A 1.6-GS/s 12.2-mW Seven-/Eight-Way Split Time-Interleaved SAR ADC Achieving 54.2-dB SNDR With Digital Background Timing Mismatch Calibration" in IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 55, NO. 3, MARCH 2020.