

國立清華大學 電機工程學系

實作專題研究成果摘要

Measurement & Analysis of
Anti-Fuse Memory Cell

反熔絲記憶體量測與分析

專題領域：電子領域

組 別：A395

指導教授：金雅琴

組員姓名：何明蔚、陳仕瑜

研究期間：112年09月01日至113年4月30日止，共8個月

摘要

在這個資訊爆炸的時代，如何儲存資訊已經成為人們生活中不可或缺的一件事。記憶體作為儲存資訊的元件，其性質與可靠性十分受人矚目，在可攜裝置如手機、平板等行動裝置的資訊儲存能力也變得越來越重要。在非揮發性記憶體中，一次性寫入記憶體(OTP memory) 用作永久存放資料之用，被廣泛的應用於電子遊戲機、電子辭典等預存固定資料或程式的各式電子產品之上。

本文首先介紹量測基本的 NMOS 性質的結果，使用 gm-Maximum Method 求出臨界電壓(Threshold Voltage, V_{TH})，分別進行短通道效應(Short Channel Effect)的分析、飽和汲極電流(Drain Current, I_D)與通道寬度(Channel Width)和通道長度(Channel Length)的關係、以及 Subthreshold Swing 與 Channel Length 的關係。

接下來在本文中，我們介紹非揮發性反熔絲記憶體(Non-Volatile Anti-Fuse Memory)的量測結果，藉由電性分析，Anti-Fuse Cell 展現出快速的寫入速度、極高的讀取電流差異和寫入操作的獨立性等特性。我們更進一步分析了記憶體陣列(Array)的表現，對此 Anti-Fuse Cell Array 進行讀取干擾測試，此陣列展現出極高的讀取電流比以及優異的可靠度

研究動機與背景

在現今日常生活中，幾乎每人每天都能使用到含有記憶體(Memory)的電子裝置。而記憶體根據能否多次寫入(Program)或擦除(Erase)的功能分成一次性寫入記憶體(One-Time Programmable Memory)以及多次寫入記憶體(Multi-Time Programmable Memory)。而其中一次性寫入記憶體根據寫入方式的不同可以分成熔絲(Fuse)和反熔絲(Anti-Fuse)兩種機制。在讀取的部分，藉由電流大小的差異來判斷出導電態(ON-State)，與非導電態(OFF-State)，由此差異達成儲存資訊的目的。本文的量測分析將會探討 Anti-Fuse 元件的特性。

研究目的

本研究將探討記憶體的基本結構以及寫入原理以及如何儲存資訊。並且將介紹不同尺寸的 NMOS 的量測結果以及其性質分析。以及介紹了本研究中量測的記憶體與記憶陣列的寫入、讀取操作，以及電性、可靠度分析與結果。

研究方法

使用 NMOS 來熟悉操作流程及分析方法。在進行電性分析時，將待測元件放置於 CASCADE 的載物平台上，利用探針系統將電壓傳入元件內。應利用電腦控制儀器產生直流電壓與直流電流，或脈衝電壓來進行元件的量測。

研究成果

NMOS 量測結果與分析

使用 gm-Maximum Method 找出 Threshold Voltage

首先，我們透過直流掃描閘極電壓(Gate Voltage, V_G)，讀取汲極電流(Drain Current, I_D)，汲極電壓(Drain Voltage, V_D)給定0.1V。在小訊號分析中， g_m 的定義為 I_D 對 V_G 取微分，如式(2.1)。接者我們得到 $g_m - V_G$ 關係曲線如圖1。由圖1可以得出 g_m 最大值($g_{m,max}$)的數值以及其對應的 V_G 。式(2.2)為 g_m 和 I_D 的關係公式，經過移項之後得到式(2.3)，即計算出臨界電壓(V_{TH})。

$$g_m \equiv \frac{\partial I_D}{\partial V_G} \quad \text{式(2.1)}$$

$$g_{m,max} = \frac{I_D}{V_G - V_{TH}} \quad \text{式(2.2)}$$

$$V_{TH} = V_G - \frac{g_{m,max}}{I_D} \quad \text{式(2.3)}$$

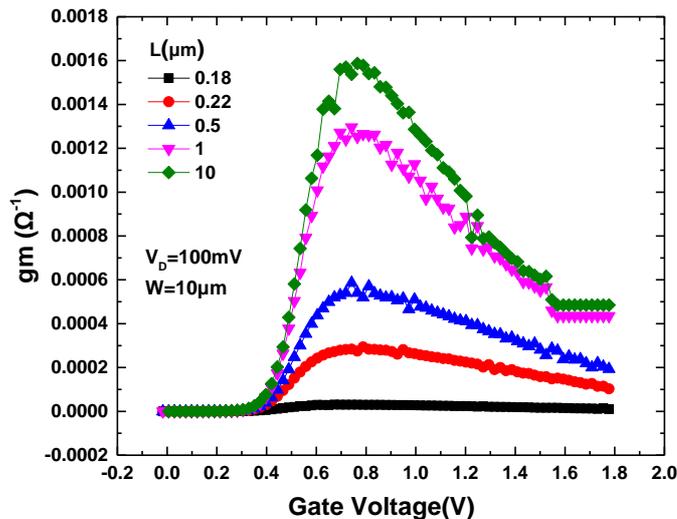


圖 1 五個不同尺寸之 NMOS 的 g_m 對 V_G 作圖

Threshold Voltage

透過 g_m Maximum Method 得到不同 Channel Length(L)所對應到 V_{TH} 的數值如圖2。而如此的結果我們分為兩個部分來討論：

當 Channel Length 小於 $5\mu m$

當 Channel Length 小於 $5\mu m$ 時， V_{TH} 會隨著 Channel Length 變短而開始明顯的下降。在 Short Channel 出現 V_{TH} 下降的如此現象稱為短通道效應(Short Channel Effect)。由 NMOS 的能帶圖(Band Diagram)可知，原本 Drain 和 Source 之間就存在 V_{DS} 的電壓差。而當 Channel Length 變短時，電子需要越過的能障(Barrier)會有下降的情況發生。Barrier 的下降意味著電子只需更少的能量就能夠通過 Channel。這也代表著 V_{TH} 下降。

當 Channel Length 大於 $5\mu m$

當 Channel Length 大於 $5\mu m$ 時，Channel Length 越接近 $5\mu m$ ， V_{TH} 會逐漸上升。會造成如此的現象是因為在我們量測的 NMOS 中，靠近 Drain 端和 Source 端有 p+的環型佈植(Halo Implant)。而當 Channel Length 從 Long Channel 逐漸變短至 $5\mu m$ 時，Halo Implant 的面積占整個 Channel 的面積比會越來越高。一直到 Drain 端和 Source 端的 Halo Implant 重疊(overlap)使得整個 Channel 由原本的 p type 轉變為 p+ type。根據 V_{TH} 的公式如式(2.4)可以得知，當 Channel 的 Doping Concentration 變高， V_{TH} 會跟著變高。

$$V_{TH} = 2\phi_F + \frac{qN_{CHANNEL}W}{C_{OX}}. \quad \text{式(2.4)}$$

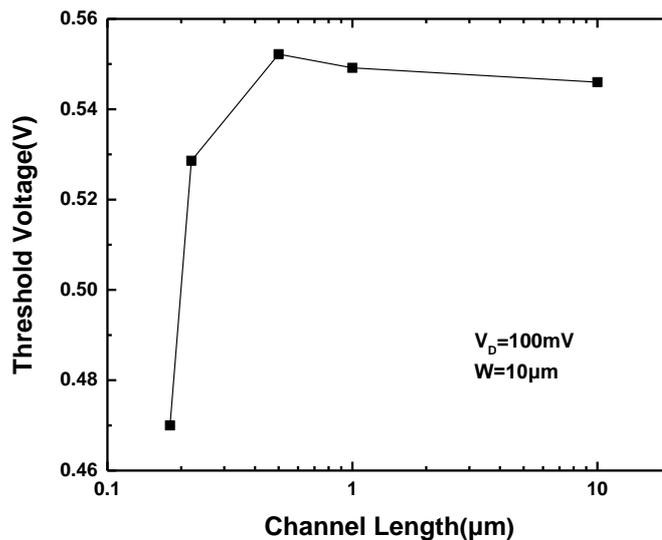


圖 2 V_{TH} 對 Channel Length 作圖

Anti-Fuse Cell 量測結果及分析

Anti-fuse Cell 寫入分析

圖3為 Anti-fuse Cell 在直流掃描下的量測結果。將 WL 電壓分別固定在0V、1.5V、1.8V，由圖(3.4)可以看出當 $V_{WL}=0V$ 時無法 program； $V_{WL}=1.5V$ 時約在 6.5V 時發生介電層崩潰； $V_{WL}=1.8V$ 時約在 6V 時發生介電層崩潰。由此可知 WL 具有控制寫入操作(program)的能力。

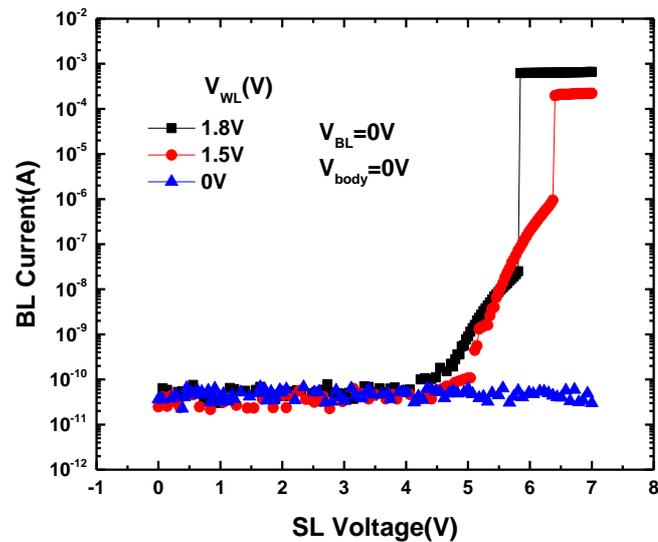


圖 3 在不同 V_{WL} 下對 Anti-Fuse Cell Program

WL 與 SL 皆能控制操作速度。圖4為固定 $V_{WL}=1.8V$ ，在不同的 V_{SL} 下，電流對寫入時間的關係圖。當加大 V_{SL} 時，跨越 SL 介電層的電壓以及電場增加，較快到達硬崩潰的條件，縮短寫入時間。另外，固定 $V_{SL}=6V$ ，在不同的 V_{WL} 下，電流對寫入時間關係，當 V_{WL} 增加時，WL 下方的通道(channel)電阻變小，造成 BL 的低電壓傳到 n+擴散區，造成 SL 的介電層跨壓增加，寫入速度增加。最終，在寫入的部分，我們選擇使用 $V_{SL}=6V$ ， $V_{WL}=1.8V$ 來操作，此時的寫入時間為 $10\mu s$ 。

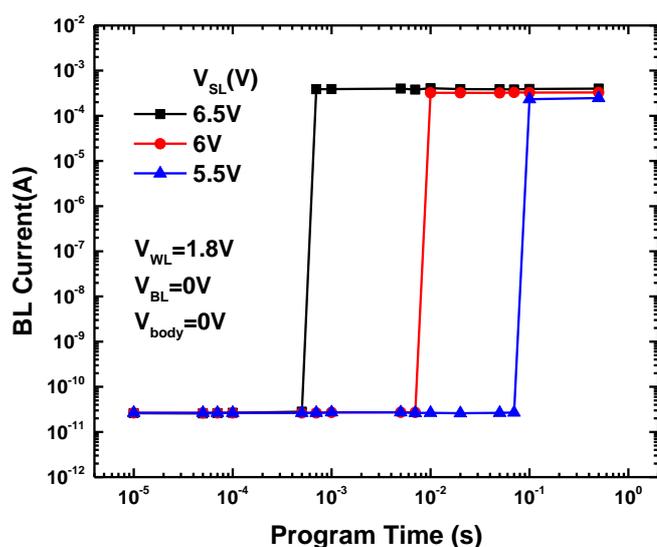


圖 4 在不同 V_{SL} 下以 Pulse 方式對 Anti-Fuse Cell Program

Anti-Fuse 記憶陣列量測結果及分析

Anti-Fuse Cell 可以排列成記憶體陣列(Array)如圖5，為了檢視單一 Cell 在陣列中的操作特性，我們進行相鄰的兩個 Anti-Fuse Cell 的寫入以及讀取操作，分別為 Selected Cell 以及 Unselected Cell。

Anti-Fuse 記憶陣列寫入分析

Anti-Fuse 記憶陣列之寫入操作分為 Selected Cell 和 Unselected Cell 兩種。Selected Cell 之寫入操作即為圖3中的 $V_{WL}=1.8V$ 曲線，而 Unselected Cell 之寫入操作即為圖3中的 $V_{WL}=0V$ 曲線。由此可知 Anti-Fuse 記憶陣列可以透過 WL 的 ON State ($V_{WL}=1.8V$, Selected)和 OFF State ($V_{WL}=0V$, Unselected)有效地進行單獨一個 Anti-Fuse Cell 的寫入操作。

Anti-fuse 記憶陣列讀取分析

在 Anti-Fuse 記憶陣列經過 Program 完之後，接著我們進行讀取操作，並且讓 V_{SL} 由 $0V$ Sweep 至 $1.8V$ ，觀察其 BL 的電流變化。讀取結果如圖5所示，Unselected Cell 和 Selected Cell 在經過寫入之後。BL 的電流隨著 V_{SL} 的增加會有愈加明顯的差異。在 V_{SL} 到達 $1.8V$ 時，Unselected Cell 和 Selected Cell 的讀取電流(Read Current)相差 10^6 以上。表示 Anti-Fuse 記憶陣列可以透過 WL 的 ON State ($V_{WL}=1.8V$, Selected)和 OFF State ($V_{WL}=0V$, Unselected)有效地進行單獨一個 Anti-Fuse Cell 的讀取操作。

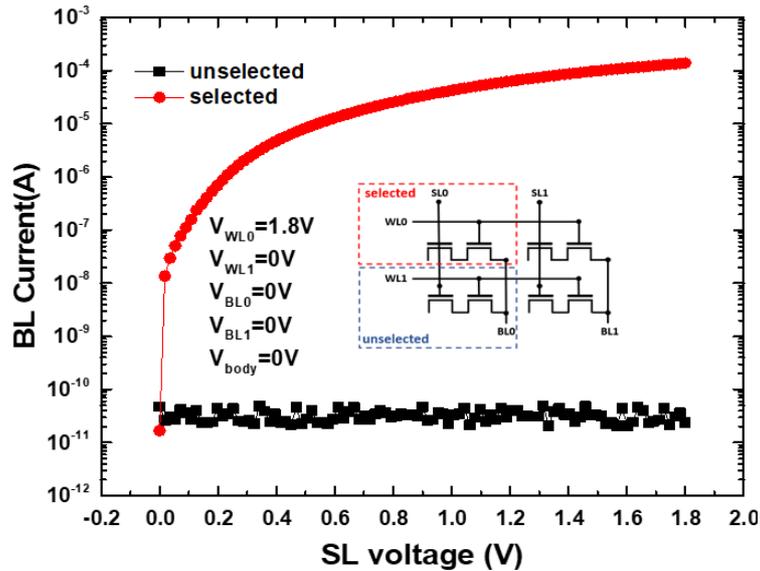


圖 5 在 Anti-Fuse 記憶陣列中分別對 Selected Cell 與 Unselected Cell 做 Forward Read

結論

本次專題深入觀察並且探討了基本的 NMOS 以及 Anti-Fuse Cell 的各種電性表現。在 NMOS 的方面，我們使用了 gm-Maximum Method 去計算出各個通道長度的臨界電壓(V_{TH})。由不同通道長度的 NMOS 臨界電壓可以觀察出短通道效應 (Short Channel Effect)造成的 V_{TH} Roll Off。以及環形佈值區重疊(Halo Implant Overlap)造成的 V_{TH} 上升。同時我們也進行了電流與通道寬度(I_D -Channel Width)與電流與通道長度(I_D -Channel Length⁻¹)作圖，兩者趨勢與 I_D 的公式皆相符。

此次專題對 Anti-Fuse Cell 進行了更深入的量測以及分析，首先我們在不同的 V_{WL} 下去進行 Program，可以觀察到在愈大的 V_{WL} 下進行 Program，則 Oxide Layer Breakdown 會發生在愈低的 V_{SL} ，且 Breakdown 瞬間的電流亦會愈大。當 $V_{WL}=0V$ 時，Anti-Fuse Cell 不會被 Program，代表 Anti-Fuse Array 有著很好的 Program Inhibit 特性。接著在分別使用不同的 V_{SL} 以及 V_{WL} ，用 Pulse 的方式去進行 Program，並觀察在不同的 V_{SL} 以及 V_{WL} 所需的 Program Time 有何不同。結果顯示為 V_{SL} 以及 V_{WL} 愈大，所需要的 Program Time 愈短，且 Breakdown 瞬間電流值愈大。

最後對於 Anti-Fuse Array 做更進一步的討論，除了上面談到的 Anti-Fuse Array 可以透過改變 V_{WL} 達到良好的 Program Inhibit 特性。也可以透過 V_{WL} 去決定我們目前要讀取的 Cell，有效的達到在 Anti-Fuse Array 中單獨一個 Cell 的獨立操作功能。

心得感想

在這個專題開始時，我們與金雅琴老師每兩個星期會進行一次 Meeting，其中每一次的內容為報告並且整理出在過去兩周老師分配給我們與專題內容相關聯的論文。在報告的途中，我們會依照我們理解並能夠吸收的內容呈現給組員和老師。而老師會針對報告內容延伸補充，也會針對我們的盲點提出問題讓我們自己找答案、提供方向讓我們思考。如此的學習方式非常有效率且強調學習自主性，在論文中發現未學習過的知識也可以在網路上進一步搜索、亦或是在下一次的 Meeting 中提出，並請老師為我們解答。也非常感謝金雅琴老師不厭其煩的指教。進入到實際量測階段時，林耿旭學長帶著我們熟悉機器的操作、軟體的設定以及作圖軟體的使用，也會提供我們許多想法與知識。在分析數據時遇到不懂或是與預期不相符的結果也都會向林耿旭學長請教。專題內容的工作分配則為：陳仕瑜同學負責操作量測儀器以及作圖，何明蔚同學負責量測條件的設定；在每次 Meeting 的簡報以及成果報告方面則為共同編輯以及報告，即使有時在 Meeting 報告準備的區塊不盡相同，我們仍能夠互相了解彼此的報告內容並相互討論。

參考文獻

- [1] 蕭婉勻 (2014)。邏輯製程相容之新型雙閘極一次性寫入記憶體的开发與研究 [碩士論文，國立清華大學]。
- [2] Y. -H. Chang, P. S. Yeh, Y. -D. Chih, J. Chang, Y. -C. King and C. J. Lin, "3D time-contingent physical unclonable function array on 16nm FinFET dielectric RRAM," 2017 IEEE Electron Devices Technology and Manufacturing Conference (EDTM), Toyama, Japan, 2017, pp. 158-159
- [3] Liu, H., T.neal, A., & D.ye, P. (2012, June 10). Channel Length Scaling of MoS2 MOSFETs. Channel Length Scaling of MoS2 MOSFETs
- [4] K. K. Young, "Short-channel effect in fully depleted SOI MOSFETs," in IEEE Transactions on Electron Devices, vol. 36, no. 2, pp. 399-402, Feb. 1989
- [5] C. -E. Huang, H. -M. Chen, M. -B. Chen, Y. -C. King and C. -J. Lin, "A New CMOS Logic Anti-Fuse Cell with Programmable Contact," 2007 22nd IEEE Non-Volatile Semiconductor Memory Workshop, Monterey, CA, USA, 2007, pp. 48-51
- [6] J. Greene, E. Hamdy and S. Beal, "Antifuse field programmable gate arrays," in *Proceedings of the IEEE*, vol. 81, no. 7, pp. 1042-1056, July 1993