

國立清華大學 電機工程學系

實作專題研究成果摘要

37-39 GHz GaN Low Noise Amplifier

氮化鎵低雜訊放大器

專題領域：電子領域

組 別：B436

指導教授：徐碩鴻 Hsu, Shawn Shuo-Hung

組員姓名：呂鑫 Hsin Lu

研究期間：113 年 2 月 1 日至 113 年 11 月 15 日止，共 10 個月

Abstract

To address the requirements of 5G millimeter-wave applications, this low noise amplifier (LNA) is designed using the WIN 0.12 μm gate GaN on SiC process with a 2-stage common-source architecture. It operates in the 37-39 GHz frequency range. The LNA achieves a noise figure of 3.8-3.9 dB, a gain of 12-13.5 dB, and input/output return losses of <-11 dB and <-25 dB.

The amplifier provides an OP1dB of 13.6 dBm and an OIP3 of 24.8 dBm. The chip size is only 1×1 mm², and the circuit layout is folded into two rows to reduce the area. It is suitable for integration in 5G millimeter-wave communication systems.

摘要

為了滿足5G 毫米波應用的需求，本低雜訊放大器（LNA）採用 WIN 0.12 μm 閘極 GaN on SiC 製程設計，並使用兩級共源極架構。其操作頻率範圍為37-39 GHz。此低雜訊放大器的雜訊指數為3.8-3.9 dB，增益為12-13.5 dB，輸入和輸出回波損耗分別為 <-11 dB 和 <-25 dB。

該放大器的1 dB 壓縮點輸出功率（OP1dB）為13.6 dBm，三階交調點（OIP3）為24.8 dBm。晶片尺寸僅為 1×1 mm²，電路佈局折彎成兩排以縮小面積。可用於5G 毫米波通信系統的整合應用。

報告內容

1. 背景或動機 Background/Motivation

隨著5G 通信技術的快速發展，毫米波技術在高頻寬、高數據速率和低延遲應用中展現出極大的潛力。然而，毫米波通信的射頻前端設計仍面臨許多挑戰，例如高頻雜訊的抑制、增益的線性化以及穩定性的提升。傳統的 GaAs 或 InPLNA 雖具有低雜訊特性，但其在高輸入功率處理能力及穩健性方面存在不足，通常需要額外的限幅電路來保護設備，導致系統雜訊增加。此外，隨著調變方式日益複雜，對 LNA 的線性度需求進一步提高。

氮化鎵 (GaN) HEMT 製程因其高功率密度、高擊穿電壓和優異的高頻性能，成為毫米波 LNA 製作的理想選擇。結合 GaN on SiC 技術的特性，LNA 設計可同時實現低雜訊、高增益及高穩定性，為應對5G NR (FR2) n260頻段的應用需求提供了有效的技術解決方案。[2]

2. 研究目的 Purpose

為了應對5G 毫米波頻段的應用需求，本專題設計了一款操作於37-39 GHz 的低雜訊放大器 (LNA)。此設計旨在提供具有低雜訊、高增益及穩定性的 LNA，滿足5G NR (FR2) n260頻段通信對射頻前端的需求。透過採用穩懋0.12 μm GaN on SiC HEMT 製程，結合兩階共源極架構，實現性能優化。本專題期望能以此設計作為參考，了解毫米波射頻電路設計在該方向的可能性。

3. 研究方法 Method

3.1. 架構

3.1.1. Application & Specification

本低雜訊放大器專為5G 毫米波應用設計，針對5G NR (FR2) n260頻段，即37-40 GHz 的範圍。

本設計使用穩懋 NP12-01 0.12 μm 閘極 GaN on SiC 製程，其 f_T 為35 GHz， f_{max} 為132.5 GHz，而 GaN HEMT 也有著更高的功率承受能力。

性能目標部分，將 LNA 的預期表現訂為：頻率範圍為37-39 GHz，雜訊指數 (NF) 設定為 ≤ 4 dB，增益 (Gain) 為 ≥ 10 dB，輸入與輸出回波損耗 (S11與 S22) 皆為 ≤ -10 dB，晶片尺寸為 $1 \times 1 \text{ mm}^2$ 。

3.1.2. Schematic

本專題所使用的電路拓撲結構乃參考論文[1]的結構。為兩階 common source 的電路。

Schematic 列於 Fig. 1。輸入輸出端和兩階中間的 Cblk 負責隔離直流訊號。Gate 端則有 R_g ，電阻夠大可以增加對大功率訊號輸入的忍受度(robustness)[1]。Drain 端則並聯電容 C_d 、電阻 R_d ，以吸收其他頻率的雜訊，防止不穩定的振盪 [2]。第一階的 Drain 端傳輸線長設為 $\lambda/4$ ，在操作頻率上可將短路轉換成斷路，使訊號不被影響。其他傳輸線則可用於阻抗匹配。

3.2. 元件選擇

3.2.1. Transistor

由於面積考量，本電路使用 2×50 電晶體，因 4×50 電晶體面積較大。

許多論文[1][2][6][7]會在電晶體加上 source degeneration 使輸入端的增益和雜訊最佳匹配點拉近，讓輸入匹配時可以同時做到較佳的高增益和低雜訊表現。然而本電晶體在使用 source degeneration 時穩定性會降低，使其無法達到絕對穩定 (unconditionally stable)，因此選擇不加 source degeneration，以保證穩定性。

3.2.2. Bias

考量到功率大小，將 V_{d1} 和 V_{d2} 都設為10V。

為了讓 NF 夠小，第一階最佳化 NF， I_{d1} 為10mA。

為了讓增益夠大，第二階最佳化 gm， I_{d2} 為20mA。

因此總功耗為0.3W。

3.2.3. Transmission Line (TML)

因面積考量，將傳輸線寬設為 $10 \mu\text{m}$ ，此時可承受的電流超過所需，適用於本 LNA。

計算在操作頻率 38GHz 下的 $\lambda/4$ 長度。

3.2.4. Resistor/Capacitor

V_g 處的電阻使用較大的電阻，大電阻可以承受更大的輸入功率，以增加穩健性 (robustness)。

Cblk 電容設為預設值方便後續參數調整。

3.2.5. Bypass Capacitor

在電路中增加旁路電容，可以幫忙濾掉不需要的頻率，保留操作頻率，提高訊號品質。本電路將旁路電容接至 Drain 端旁邊。

透過觀察，小電容能濾掉高頻中的高頻訊號，大電容能濾掉高頻中的低頻訊號，將兩電容並聯時會產生諧振，需要加上小電阻（TFR resistor）吸收諧振反射訊號。

此現象可以使用理論解釋，電流流向電阻，並且並聯旁路電容和電感的 transfer function 為：

$$|H(s)| = \frac{1}{\sqrt{1 + R^2(\omega C - \frac{1}{\omega L})^2}}$$

低頻時電感主導，高頻時電容主導。

由模擬可知，高低頻時大電容的電容值較大，高高頻時小電容的電容值較大。因此大電容能濾掉高頻中的低頻訊號，小電容能濾掉高頻中的高頻訊號，與觀察相符。

當頻率等於時會產生 LC 諧振，因此要串聯小電阻以吸收諧振的能量。兩電容並聯時會看到諧振，是因為其產生的電容/電感值剛好在操作頻率附近形成諧振，此亦與觀察相符。

3.3. 阻抗匹配

3.3.1. Output Matching

因為電晶體的 gain 很大，reverse gain 很小，改變 gate 端對 drain 端 S 參數的影響很大，而改變 drain 端對 gate 端 S 參數的影響較小，故適合由後往前進行阻抗匹配，這裡先進行輸出端的匹配。

經由 ADS 的 impedance matching 工具，將第二階電晶體的 S22 匹配至輸出端 50Ω。

3.3.2. Interstage Matching

輸出端匹配完後，開始匹配兩電晶體，一般使用 conjugate matching。因為此處元件較多，可進行近似以化簡匹配複雜度。其中 $\lambda/4$ 的傳輸線在 38GHz 時可將接地視為開路，因此 Lint1 和 Lint2 有相似效果。當 Cblk 夠小時，Lint3 也和 Lint1、Lint2 有相似效果。

經由 ADS 的 impedance matching 工具，將第二階電晶體的 S11 匹配至第一階電晶體的 S22。

3.3.3. Input Matching

最後進行入端的匹配，此處要同時考慮增益及雜訊，兩者在 Smith Chart 上各有一最佳點，一般會匹配到兩者之間。

經由 ADS 的 impedance matching 工具，將輸入端 50Ω 匹配至第一階電晶體的兩最佳點中間處。

3.4. 參數調整

3.4.1. Tuning

ADS 的 impedance matching 工具使用理想的元件，真實製程元件會有許多寄生效應。

級間線路 (Interstage Network) 會改變輸入端增益及雜訊在 Smith Chart 上的最佳點位置。因此需要迭代以找出較佳的解。

以上兩點令參數調整變得重要，這裡需要找出規律與趨勢，才能有方向並高效的調整。

除了進行模擬歸納，也可以由計算推導出結論：

$$\text{電感} : z = j\omega L, y = \frac{1}{j\omega L}$$

$$\text{電容} : z = j\omega C, y = \frac{1}{j\omega C}$$

$$\text{傳輸線} : \lambda = \frac{2\pi}{\omega} v, \ell = x\lambda, x = \frac{\omega \ell}{2\pi v}$$

其中 λ 為波長， ω 為角頻率， v 為波速， ℓ 為傳輸線長， x 為波長數。當元件尺寸增加時，若要在 Smith Chart 上保持不變 (阻抗不變)，頻率就需要減小，在頻率圖上看就是曲線往左移。若是傳輸線串聯，則視後方連接元件的特性而變。

此處可以檢查歸納的結論是否符合理論預期。Cblk1out 和 Cblk2in 增大時曲線應該往左；Lint4 傳輸線接地 (short-stub) 增大時曲線也應該往左；Lin 傳輸線串聯因為後方是輸入端 50Ω ，Smith Chart 已經在中心，故增大時曲線不會位移。的確，歸納與理論相符。

3.5. 佈局

3.5.1. Layout

當兩條傳輸線靠在一起時會產生電感，可能造成增益降低或是雜訊升高的現象，使 schematic 模擬和 layout 模擬的結果有差異。因此 layout 時要注意傳輸線之間的距離，與類比電路盡量壓縮 layout 的目標不同。

其中輸入端的傳輸線尤為重要，對電路性能有著更大的影響，因此佈線時要盡量將輸入端線路和級間線路分開，防止兩者互相影響。

各處傳輸線也盡量平均分開，以最小化寄生電感。轉彎處使用圓弧形，減少使用直角所產生的電荷效應。傳輸線轉彎時等效長度會減少，因此需要額外加長以補齊不足。

為了讓電磁模擬的結果能夠符合 Schematic 模擬的預期，可以將電路拆成各個小部分，各自完成電磁模擬並與 Schematic 的部件替換做比較，調整 Layout 至結果相當，再逐漸組成更大的電路，並重複上述步驟。如此便可快速的在 Layout 復現 Schematic 預期的效果，也能快速找出哪一部分 Layout 會使電路大幅偏離預期，增加 Layout 的效率與可分析性。

4. 研究結果 Results

Fig. 2為本專題所設計 LNA 的 Layout，面積為 $1 \times 1 \text{ mm}^2$ ，左側為輸入，右側為輸出，上方接 Vg1、Vd1，下方接 Vg2、Vd2。

電路使用 Momentum Microwave 電磁模擬。在37-39 GHz 頻段內，增益 (S21) 為12-13.5 dB，輸入和輸出回波損耗 (S11/S22) 為 $\leq -11/-25 \text{ dB}$ ，雜訊指數 (NF) 為3.8-3.9 dB，1 dB 壓縮點輸出功率 (OP1dB) 為13.6 dBm，三階交調點 (OIP3) 為24.8 dBm。

以上結果皆符合預期性能，達成所希望的雜訊、增益、線性度、面積目標。為5G NR (FR2) n260應用提供了一個可能性。此外，本專題引入的新構想，包括採用 WIN NP12-01 GaN/SiC 製程、優化的兩級共源極架構、良好的匹配設計、較小的佈局面積，均成功實現，證明其在實際應用中的可行性。

實驗結果驗證了此設計在低雜訊、高增益及高線性度方面的表現，並展示了本專題中新嘗試所帶來的應用與實踐。

5. 總結 Conclusion

Table 5為本專題 LNA 與其他相關論文的 GaN LNA 的比較表。

透過對電路架構、偏壓、傳輸線寬、輸入/兩階間/輸出匹配、閘極電阻、旁路電容及 source degeneration 的設計與調適，最終實現了符合5G 毫米波通訊需求的低雜訊放大器。在多次迭代調整後，本設計成功平衡了雜訊指數、增益、穩定性與線性度等關鍵性能參數，滿足37-39 GHz 頻段的要求。

此 LNA 的實現性能包括雜訊指數3.8-3.9 dB、增益12-13.5 dB、輸入與輸出回波損耗分別為 $< -11 \text{ dB}$ 與 $< -25 \text{ dB}$ 、1 dB 壓縮點輸出功率 (OP1dB) 為13.6 dBm 及三階交調點 (OIP3) 為24.8 dBm。晶片尺寸僅為 $1 \times 1 \text{ mm}^2$ ，顯示其在5G 系統中整合應用的可能性。

本專題採用穩懋 $0.12 \mu\text{m}$ 閘極 GaN/SiC HEMT 製程實現高性能的 LNA 設計，為5G NR (FR2) n260頻段通訊提供了一個可能的方案。未來工作可聚焦於增加頻寬及優化佈局設計，使電磁模擬結果與性能更為良好。

參考圖片

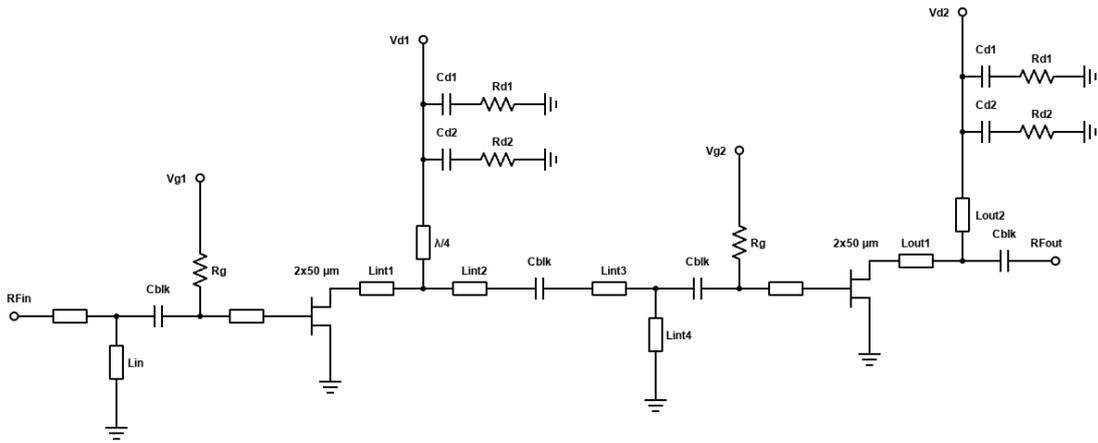


Fig. 1 Schematic of LNA (由 schemait, 參考[1])

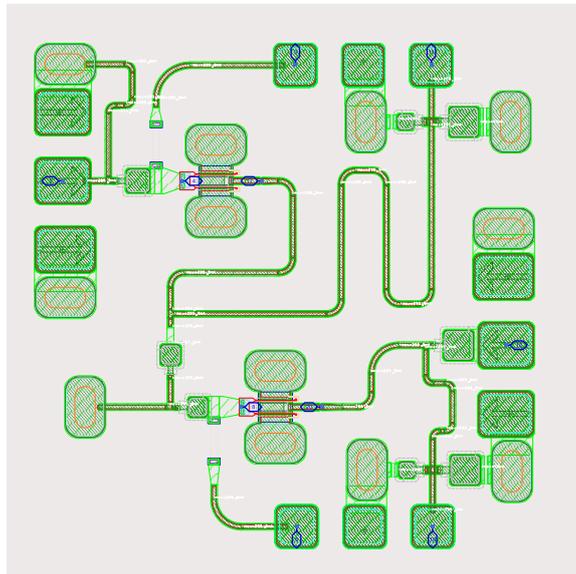


Fig. 2 Layout of LNA (由 ADS)

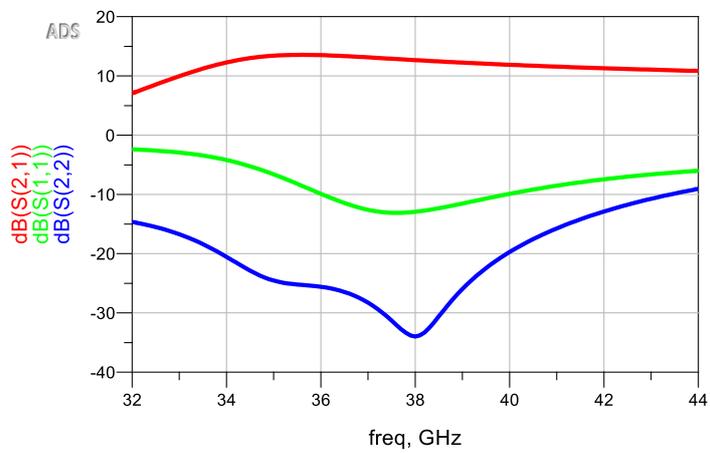


Fig. 3 S parameter of LNA (由 ADS)

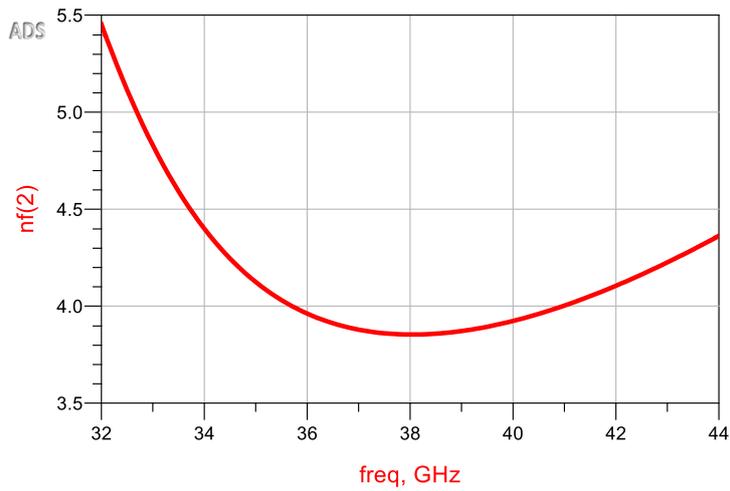


Fig. 4 Noise Figure of LNA (由 ADS)

Table 5
與相關論文的 GaN LNA 比較表

Ref.	Process	Freq. [GHz]	NF [dB]	Gain [dB]	I/O RL [dB]	OP1dB [dBm]	OIP3 [dBm]	DC [W]	Size [mm ²]
[1]	0.15um GaN/SiC	25-31	2.35	15-17	≥8/10	17.4	24.2	0.3	1.4x0.6
[2]	0.15um GaN/SiC	25-31	2.4-2.9	≥21	≥12/10	19.1	28.5	0.3	3x1
[3]	0.15um GaN/SiC	27-31	3.7-3.9	14.4-19.6	≥10/5	NA	NA	0.64	3.4x1.2
[4]	0.15um GaN/SiC	25-35	≥3	≥20	≥10	NA	NA	0.36	3.5x1
[5]	0.15um GaN/SiC	42-47	3	19	≥10/13	NA	28	0.395	2.5x1.3
[6]	0.15um GaN/SiC	27.5-28.5	4	20	≥12/6.5	12.5	NA	0.8	3x2
[7]	0.04um GaN/SiC	30-39.3	<1.6	>24	≥10/15	11	20.5	0.082	3.1x1.1
[8]	0.15um GaN/Si	35-37	3.7	19.7	≥8/14	21.6	NA	3	4.3x1.2
[9]	0.1um GaN/Si	23-31	2.2-2.8	26-29	≥15	17	NA	0.5	2.3x1.1
[10]	0.1um GaN/Si	22-30	0.4-1.1	19.5-22.5	≥10	20.8	34.5	0.21	1.7x1.3
[11]	0.1um GaN/Si	35-36.5	≤2.3	≥33	≥21	24	32	1.4	3.6x2
[12]	0.1um GaN/Si	27-31	1.5	20	≥15/20	16	NA	0.15	3x1
This Work	0.12um GaN/SiC	37-39	3.8-3.9	12-13.5	≥11/25	13.6	24.8	0.3	1x1

(Reference: 列於表中)

心得感想

在這次專題研究中，我從一開始對射頻電路設計的陌生，到逐步了解射頻電路的設計流程，整個過程對我來說是一段扎實且富有挑戰的路程。像是以前我以為射頻電路跟類比電路差不多，接觸之後才發現頗有差距。類比電路可以將許多電晶體畫在一起，以縮小總面積，然而射頻電路往往只會有個位數個電晶體，然而複雜度跟類比電路不是一個等級，需要考慮每個元件以及傳輸線的相對位置，若沒有經驗或者天賦，很可能一個電路一年都畫不好。

剛開始時，指導教授和學長為我指引了研究方向，讓我能夠將理論學習與實際應用結合起來。特別是在電路設計與優化的過程中，面對繁瑣的細節調整以及性能的反覆模擬，雖然過程艱辛，但每次問題的解決都讓我對射頻電路的理解更加深入。

研究階段中，我不僅需要查閱許多資料，還需要在設計電路、Layout 及進行模擬時仔細思考。從前面的基礎學習到後期的性能優化，每一步都需要嚴謹的態度和持續的努力，以及還不錯的運氣。特別是在電磁模擬的環節，面對結果與預期不符的情況，就必須將電路一一拆解分析，到底是哪個部分問題最大，必要時尋求學長或網路的幫助。不過這也是一種培養經驗的方法，當經驗越豐富，就可以降低「通靈」的比例。

作為個人組的專題，雖然需要自行完成所有的工作，包括讀論文、設計、模擬、優化以及撰寫報告，但我也因此學會了如何分配時間與管理進度。個人組最大的挑戰是要面對所有的問題，但同時也有很大的自由，能以自己的步調進行研究。這段過程讓我對研究進度的掌控能力有了一定的提升，並學會如何保持穩定的工作節奏。

在與指導教授和學長的交流中，老師對我的幫助不僅僅是知識的傳授，更在於引導我如何獨立思考與解決問題。老師提供的自由研究氛圍，讓我能夠發揮主動性，逐步摸索出屬於自己的研究模式。學長也在許多細節上提供了寶貴建議，讓我少走了許多彎路。

最後，要感謝教授願意給我做電路設計專題的機會，給予我許多寶貴的教學和學習資源，也指導了許多我不清楚的知識點。也要感謝實驗室的學長，熱切的傳授了我許多實用技巧以及解惑各種疑難雜症。在文末向我的指導教授和帶領我的實驗室學長致上最高謝意。

Reference

- [1] S. -Y. Chen, C. -S. Wu, L. -Y. Lee, T. -H. Chen, Y. -M. Chen and H. Wang, "25 - 31-GHz Low Noise Amplifiers in 0.15- μ m GaN/SiC HEMT Process", 2022 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp. 27-29, 2022.
- [2] H. B. Ahn, H. -G. Ji, Y. Choi, S. Lee, D. M. Kang and J. Han, "25-31 GHz GaN-Based LNA MMIC Employing Hybrid-Matching Topology for 5G Base Station Applications", IEEE Microwave and Wireless Technology Letters, vol. 33, no. 1, pp. 47-50, Jan. 2023.
- [3] M. Rudolph, N. Chaturvedi, K. Hirche, J. Wurfl, W. Heinrich, and G. Trankle, "Highly rugged 30 GHz GaN low-noise amplifiers," IEEE Microw. Wireless Compon. Lett., vol. 19, no. 4, pp. 251–253, Apr. 2009.
- [4] S. D. Nsele et al., "Ka-band low noise amplifiers based on InAlN/GaN technologies," in Proc. Int. Conf. Noise Fluctuations (ICNF), Jun. 2015, pp. 1–4.
- [5] H.P. Moyer et al., "Q-band GaN MMIC LNA using a 0.15 μ m T-gate process," in Proc. IEEE Compound Semiconductor Integr. Circuit Symp., Oct. 2008, pp. 1–4.
- [6] E. M. Suijker et al., "Robust AlGaIn/GaN low noise amplifier MMICs for C-, Ku- and Ka-band space applications," in Proc. Annu. IEEE Compound Semiconductor Integr. Circuit Symp., Oct. 2009, pp. 1–4.
- [7] M. Micovic et al., "Ka-band LNA MMIC's realized in $f_{max} > 580$ GHz GaN HEMT technology," in Proc. IEEE Compound Semiconductor Integr. Circuit Symp. (CSICS), Oct. 2016, pp. 1–4.
- [8] N. Nguyen, K. Phan, S. Lee, and C. Huynh, "A 35–37 GHz MMIC GaN low noise amplifier," in Proc. Int. Symp. Electr. Electron. Eng. (ISEE), Apr. 2021, pp. 26–29.
- [9] Shiyong Zhang et al., "23-31GHz low noise amplifier with 2.5dB NF using 100 nm GaN on silicon technology," in IEEE Proc. Asia-Pacific Microwave Conference (APMC), Nov. 2018, pp. 216-218.
- [10] Xiaodong Tong et al., "A 22–30-GHz GaN low-noise amplifier with 0.4–1.1-dB noise figure," IEEE Microwave and Wireless Components Letters, vol. 29, no. 2, Feb. 2019, pp.134-136.
- [11] L. Pace, W. Ciccognani, S. Colangeli, P. E. Longhi, E. Limiti, and R. Leblanc, "A Ka-band low-noise amplifier for space applications in a 100 nm GaN on Si technology," in Proc. 15th Conf. Ph.D Res. Microelectron. Electron. (PRIME), Jul. 2019, pp. 161–164.
- [12] L. Pace et al., "DC power-optimized Ka-band GaN-on-Si low-noise amplifier with 1.5 dB noise figure," IEEE Microw. Wireless Compon. Lett., vol. 32, no. 6, pp. 555–558, Jun. 2022.

* 本專題使用穩懋製程

* 本專題使用 ADS 軟體