

Analysis of coupling effect on differential multiple-time programmable
memory cells

交叉式耦合差動式記憶體之耦合電容效應分析

專題領域：電子所

組 別： A17

指導教授：金雅琴

組員姓名：李愷豐、葉長沛

INTRODUCTION

在近十年電子科技快速的發展，產學界皆積極致力於 CMOS 邏輯製程節點的微縮，實現更高密度的邏輯電路；以非揮發性記憶體為基礎所研發的浮動閘極的尺寸相對地並未改變，所以希望透過創新的元件與操作結構來保持非揮發性記憶體的完全相容性與高性能度。

在記憶體完成資料的儲存後，浮動閘極中的電荷會因為某些機制而流失，造成讀取資料失真的問題，常見的電荷遺失機制：去陷(Detrapping)、壓力依賴漏電流(Stress-Induced Leakage Current, SILC)、直接穿隧(Direction Tunneling Emission)與熱發射(Thermal Emission)，因此造成感測範圍縮小，故需提出自我修復的機制，使電子定期回充進浮動閘極，更可使資料保存期限變得長久。隨著時間的流逝，再修復流失的電子前不需要讀取其記憶體狀態，利用差動性結構的特性，能同時對整個記憶體元件進行自我修復的操作，以免去讀取資料所造成的時間與功率消耗。

其原理如下：

在存有電子的浮動閘極位元線施加高電壓且存有電洞的浮動閘極反位元線施 0V，兩浮動閘極之間的浮動點會被下拉到接近 0V 的電位，因此存有電子的浮動閘極便有足夠的橫向電廠產生通道熱電子入，藉此增加浮動閘極的電子數目與臨界電壓。反之，若將高電壓施加在存有電動的浮動閘極反位元線且存有電子的浮動閘極位元線施加 0V，其中的浮動點會被拉接近反位元線的高電壓，使兩點的點電壓差小而無法產生通道熱電子，以此達到屏蔽效果，經過此操作後，兩浮動閘極的臨界電壓差距也相當大，但是其操作流程還是有些繁瑣，於是我們提出更有效率的自我修復操作架構，也就是交叉式耦合記憶體交叉式耦合差動式記憶體電路架構與自我修復如下圖 1 所示

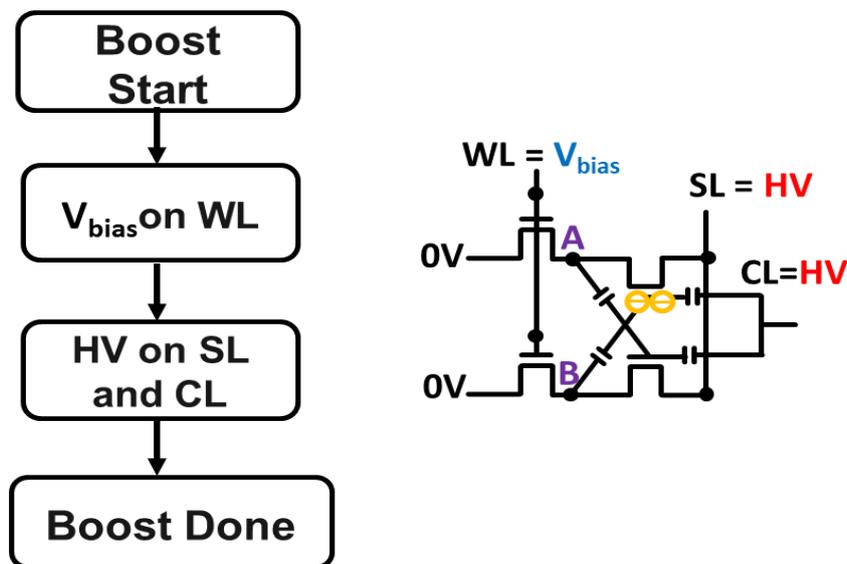


圖 1 : 交叉耦合式架構的自我修復流程圖

其原理如下：

因為此元件為差動式結構，兩個浮動閘極所存電荷極性地為相反，因此可利用浮動點 A 和 B 不同的特性進行自我修復。若存有電子的浮動閘極 1 在源極線施加高電壓，則浮動點 A 電位會被下拉接近 0V；存有電洞的浮動閘極 2 在源極線施加高電壓，則浮動點 B 電位會被拉接近高電壓，因此存有電子的浮動閘極 1 便有足夠橫向電場產生熱通道注入，加上浮動點 B 電位的高電位耦合至浮動閘極 1，增加浮動閘極 1 的電子，也因為浮動點 B 電位與源極線電位差小，加上浮動點 A 的低電位耦合至浮動閘極 2，以此達到屏蔽效果所得到的浮動電位與浮動閘極變化，可以讓已編程與抹除的浮動閘極可以有效的選擇注入與屏蔽電子，透過特殊的自我修復機制來解決資料保存性的問題，藉此提升記憶體元件的可靠度並且保持此差動式元件的可辨識範圍。

交叉耦合架構發揮了自我修復機制的關鍵作用，然而其中的耦合率以及對應的電容中，側向電容 (sidewall capacitor) 因為 high-K 電介質的關係，其實是很不容易測量的，故接下來的篇幅，我們將推導出側向電容的求取方法。

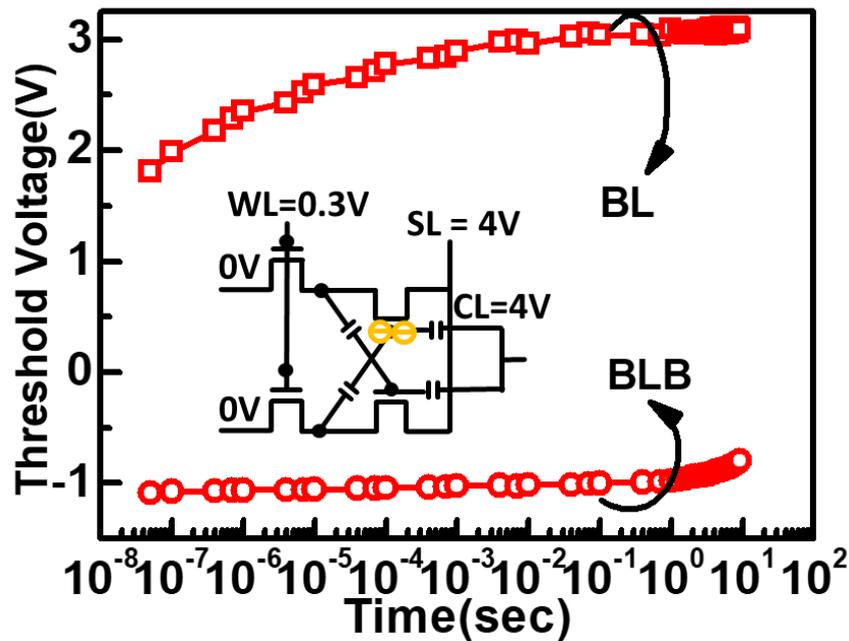


圖 2 :自我修復特性圖

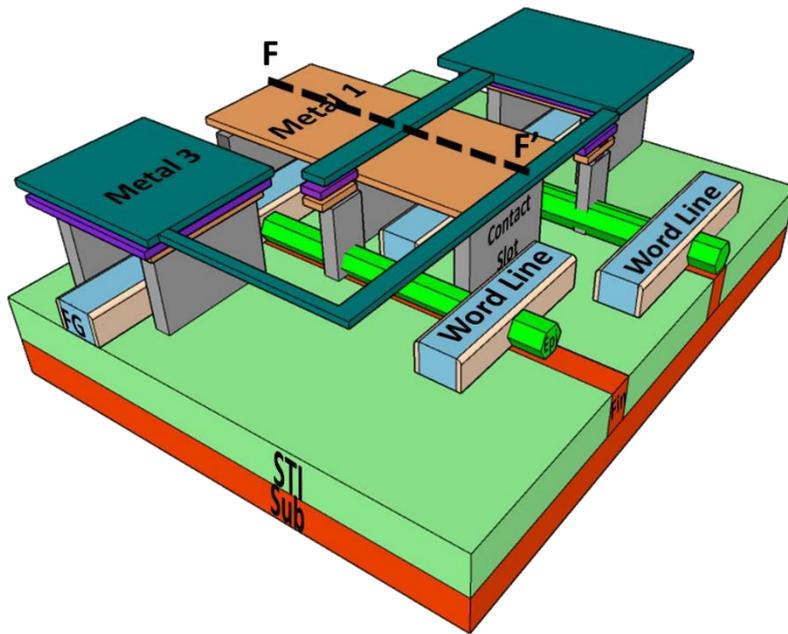


圖 3 交叉式耦合差動式記憶體立體結構圖

根據耦合率的定義：

$$CR = \frac{C_{cg}}{C_{total}} \quad (\text{式 2}_1)$$

又由本次之交叉式耦合差動式記憶體架構可知

$$CR = \frac{C_{cg}}{C_{fc} + C_{dg} + C_{cg}} \quad (\text{式 2}_2)$$

其中 C_{cg} 為側向耦合電容 C_{fc} 為 FinFet 對應之電容 C_{dg} 為交叉耦合電容
又可以寫成

$$CR = \frac{L_{dg} * C_{sw}}{C_{fc} + (L_{cl} + L_{dg}) * C_{sw}} \quad (\text{式 2}_3)$$

L_{cl} 為 control line 側向耦合之電容長度 L_{dg} 為交叉耦合之電容長度

C_{sw} 就是側壁電容密度 ($F/\mu m$)

又電容與面積之關係式為

$$C = \frac{\epsilon A}{t} \quad (\text{式 2}_4)$$

而面積 $A = W * L$ 為電晶體之尺寸, 下圖 4 為這次記憶體的布局圖

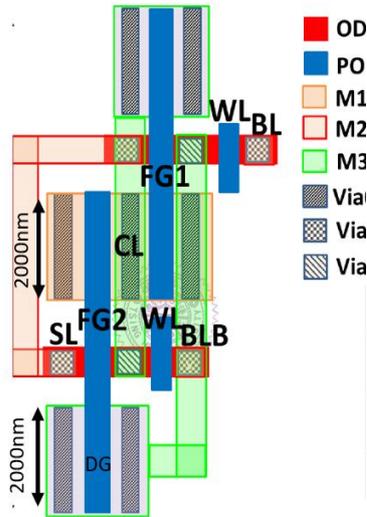


圖 4: 記憶體布局圖

又耦合率(Coupling Ratio, CR)除了透過計算電容值來得出耦合率外,也可以透過將標準電晶體與測試元件(Device Under Test, DUT)的次臨界擺幅(Subthreshold Swing, SS)相除,便可以得到此元件耦合率。

$$CR = \frac{SS_{Standard\ MOS}}{SS_{DUT}} \quad (式\ 2_5)$$

故若我們能設計數組不同尺寸大小之元件,量測其 Subthreshold swing,我們

就可以得出個別大小元件之 CR,然後再透過 $CR = \frac{Ccg}{Cfc+(Lcl+Ldg)*Csw}$ 即可以求出

Csw 之值!

實驗中,我們選定三組不同大小的元件如下

其控制線(control line)有共同尺寸接觸槽(contact)與 poly 之橫接面長度為 1000nm

其在 M3 的接觸槽(contact)與 poly 之橫接面長度則分成 0nm(即沒有 M3), 500nm 與 1000nm。

也就是

$$CR = \frac{SS_{standard\ pmos}}{SS_{dut}} = \frac{Ldg * Csw}{Cfc + (Lcl + Ldg) * Csw} \quad (式\ 3_1)$$

Lcl=1000nm, Ldg=0, 500nm, 1000nm, 又四根 fin 的寄生電容 Cfc=0.3fF, 且已知表準 PMOS 的次臨界擺幅為(subthreshold swing)65 (mV/dec), 因此我們可以透過改控制線(control line)電壓來去測量讀取電流, 可以得到以下結果並分析分別的次臨界擺幅為多少。

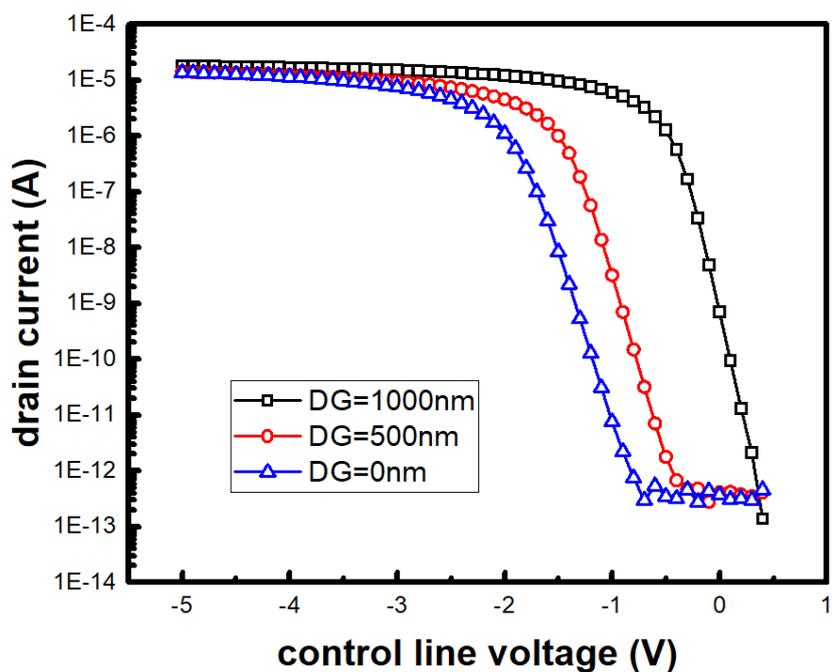


圖 5: 針對不同 DG 長度並改變控制線電壓的讀取特性圖

可求得 DG=1000nm 以及 DG=500nm 以及 DG=0nm 分別的次臨界臨界擺 (subthreshold swing) 為 211(mv/dec)和 178(mv/dec)以及 141(mv/dec)。並再在透過以下公式可以推得 Csw:

$$CR = \frac{SS_{standard\ pmos}}{SS_{dut}} = \frac{L_{dg} * C_{sw}}{C_{fc} + (L_{cl} + L_{dg}) * C_{sw}} \quad (式\ 3_2)$$

最後求出 Csw(fF/um) =0.12

心得感想

非揮發性嵌入式浮動閘極記憶體雖然可以進行大量的寫入與抹除操作，為最常見且實用的記憶儲存點，但是隨著製程技術的微縮，閘極氧化層逐漸變薄，資料容易流失並降低元件的可靠度，若提出一種可自我修復的交叉式耦合差動式記憶體結構，利用差動式結構擴大記憶體的可辨識範圍，並透過接觸點與耦合的電容形成控制閘極對此元件進行控制，更進一步，利用交叉式耦合的結構，提升自我修復操作機制的效率。交叉式耦合的特點，在改善之前自我修復的操作，因此同時若比較有無耦合結構的自我修復操作與結果，在進行自我修復操作時，側向式耦合結構需要有兩個步驟才能完成自我修復的步驟，過程相當複雜，但是交叉式耦合結構在只要一個步驟便能完成自我修復操作，且所達成的速率與可辨識範圍也比先前結構的效果還好，所消耗的能量較低，雖然為了完成交叉式耦合的結構需要的電晶體與側向式耦合結構比起還要多一個，但是在比較單一元件的面積卻是此結構的面積比較小，此元件也擁有高密度的優點。

因此，本專題在耦合效應上作出更進一步的分析探討，試圖找出其中各電容密度分量之相對大小，過去，由於浮動閘極 (FG) 與接觸窗 (contact) 之間存在著 High-K 介電質，因此不容易估算此寄生側壁電容密度 (parasitic sidewall capacitor density) 之分量，然而在此次專題之深入過程中，我們探索到一個估算此寄生側壁電容密度的方法，透過次臨界擺幅 (subthreshold swing) 所推導出的耦合率 (coupling ratio)，與耦合率的基本定義公式作交叉對比，即可得出寄生電容與閘極電容之間的比例，在閘極電容為已知的前提下，及可求出此寄生電容。

我們在專題進行的這幾個月，時常透過共學的方式，一起讀懂論文的內容，分工上，往往一人量測時，另一人負責數據的分析，以提升研究效率，遇到不懂的地方，則會定期一起找老師請益，所以充分的發揮了團隊的精神，以完成此次的專題研究，初嘗研究樂趣之果實。