

國立清華大學 電機工程學系

實作專題研究成果摘要

A Time-to-Digital Converter based on
Multipath Ring Oscillator

基於多路徑環形振盪架構之

時間數字轉換器

專題領域：電路設計

組 別：B241

指導教授：黃柏鈞 教授

組員姓名：蔡一鳴

研究期間：111年 03月 09日至 111年 11月 30日止，共 9 個月

Abstract

Time-to-Digital Converter, TDC, is a kind of circuit which could precisely measure a period and convert the time domain signal to digital domain signal. Usually, the dynamic range of TDCs is about tens of nanosecond, and the resolution is about several picosecond. Utilizing the propagation delay of buffers or inverters, TDCs calculate how many delay cells propagating signal has passed between the start signal and the stop signal to get the digital signal based on its resolution. This kind of circuit could be used in Phase-Locked Loop and Analog-to-Digital Converter.

Multipath Ring Oscillator, MRO, so-called feedforward structure, is a type of ring oscillator which could create sub-gate delay. In this research, the main TDC structure is based on the MRO Technique, the ring oscillator has 29 bits, the feedforward signals are from the previous 1, 5 and 7 stages, and the resolution is the Fall-to-Fall Delay of the ring oscillator signals.

In TDC, the resolution stability is quite important. In order to cancel the impact from the Process Variation and the environment temperature different, Delay-locked Loop, DLL, is necessary in TDC. Therefore, in my research, I will simulate and discuss the influence form DLL to TDC.

The final work in this research is a MROTDC which could provide a stable resolution of 27.6ps and max resolution of 16.5ps.

The MRO structure could speed up the ring oscillator and make TDC have better performance. Comparing with the normal ring oscillator without sub-gate delay structure, MRO technique could help TDC reaching much smaller resolution and greater efficiency. More, when each stage in the ring oscillator gets farther signal, the resolution performance would be better. However, if we make the feedforward structure in the oscillator too far away, the oscillation would be unstable and lead the functionality failure.

摘要

Time-to-Digital Converter，簡稱 TDC，此電路功能為精準地量測極短的時間長度，通常測量範圍為幾十個奈秒，而測量解析度多為皮秒量級，其運作原理如下：電壓在傳遞時會因為電路中的電容而有傳遞延遲，透過計算電壓在起始訊號和結束訊號之間傳遞經過幾個子電路，進而將時域訊號（時間差）轉換為數位訊號（通過子電路數量），藉此計算出時間長度；此電路可用於數位鎖相電路（Digital Phase Locked Loop），而亦可用於類比數位轉換器。

學生在此專題期間主要研究為多路徑環形震盪架構（亦即前饋架構）之 TDC（Multipath Ring Oscillator TDC, MROTDC）；研究主架構為 29 位元多路徑環形振盪時間數字轉換器，前饋架構為前一級、前五級和前七級前饋；此架構解析度採子電路的電壓降對降延遲（Fall-to-Fall Delay）。

於 TDC 電路中，解析度之穩定性極其重要，為使此電路在不同製程變異與環境溫度情況中，仍有穩定之表現，DLL（Delay-Locked Loop）電路在 TDC 中是必須的；因此，在學生之研究中，設計並加入了 DLL 以對抗製程變異等所帶來之影響。

最終研究架構之表現為一可穩定提供 27.6ps 解析度，最高解析度表現可達 16.5ps 之 Time-to-Digital Converter

多路徑環形振盪架構能使環形振盪器加速，使其擁有較好的解析度表現；較之傳統環形振盪器，在消耗相似的功率下，前饋架構所能達到的解析度與效率表現，皆非普通架構可比擬，由此可見，前饋架構對於加速環形振盪器十分有幫助。而當前饋環形振盪器從越前方的位置拿到訊號，其延遲傳遞子電路可提早做出些許反應，進而得到較好的解析度；然而，若將前饋訊號更加往前延伸，電路即會因為過早的接收到訊號，環形振盪會愈加不穩定，進而造成電路無法運作。

零、簡介

Time-to-Digital Converter，簡稱 TDC，此電路功能為精準地量測極短的時間長度，通常測量範圍為幾十個奈秒，而測量解析度多為皮秒量級，其運作原理如下：電壓在傳遞時會因為電路中的電容而有傳遞延遲，透過計算電壓在起始訊號和結束訊號之間傳遞經過幾個子電路，進而將時域訊號（時間差）轉換為數位訊號（通過子電路數量），藉此計算出時間長度；此電路可用於數位鎖相電路（Digital Phase Locked Loop），而亦可用於類比數位轉換器。

多路徑環形振盪器（Multipath Ring Oscillator, MRO），此類振盪器利用多條電壓傳遞路徑，製造出提早得到前多級子電路訊號的環境，藉此使子電路可以提前對下一級電路充放電，使電壓傳遞速度加快，因此，此加速方法又稱前饋法（Feedforward Method）。

壹、主架構

學生在此專題期間主要研究為 MROTDC，亦即前文提到的多路徑環形振盪架構；研究主架構為 29 位元多路徑環形振盪時間數字轉換器，前饋架構為前一級、前五級和前七級前饋；此架構解析度採子電路的電壓降對降延遲（Fall-to-Fall Delay），消耗功率採總電路之平均功率，研究中之能耗效率值為解析度乘以平均功率（Efficiency: Resolution \times avg Power, the less the better）。

於此電路中，解析度之穩定性極其重要，為使此電路在不同製程變異與環境溫度情況中，仍有穩定之表現，DLL（Delay-Locked Loop）電路在 TDC 中是必須的；因此，在學生之研究最後，加入並討論了 DLL 有無對 TDC 解析度、消耗功率以及能耗效率的影響。學生使用之 DLL 迴授架構如下圖所示。

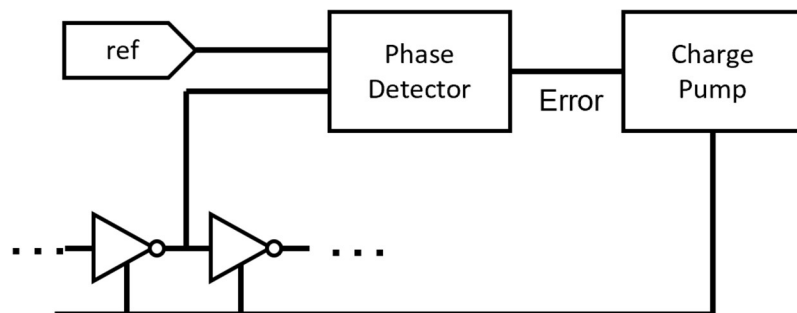


Fig. 1-2 Delay-Locked Loop 示意圖

貳、環形振盪器加速之模擬結果與分析

在此部分模擬中，除探討充放電電流值與節點電容值之影響外，學生亦將供應電壓（Power Supply, VDD）做變化，以探討至更深入之層次。為使電路解析度方面有較好表現，學生將控制前一級影響之 MOSFET 寬度固定在 $0.5\mu\text{m}$ ，而為控制變因，將在各次模擬中固定電晶體寬度總和，另外，分別模擬了 VDD=1.8V 與 VDD=1.5V 之情況。

Table 2-1 (1)VDD=1.8V 下之模擬統計表，(2) VDD=1.5V 下之模擬統計表

| For 157 Feedforward 29-bit MROTDC Power Supply = 1.8V | | | | For 157 Feedforward 29-bit MROTDC Power Supply = 1.5V | | | |
|--|-----------|-------|------------|--|-----------|-------|------------|
| Total Width | Min Delay | Power | Efficiency | Total Width | Min Delay | Power | Efficiency |
| m | ps | mW | ps*mW | m | ps | mW | ps*mW |
| 3u | 22.79 | 5.30 | 120.81 | 3u | 29.41 | 2.77 | 81.42 |
| 4u | 20.09 | 6.64 | 133.41 | 4u | 24.42 | 3.75 | 91.58 |
| 5u | 18.35 | 8.11 | 148.89 | 5u | 22.11 | 4.34 | 95.92 |
| 6u | 17.62 | 9.31 | 163.99 | 6u | 20.47 | 5.01 | 102.57 |
| 7u | 16.85 | 10.43 | 175.69 | 7u | 20.28 | 5.67 | 114.93 |
| 8u | 16.50 | 11.66 | 192.33 | 8u | 19.35 | 6.29 | 121.73 |
| 9u | 15.68 | 12.74 | 199.76 | 9u | 19.04 | 6.90 | 131.32 |
| 10u | 15.57 | 13.45 | 209.35 | 10u | 19.15 | 7.28 | 139.47 |
| 11u | 15.62 | 14.74 | 230.28 | 11u | 18.94 | 7.98 | 151.10 |
| 12u | 15.58 | 15.66 | 243.90 | 12u | 18.98 | 8.45 | 160.36 |
| 13u | 15.57 | 16.56 | 257.84 | 13u | 19.00 | 8.97 | 170.40 |
| 14u | 15.58 | 17.41 | 271.25 | 14u | 18.90 | 9.42 | 178.01 |

(1)

(2)

於 (Table 2-1) 中，當電晶體寬度總和上升，其解析度表現會跟著上升，但相對的，其功耗會大幅上升，進而導致此電路之效率表現下降，而圖表中之紅色區域為效率不彰區，就算再把電晶體寬度總和提升，解析度表現也不會再有任何進步，徒增消耗功率；而令學生意外的結果是電路在 VDD=1.8V 之解析度表現比在 VDD=1.5V 還好得多，以傳統思路思考，將供應電壓降低可讓電容充電電壓差縮小，因而可使充電和放電所需時間減少，但是，因為此架構中含有 en、enb 兩個電流控制 MOS，在供應電壓降低的同時，其之 V_{ov} (Overdrive Voltage, $V_{GS} - V_{th}$) 亦隨之降低，大幅地去限制了對節點電容之充放電電流，進而導致了 VDD=1.5V 的解析度表現不佳；然而，供應電壓下降並不只帶來壞處，因為供應電壓下降，電路之功耗亦跟著下降，而在圖表中亦可發現，當 VDD=1.5V 時，其功耗及效率表現皆比 VDD=1.8V 優良。

參、DLL 對 TDC 影響之模擬結果與分析

一、無 DLL 之 TDC 電路模擬

在此模擬中，學生採用電晶體寬度總和為 $8\mu\text{m}$ 之最佳延遲傳遞子電路設計，下圖為未加入 DLL 之 TDC 整體架構於不同 Corner 之模擬統計結果：

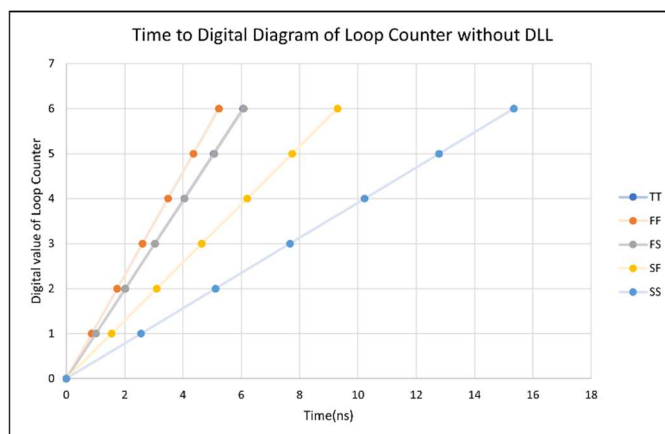


Fig. 3-1-1 模擬結果統計圖表

由上圖表中可見，在製程變異之影響下，電路於五個不同 Corner 皆有不同的解析度表現，這使得電路會在不同情況下有不同的表現，對於要精確地將時域訊號轉換為數位訊號的 TDC 電路而言非常致命，會造成測量不準的影響。

二、加入 DLL 之 TDC 電路模擬

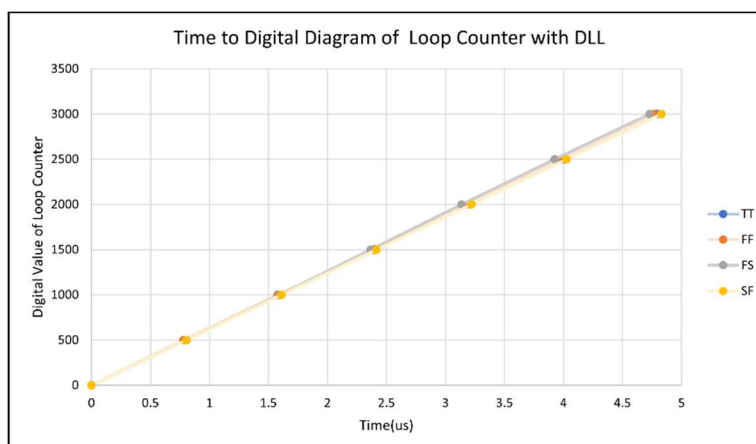


Fig. 3-2-1 模擬結果統計圖表

於上圖表中可知，學生設計之 DLL 電路可將因製程變異所帶來的影響消除（即時誤差可在 5% 以內），雖無法到達極限振盪速度，但電路之穩定性大幅成長。

肆、結論

一、最終規格

經過一學年的專題研究，學生最終之設計表現統計如下表所示。

Table 7-1-1 最終設計之表現結果

| Final Work @TT | Technique | Tech | Supply Voltage | Output Bitwidth | Dynamic Range(ns) | Resolution (ps) | Power (mW) | Efficiency (ps*mW) |
|----------------|-----------|--------|----------------|-----------------|-------------------|-----------------|------------|--------------------|
| Max Speed | MRO | 0.18um | 1.8V | 11 bits | 30.62 | 16.5 | 11.66 | 192.39 |
| With DLL | | | | | 51.23 | 27.6 | 7.37 | 203.412 |

二、前饋環形振盪器之優缺點

前饋架構能使環形振盪器加速，使其擁有較好的解析度表現；較之傳統環形振盪器，如模擬一，可以看到在消耗相似的功率下，前饋架構所能達到的解析度與效率表現，皆非普通架構可比擬，由此可見，前饋架構對於加速環形振盪器十分有幫助。

而當前饋環形振盪器從越前方的位置拿到訊號，其延遲傳遞子電路可提早做出些許反應，進而得到較好的解析度，此結論可從模擬二與模擬三中看到；然而，若將前饋訊號更加往前延伸，更改為前一、前七、前九級前饋，電路即會因為過早的接收到訊號，造成電路不穩定，進而無法運作。

三、本研究中 DLL 架構之優缺點

本研究中之 DLL 採將速度較快之 Corner 降速，已達對抗製程變異之影響，但這對 TDC 電路解析度表現有很大的影響，以本研究為例，降速幅度約莫為兩倍左右，這使得整體電路表現下滑嚴重，雖可極佳的抵抗製程變異，然而對解析度之負面影響不可忽視。

伍、參考文獻

- [1] Time-to-Digital Converters, Stephan Henzler.
 [2] M. Z. Straayer and M. H. Perrott, "A Multi-Path Gated Ring Oscillator TDC With First-Order Noise Shaping," in IEEE Journal of Solid-State Circuits, vol. 44, no. 4, pp. 1089-1098, April 2009, doi: 10.1109/JSSC.2009.2014709.

陸、圖片及表格出處

本專題研究報告中，所有圖片及表格皆為本人繪製或本人之模擬分析統計結果。

心得感想

首先，我非常感謝我的專題指導教授 黃柏鈞教授，以及協助專題研究的王仲源學長，若沒有兩位的教導和引導，學生之專題研究難以達到如此的精度與深度，非常謝謝老師和學長。

雖然修習過相關課程，但我仍對於實作設計、研究一個電路感到十分陌生，對比於課堂中按照教授和助教作業中的架構做電晶體比例的設計，在實作專題研究中，更多的要從零開始設計一個電路系統，從基礎的電路元件架構，元件中電晶體的比例，迴授圈的設計，再到後端電路模擬分析，全部都需要自己完成；而在專題研究中，不斷的尋找資料以及 Try & Error 的電路設計過程，讓我了解並精熟於基礎的電路設計流程和電路設計技巧，實是受益良多。