

基於多路徑環形振盪架構之時間數字轉換器

A Time-to-Digital Converter based on Multipath Ring Oscillator

學生：蔡一鳴

組別：B241

指導教授：黃柏鈞 教授

專題簡介

Time-to-Digital Converter, 簡稱TDC, 此電路功能為精準地量測極短的時間長度, 通常測量範圍為幾十個奈秒, 而測量解析度多為皮秒量級, 其運作原理如下: 電壓在傳遞時會因為電路中的電容而有傳遞延遲, 透過計算電壓在起始訊號和結束訊號之間傳遞經過幾個子電路, 進而將時域訊號(時間差)轉換為數位訊號(通過子電路數量), 藉此計算出時間長度; 此電路可用於數位鎖相電路(Digital Phase Locked Loop), 而亦可用於類比數位轉換器(Analog-to-Digital Converter)。

多路徑環形振盪器(Multipath Ring Oscillator, MRO), 此類振盪器利用多條電壓傳遞路徑, 製造出提早得到前多級子電路訊號的環境, 藉此使子電路可以提前對下一級電路充放電, 使電壓傳遞速度加快, 因此, 此加速方法又稱前饋法(Feedforward Method)。基本架構如右圖所示, 第一級延遲傳遞子電路(Stage 1)同時受前一級(Stage 11)以及前三級(Stage 9)子電路影響, 這種架構的解析度受多項因素影響, 因而無法以一式蓋之。

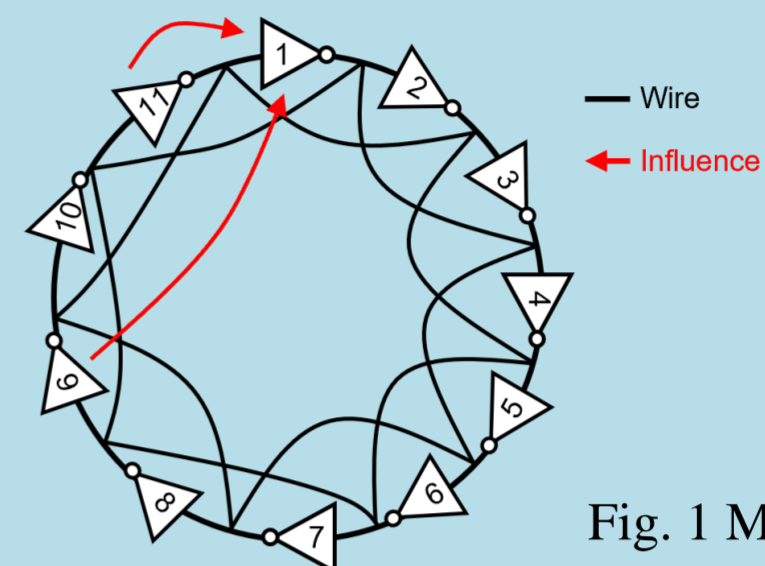


Fig. 1 MRO架構示意圖

研究主架構

學生在此專題期間主要研究為MROTDC, 亦即前文提到的多路徑環形振盪架構; 研究主架構為29位元多路徑環形振盪時間數字轉換器, 前饋架構為前一級、前五級和前七級前饋; 此架構解析度採子電路的電壓降對降延遲(Fall-to-Fall Delay), 消耗功率採總電路之平均功率, 研究中之能耗效率值為解析度乘以平均功率(Efficiency: Resolution \times avg Power, the less the better)。

於此電路中, 解析度之穩定性極其重要, 為使此電路在不同製程變異與環境溫度情況中, 仍有穩定之表現, DLL(Delay-Locked Loop)電路在TDC中是必須的; 因此, 在學生之研究最後, 加入並討論了DLL有無對TDC解析度、消耗功率以及能耗效率的影響。學生使用之DLL迴授架構如下圖所示。

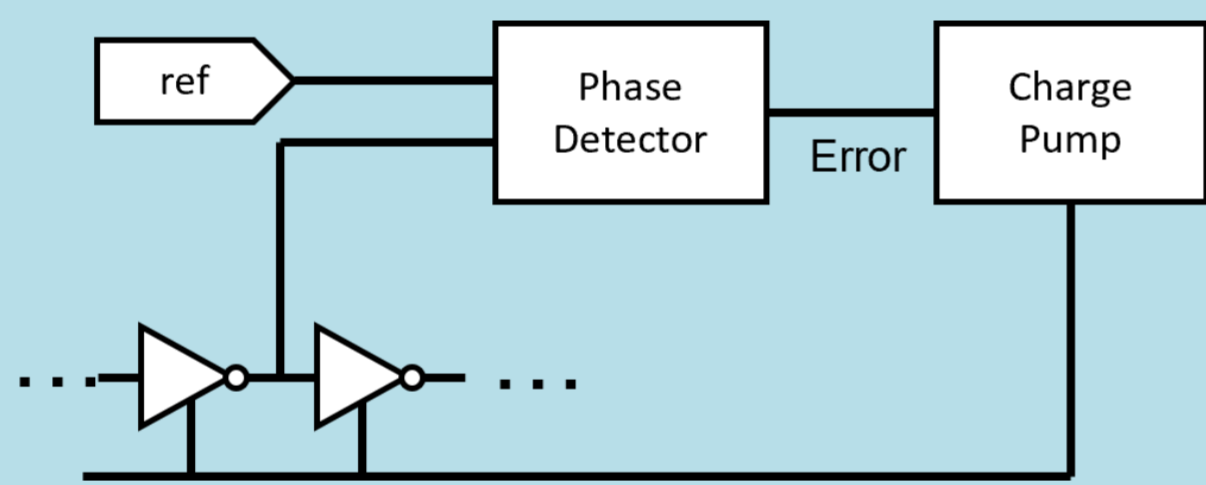


Fig. 2 DLL迴授架構

MRO模擬

在此部分模擬中, 除探討充放電電流值與節點電容值之影響外, 學生亦將供應電壓(Power Supply, VDD)做變化, 以探討至更深入之層次。為使電路解析度方面有較好表現, 學生將控制前一級影響之MOSFET寬度固定在 $0.5\mu\text{m}$, 而為控制變因, 將在各次模擬中固定電晶體寬度總和, 另外, 分別模擬了VDD=1.8V與VDD=1.5V之情況。

於Table 1中, 當電晶體寬度總和上升, 其解析度表現會跟著上升, 但相對的, 其功耗會大幅上升, 進而導致此電路之效率表現下降, 而圖表中之紅色區域為效率不彰區, 就算再把電晶體寬度總和提升, 解析度表現也不會再有任何進步, 徒增消耗功率; 而令學生意外的結果是電路在VDD=1.8V之解析度表現比在VDD=1.5V還好多, 以傳統思路思考, 將供應電壓降低可讓電容充電電壓差縮小, 因而可使充電和放電所需時間減少, 但是, 因為此架構中含有en、enb兩個電流控制MOS, 在供應電壓降低的同時, 其之Vov(Overdrive Voltage)亦隨之降低, 大幅地去限制了對節點電容之充放電電流, 進而導致了VDD=1.5V的解析度表現不佳; 然而, 供應電壓下降並不只帶來壞處, 因為供應電壓下降, 電路之功耗亦跟著下降, 而在圖表中亦可發現, 當VDD=1.5V時, 其功耗及效率表現皆比VDD=1.8V優良。

Table 1 模擬統計表

For 157 Feedforward 29-bit MROTDC Power Supply = 1.8V				For 157 Feedforward 29-bit MROTDC Power Supply = 1.5V			
Total Width	Min Delay	Power	Efficiency	Total Width	Min Delay	Power	Efficiency
m	ps	mW	ps*mW	m	ps	mW	ps*mW
3u	22.79	5.30	120.81	3u	29.41	2.77	81.42
4u	20.09	6.64	133.41	4u	24.42	3.75	91.58
5u	18.35	8.11	148.89	5u	22.11	4.34	95.92
6u	17.62	9.31	163.99	6u	20.47	5.01	102.57
7u	16.85	10.43	175.69	7u	20.28	5.67	114.93
8u	16.50	11.66	192.33	8u	19.35	6.29	121.73
9u	15.68	12.74	199.76	9u	19.04	6.90	131.32
10u	15.57	13.45	209.35	10u	19.15	7.28	139.47
11u	15.62	14.74	230.28	11u	18.94	7.98	151.10
12u	15.58	15.66	243.90	12u	18.98	8.45	160.36
13u	15.57	16.56	257.84	13u	19.00	8.97	170.40
14u	15.58	17.41	271.25	14u	18.90	9.42	178.01

(1)

(2)

DLL模擬

在此模擬中, 採用電晶體寬度總和為 $8\mu\text{m}$ 之延遲最佳化設計。

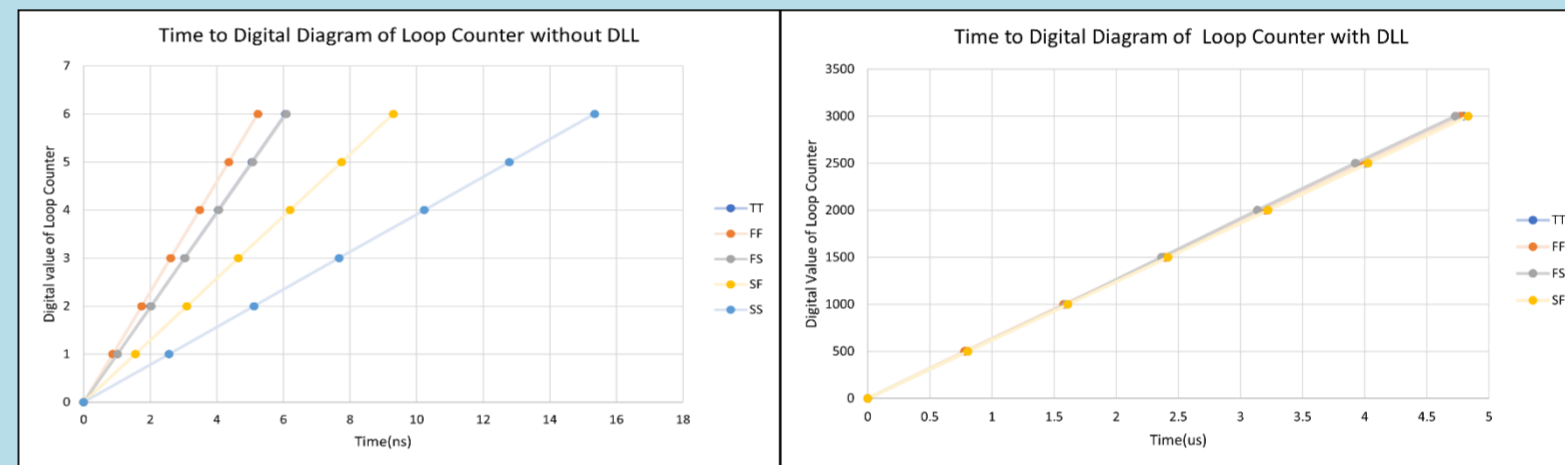


Fig. 3 (左)無DLL (右)含DLL之模擬

由(Fig. 3左)圖表中可見, 在製程變異之影響下, 電路於五個不同Corner皆有不同的解析度表現, 這使得電路會在不同情況下有不同的表現, 對於要精確地將時域訊號轉換為數位訊號的TDC電路而言非常致命, 會造成測量不準的影響。

而為對抗製程和環境溫度變化, 將TDC加入DLL架構, 使得TDC能在不同情況之下能皆有差不多的表現。為使電路能在大多數情況之下有相同的表現的同時, 也要具有一定解析度表現, 因此, 在設計DLL之參考訊號(Reference Signal)之週期時, 捨棄將SS Corner之延遲一同鎖定, 以提升電路之表現。學生將參考訊號週期設為1.6ns, 亦即將TDC之解析度鎖定在27.6ps。(Fig. 3右)為模擬結果統計圖表。

於(Fig. 3右)圖表中可知, 學生設計之DLL電路可將因製程變異所帶來的影響消除(即時誤差可在5%以內), 雖無法到達極限振盪速度, 但電路之穩定性大幅成長。

結論

Table 2 最終設計之表現結果

Final Work @TT	Technique	Tech	Supply Voltage	Output Bitwidth	Dynamic Range(ns)	Resolution (ps)	Power (mW)	Efficiency (ps*mW)
Max Speed	MRO	0.18um	1.8V	11 bits	30.62	16.5	11.66	192.39
With DLL					51.23	27.6	7.37	203.412

前饋架構能使環形振盪器加速, 使其擁有較好的解析度表現; 較之傳統環形振盪器, 如模擬一, 可以看到在消耗相似的功率下, 前饋架構所能達到的解析度與效率表現, 皆非普通架構可比擬, 由此可見, 前饋架構對於加速環形振盪器十分有幫助。

而當前饋環形振盪器從越前方的位置拿到訊號, 其延遲傳遞子電路可提早做出些許反應, 進而得到較好的解析度, 此結論可從模擬二與模擬三中看到; 然而, 若將前饋訊號更加往前延伸, 更改為前一、前七、前九級前饋, 電路即會因為過早的接收到訊號, 造成電路不穩定, 進而無法運作。

本研究中之DLL採將速度較快之Corner降速, 已達對抗製程變異之影響, 但這對TDC電路解析度表現有很大的影響, 以本研究為例, 降速幅度約莫為兩倍左右, 這使得整體電路表現下滑嚴重, 雖可極佳的抵抗製程變異, 然而對解析度之負面影響不可忽視。



國立清華大學

電機工程學系