

毫米波接收機之混頻器與振盪器設計

CMOS mixer and oscillator design for millimeter wave receiver

組別：A60

組員：連紹歲、呂俊璋

指導教授：劉怡君 教授

一、摘要

隨著無線通訊的蓬勃發展與5G的興起，對於無線收發機的要求也越來越高。有別於傳統的低頻電路，射頻(RF)前端電路有著非常複雜的效應。在此專題中，我們設計了以TSMC .18um CMOS製程，實現頻率為28 GHz之接收機中最主要的兩個電路——混頻器(Mixer)與振盪器(Oscillator)。

在混頻器的部分，由於訊號從天線到基頻電路間僅經過少數的射頻電路，因此足夠大的轉換增益(Conversion gain)、好的雜訊指數(Noise figure)與高線性度(Linearity)為設計混頻器主要的考量。在此專題中，基於雙平衡主動式混頻器(Double-balanced active mixer)，又稱吉爾伯特單元混頻器(Gilbert cell mixer)，輔以交叉耦合的結構(Cross-coupling structure)，以提升線性度為目標來進行設計。

振盪器的部分，為求電路架構簡單及高可靠度，以最基本的交叉耦合振盪器(Cross-Coupled Oscillator)及差動振盪器(Differential Oscillator)為雛型，分別又衍生出加上尾電流(tail current)的電路，以及加上 Abidi 提出的濾波電路(filtering circuit)的架構^[5]，分別比較不同架構之間的優劣勢，著重在相位雜訊(Phase Noise)、輸出振幅(output swing)、輸出品質因素(Figure of Merit, FOM)的分析，找到設計簡單且高性價比的振盪器為目的。

二、內容

混頻器最主要的功能就是做頻率轉移，將一個載波為特定頻率的訊號，轉移至另一個不同頻率的載波上。混頻器分為被動混頻器與主動混頻器兩種。本專題中做的主動式混頻器由三個部分所構成——轉導級(Transconductance stage, V/I converter)，電流開關(Current switching stage)，與轉阻級(Transimpedance stage, I/V converter)。轉導級利用一個操作於飽和區的 MOSFET 將接收到的射頻訊號轉成電流，再由一組處於截止區邊緣的 MOSFET 來做混頻，最後由轉阻級將電流轉為電壓輸入下一級的電路。由此可知，轉導級與轉阻級為主要轉換增益的由來。其中 M_2 與 M_3 由於是電流開關的角色，因此直流必須偏壓在截止電壓(V_{th})的位置，也就是

$$V_{GS2,3} = V_{th2,3}$$

因此只要振盪器的訊號一進來，便可以輕易地在飽和區與截止區操作，完美充當開關的角色。

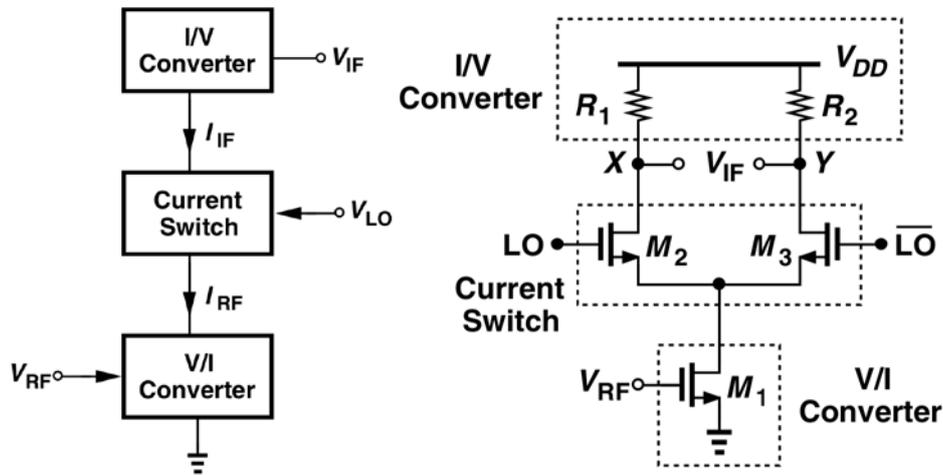


圖 1 主動式混頻器架構^[1]

為了將不同頻率的訊號做有效的隔離，利用差動訊號的特性，衍生出了「平衡」的觀念。如今主要混頻器的核心架構為吉爾伯特單元(Gilbert cell)，為雙平衡主動混頻器。在以線性度為主要考量下，採用折疊式疊接的架構以降低 V_{dd} ，而在轉導級部分的交叉耦合架構則提升了整體電路的線性度，電感除了不消耗功率，在 28 GHz 時仍保有足夠的阻抗，最後轉阻級由於頻率已降到基頻，因此採用面積較小的電阻來達成，並產生足夠的增益。

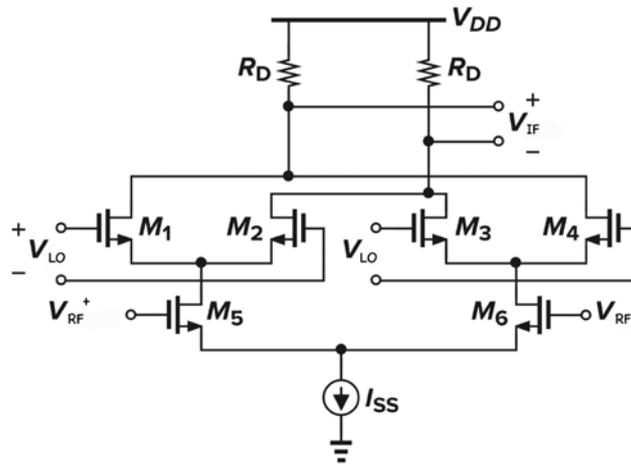


圖 2 吉爾伯特單元^[1]

在進行初步的模擬時，首先觀察轉換增益。但是由於模擬結果的轉換增益非常的低，因此推論出那裡可能出了問題。截止目前為止，由於轉換增益低，因此尚未觀察其他該注意的部分，如線性度(Linearity)、雜訊指數(Noise figure, NF)與隔離度(Isolation)等等。

雖然有許多參考文獻的轉換增益分貝值低於零，但是由於本專題所參考的文獻中做出來的轉換增益有 15.8 dB，因此在以此架構為目標的情形下，將繼續探討導致轉換增益低落的原因。當未來解決轉換增益低落的問題後，將開始從線性度著手，觀察電路的第三截斷點(IP3)

與1dB 增益壓縮點($P_{1\text{ dB}}$)，檢視在28 GHz 與該文獻中2.4 GHz 線性度的差異，觀察雜訊指數 (Noise figure, NF)與隔離度。

振盪器在接收機的功能為提供一個穩定的振盪頻率以供混頻器使用。先探討尾電流在振盪器中的角色，在交叉 MOS 同樣的尺寸下，尾電流的存在引進額外的相位雜訊，尤以閃爍雜訊(Flicker Noise)所造成的近端相位雜訊特別嚴重，此外，輸出振幅下降，另需要額外提供的定電壓的電路，增加電路複雜度。另一方面，尾電流的存在可以控制操作電流，降低功耗，抑制從 power supply 來的雜訊，此外，減少交叉 MOS 進入線性區(linear region)時間，而最終設計電路時，是否使用尾電流取決於電路規格要求。

$$L(\Delta\omega) = 10\log\left\{\frac{2FkT}{P_{sig}} \left[1 + \left(\frac{\omega_0}{2Q\Delta\omega}\right)^2\right] \left(1 + \frac{\Delta\omega_{1/f^3}}{|\Delta\omega|}\right)\right\}. \quad (1)$$

根據計算相位雜訊的 Lesson's equation(1)，若是能夠提升電路 Q 值，或是避免 Q 值下降，那麼便能提升振盪器相位雜訊的表現，基於這樣的想法，Abidi 提出的濾波技巧(filtering technique)能夠有效降低相位雜訊，是利用額外的電感及電容形成濾波電路，將電容並聯在尾電流的旁邊，並在尾電流及交叉 MOS 之間加入電感，一方面使交叉 MOS 在振盪時在 Source 端看見等效高阻抗，避免振盪器 Q 值下降；另一方面，利用電容將高頻雜訊濾掉，使相位雜訊下降。總體來說，增加電路複雜度以換取較低的相位雜訊。類似的概念適用於其他的振盪器架構，藉由增加的電感及電容形成濾波電路，能夠有效的降低相位雜訊。

利用交叉耦合振盪器及差動振盪器作為主架構，分別對加入尾電流及濾波電路的衍生電路進行模擬，同時將 buffer 電路納入考量，一併進行模擬分析。

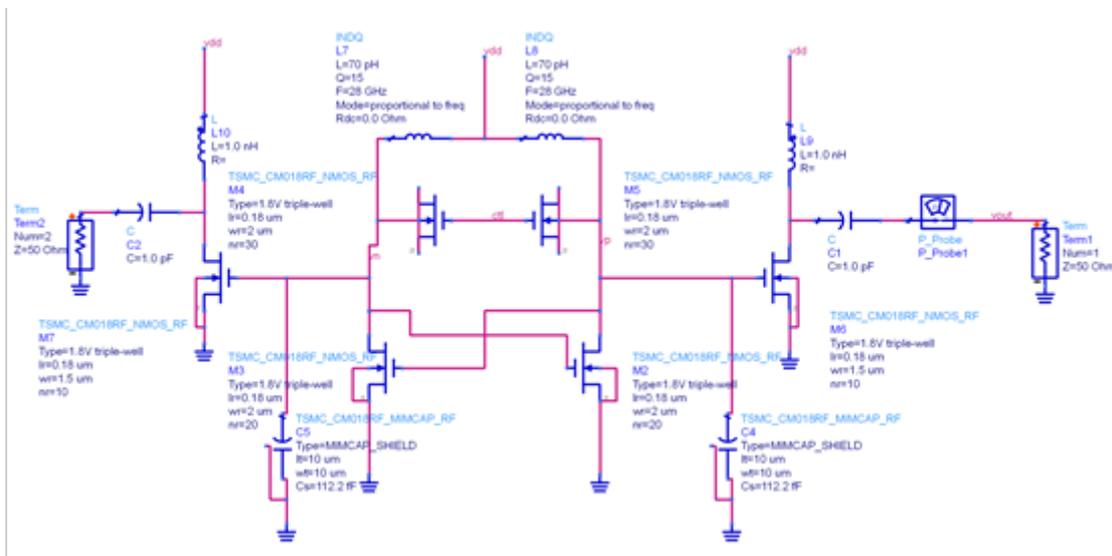


圖 3 Cross-Coupled Oscillator

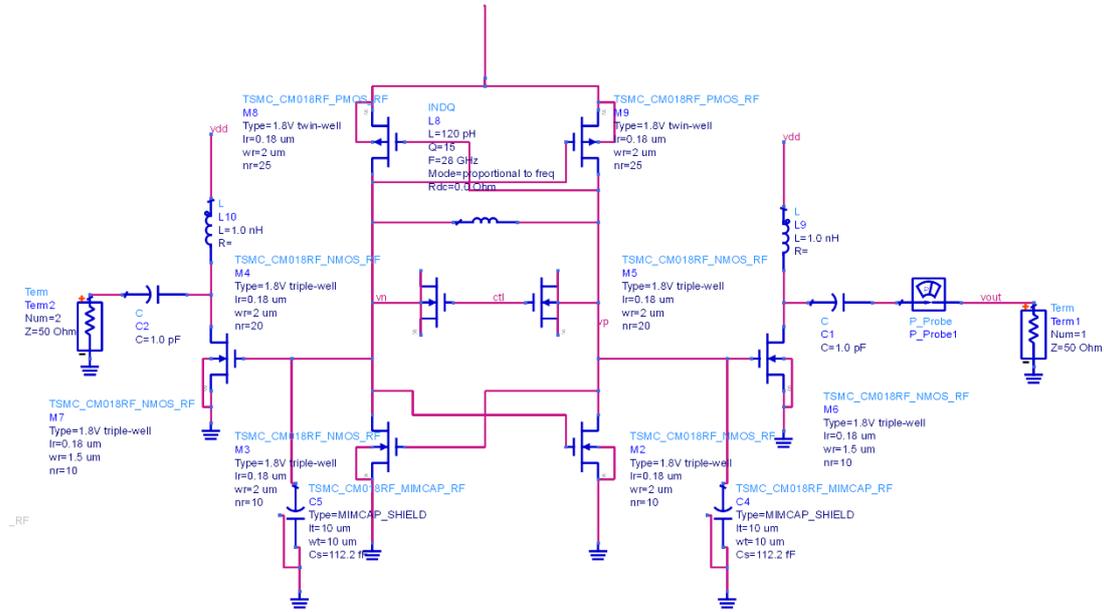


圖 4 Differential Oscillator

表 1 Cross-Coupled Oscillator 規格表

	CC Osc	Filtered CC Osc	CC Osc_tail	Filtered CC Osc_tail
MOS Size (L=0.18u)	$W_n = 2\mu \times 20$	$W_n = 2\mu \times 20$	$W_n = 2\mu \times 20$	$W_n = 2\mu \times 20$
L、C、Varactor (L=0.18u)	L = 70pH C = 112.2fF $W_n = 2\mu \times 30$	L = 70pH C = 112.2fF $W_n = 2\mu \times 30$ $L_f = 17\text{pH}$ $C_f = 112.2\text{fF}$	L = 70pH C = 112.2fF $W_n = 2\mu \times 30$	L = 70pH C = 112.2fF $W_n = 2\mu \times 30$ $L_f = 55\text{pH}$ $C_f = 112.2\text{fF}$
Bias Condition	$V_{ctl} = 1V$ I = 47.6mA	$V_{ctl} = 1V$ I = 47.6mA	$W_{n,bias} = 3.5\mu \times 64$ $V_{bias} = 0.85V$ $V_{ctl} = 1V$ I = 22.6mA	$W_{n,bias} = 3.5\mu \times 64$ $V_{bias} = 0.85V$ $V_{ctl} = 1V$ I = 22.6mA
Frequency	30.44GHz	30.53GHz	30.55GHz	30.69GHz
PN(1k)	-22.236dBc	-25.945dBc	-20.561dBc	-25.958dBc
PN(10k)	-51.235dBc	-54.900dBc	-49.559dBc	-54.866dBc
PN(100k)	-79.961dBc	-83.310dBc	-78.276dBc	-82.970dBc
PN(1M)	-107.073dBc	-109.164dBc	-105.344dBc	-107.936dBc
PN(10M)	-130.231dBc	-131.072dBc	-128.444dBc	-129.283dBc
PN(100M)	-150.853dBc	-151.381dBc	-149.047dBc	-149.484dBc
Tuning range	($V_{ctl} = 0.9 \sim 2.7V$) 0.75GHz	($V_{ctl} = 0.9 \sim 2.7V$) 0.75GHz	($V_{ctl} = 0.9 \sim 2.7V$) 0.91GHz	($V_{ctl} = 0.9 \sim 2.7V$) 0.91GHz
Output swing	3.078V	3.155V	2.25V	2.271V
FOM	175.245dB	177.336dB	178.431dB	181.023dB

表 2 Differential Oscillator 規格表

	Diff_Osc	Filtered Diff_Osc	Diff_Osc_tail	Filtered Diff_Osc_tail
MOS Size (L=0.18u)	$W_p = 2\mu \times 25$ $W_n = 2\mu \times 10$	$W_p = 2\mu \times 25$ $W_n = 2\mu \times 10$	$W_p = 2\mu \times 25$ $W_n = 2\mu \times 10$	
L、C、Varactor (L=0.18u)	L = 120pH C = 112.2fF $W_n = 2\mu \times 20$	L = 120pH C = 112.2fF $W_n = 2\mu \times 20$ $L_f = 55\text{pH}$ $C_f = 112.2\text{fF}$	L = 70pH C = 112.2fF $W_n = 2\mu \times 20$	
Bias Condition	$V_{\text{ctl}} = 1V$ I = 4.52mA	$V_{\text{ctl}} = 1V$ I = 4.52mA	$W_{n,\text{bias}} = 3\mu \times 64$ $V_{\text{bias}} = 0.85V$ $V_{\text{ctl}} = 1V$ I = 4.22mA	
Frequency	29.75GHz	29.76GHz	29.77GHz	
PN(1k)	-29.041dBc	-29.479dBc	-26.185dBc	
PN(10k)	-58.759dBc	-59.059dBc	-56.130dBc	
PN(100k)	-84.946dBc	-85.036dBc	-83.447dBc	
PN(1M)	-106.498dBc	-106.511dBc	-105.840dBc	
PN(10M)	-126.689dBc	-126.696dBc	-126.178dBc	
PN(100M)	-146.710dBc	-146.716dBc	-146.216dBc	
Tuning range	($V_{\text{ctl}} = 0\sim 1.8V$) 0.75GHz	($V_{\text{ctl}} = 0\sim 1.8V$) 0.75GHz	($V_{\text{ctl}} = 0\sim 1.8V$) 0.76GHz	
Output swing	1.041V	1.037V	0.982V	
FOM	184.895dB	184.908dB	185.519dB	

濾波技巧在 Cross-Coupled Oscillator 架構中效果較明顯，尤其在 Cross-Coupled Oscillator with tail current 中，加上濾波電路可以降低近端相位雜訊將近5~6dB，雖然比起基本的 Cross-Coupled Oscillator 多加上一個尾電流電路，但相位雜訊的表現卻可以與之相當，甚至更佳。

在 Differential Oscillator family 中，加上濾波電路的濾波效果不明顯，因此似乎沒必要為了微小的效果而特地設計電感，增加電路複雜度，再者，若加上尾電流，兩者消耗的電流差不多，但輸出振幅下降，而且額外引進雜訊，近端相位雜訊表現變差，而且佈局圖面積較大，顯然設計最簡單而且性價比最好的 Differential Oscillator 架構應為首選。

最後依照要求的電路規格選擇適當的振盪器結構，若是重點考慮輸出振幅大的電路，則應選擇 Cross-Coupled Oscillator with tail current 架構；若是考慮低電流、低功耗的電路，而輸出振幅沒有特別要求的門檻，並且在意近端相位雜訊的表現的話，則應選擇 Differential Oscillator。

三、心得

這一年以來，對於電路元件及操作有更深入的了解，對於電路設計的流程也更為熟悉。即使高頻電路的設計比一般的電路還要複雜無數倍，需要注意的地方也更多，但是在最後晶片到手前，我們都不會放棄。這期間也面臨了許多的困難，但是保持正向的態度以及一顆虛心受教的心是突破的關鍵。試圖去尋找方法來解決問題，並隨時向學長姐請教與討論，也都能得到親切的幫助，對此心中總是充滿謝意，也非常感謝教授對我們耐心的指點與寬容。

四、參考文獻

- [1] Behzad Razavi, RF Microelectronics (2nd edition), Prentice Hall, 2011
- [2] J. Gou, X.-Y. Xu and X.-G. Huang, “*Design of a Low-Voltage CMOS Mixer with Improved Linearity*,” IEEE 2019 International Conference on IC Design and Technology (ICICDT), June 2019
- [3] Thomas H. Lee, and Ali Hajimiri, “*Oscillator Phase Noise: A Tutorial*,” IEEE Journal of Solid-State Circuits, Vol. 35, No. 3, March 2000, pp. 326-336.
- [4] Ali Hajimiri, and Thomas H. Lee, “*Design issues in CMOS differential LC oscillators*,” IEEE Journal Solid-State Circuits, Vol. 34, May 1999, pp. 717–724.
- [5] Emad Hegazi, Henrik Sjöland, and Asad A. Abidi, “*A Filtering Technique to Lower LC Oscillator Phase Noise*,” IEEE Journal Solid-State Circuits, Vol. 36, No. 12, December 2001, pp. 1921-1930.