

國立清華大學 電機工程學系  
實作專題研究成果報告

Ultra LV OTP Memory Array  
Architecture and Resistance Model

極低電壓一次寫入記憶體之陣列架構  
及電阻模型

專題領域：電子領域

組別：B256

指導教授：林崇榮

組員姓名：白庭萱、林潔心

研究期間：2022年02月至2022年11月底止，共9個月

## Abstract

OTP memory (one-time programmable memory) is a type of non-volatile memory. OTP can be programmed only one time for data security. Once a OTP fuse has been programmed, OTP data will reliably stay at a high resistance state. Ideally, the data saved in OTP will last forever and the data can be read unlimitedly. Also, it's logic 1 for the high resistance state, and for initial low resistance state, it's logic 0. Usually, OTP is formed as an array for applying in electronic products. Hence, if we can reduce the area of an OTP cell, the OTP array will not take up large space.

In the project, Metal-Fuse OTP memory with Current Divider Via (CDVia) is innovated and implemented in TSMC's 16nm FinFET platform. Compared to the conventional OTP, CDVia provides additional current path for discharging the high programmed current, so it can efficiently share the current flowing through the selected transistor. As a result, the area of the transistor in OTP can be reduced and shrunk around 80%. We are going to use B1500 to measure 10 OTP Fuses cells those fabricated by TSMC's 16nm FinFET CMOS technology. To compare with Si data, we then use HSPICE to simulate 4X4 and 8X8 OTP arrays for studying the current paths and distribution. The simulation results can confirm the OTP cells programmed successfully at very low operation voltage, and OTP arrays can also be functional and programmed as we expected.

## 摘要

OTP memory 全名為 one-time programmable memory，為一次性可編成記憶體，是一種非揮發性記憶體。OTP 只允許進行一次編程，一旦介面熔絲 (Fuse) 被燒斷將形成高電阻，數據將永久維持，是不可逆的過程；若為理想狀態，可進行無限次讀取。在邏輯定義上，高電阻的狀態即為邏輯上的 0，原始的低電阻為邏輯上的 1。由於 OTP 多是以陣列的形式應用於電子產品中，因此若能減少 OTP cell 的面積，必能大大降低整個陣列所佔的空間。

本專題使用的元件為 Metal-Fuse OTP memory 並加入了 Current Divider Via，與傳統的 OTP 不同，由於 CDVia 提供編程電流另一條路徑，可以分散部分電流，因此 OTP 內的電晶體的大小可以有效地降低以節省面積。

我們將利用機台 B1500 來量測 10 顆 TSMC's 16nm FinFET CMOS 技術的 OTP Fuse，透過實際量測獲得 OTP 編程標準，接著利用 28nm 製程檔進行 HSPICE 模擬 4X4 與 8X8 的 OTP 陣列，確保在極低電壓下 1X1 OTP cell 可成功被編程時，在陣列中也能實行。

# 1. Introduction

## 研究動機

由於 OTP 的工作方式是電遷移效應 (electron-migration)，因此我們需要足夠大的電流密度才能使 OTP 成功被編程，這也會導致所需的編程電流很大。而在我們的架構之中會使用到電晶體，在使用大電流的情況下，電晶體的尺寸也需要增加避免電晶體產生不必要的燒斷。我們的研究動機是要在足夠的電流密度下，減少流過電晶體的電流，使電晶體的尺寸不用增加。

## 電遷移效應

燒斷 OTP 介面熔絲的主要原理為電遷移效應，是金屬導線在一定的溫度與電流下產生的金屬遷移現象。電遷移需滿足兩個條件，第一，金屬原子必須獲得足夠的能量以打斷彼此間的鍵結，第二，金屬原子移動時需要有空隙 (vacancy)。

電流在導線內流動時會在金屬原子兩旁各產生一種力，第一種是與電場同向的靜電力 (electrostatic force)，是因導線內的電場而產生的，但導線內的金屬原子在某種程度上會被電子屏蔽 (electron shielding)，因此靜電力通常可被忽略；第二種是與電子流同向的電子風力，是當電子撞擊晶格間的金屬原子時產生的動量傳遞，此力足以使金屬原子離開原本所在的位置。而當離開的原子數大於流入的原子數，導線內便有空缺形成，使電路斷路。最後，金屬原子的移動方向與電子流相同，因此金屬原子會堆積在陽極。

## Metal-Fuse OTP Memory 結構

圖 1 為本專題使用的 1X1 OTP cell 電路示意圖。由一個電晶體及三層金屬組合而成。電晶體的閘極端連接 Word Line，源極端連接使用 Metal 2 的 Bit Line。汲極端 (Y 點) 的一端為 Metal-Fuse 與 Source Line，為主要進行編程的地方，Metal-Fuse 是由 Metal 1 組成，為了提升電流密度，金屬導線的寬度很窄，因此當編程電流足夠大，使導線內部的電流密度大於臨界值時，Metal-Fuse 便會斷裂；另一端為分散大部分編程電流的 Current Divider Via (CDVia)，此 via 介於 Metal 2 與 Metal 3 之間。

在編程前，Metal-Fuse 與 CDVia 為短路的狀態 (低電阻狀態，邏輯上為 1)，當流經 Metal-Fuse 的電流大於編程臨界電流時，Metal-Fuse 會燒斷形成開路 (高電阻狀態，邏輯上為 0)，而 CDVia 與仍維持短路。

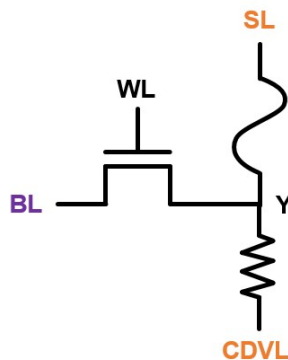


圖 1 Metal-Fuse OTP with Current Divider Via 示意圖

## 2. Experimental Results

### 研究方法：Single cell 測量

我們使用機台 B1500 來測量實際的 Metal-Fuse OTP memory with Current Divider Via，為了確定該 OTP 是未被編程過的，因此在編程 OTP 之前我們進行 initial read 的量測確保  $R_{fuse}$ 、 $R_{CDV}$  和電晶體都是可以通過電流的。我們會給予三種不同的輸入電壓分別用來確認 SL 到 CDVL 是可以通過電流的、SL 到 BL 可以通過電流、CDVL 到 BL 這段可以通過電流，並且 SL 端的電壓不會給予太高的值，以避免流經的電流過大產生不必要的編程。

下一步的測量則是要進行編程，輸入電壓如表 1，與 Initial read 的步驟不同的是，Initial read 時的掃描幅度只有 0V 到 0.6V 所產生的電流並不能達到燒斷熔絲元件所要求的電流密度大小。而在編程階段我們往上增加 SL 掃描的電壓範圍，並根據測量結果檢視這種架構下的 OTP Cell 熔絲元件需要使用多大的編程才能產生可以燒斷熔絲的編程電流。而根據我們的測量結果，可以發現當編程到達電流約 12mA 時 Metal-Fuse 被燒斷，此時電壓為 1.8V 左右。

	VSL	VCDVL	VWL	VBL	VBODY
Program	1.8V	0V	1.2V	0V	0V

表 1 編程時各端點電壓

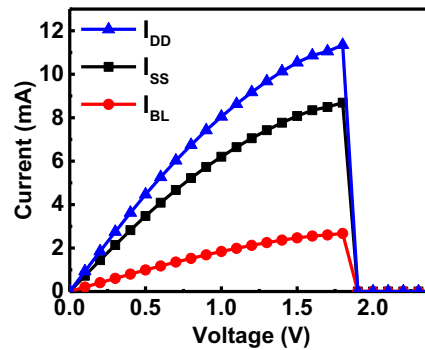


圖 2 編成電壓與電流關係圖

下一部分的測量即是重複第一部分的測量步驟，檢查哪段電路是沒有電流通過的，就可以確認是否燒斷的部份是我們所預期的。我們得到的結果是只有 CDVL 到 BL 有電流通過，證明電晶體在編程過後可以通過電流，而 SL 到 BL 這段電路沒有電流的產生就可以證明是我們預期的 Metal-Fuse 被燒斷。

除此之外我們也分析了編程前後電路的電阻大小，利用 VSL/ISL 得到  $R_{fuse}$  電阻值並做出比較圖（圖 3），由圖可知初始的電阻值和編程後多數有  $10^6$  以上的差距，這也證明了該 OTP 的  $R_{fuse}$  確實被燒斷形成斷路。

除此之外，我們總共測量了 10 個 OTP Cell，以確保在製程差異性之下，我們所測量出的結果能夠符合多數 OTP Cell 的編程條件。將蒐集到的測量資料製作成下方的圖表（圖 3）可以看到多數 OTP Cell 編程電壓是分佈在 1.8V 到 2V 之間，而編程電流則是大

概在 11mA 上下。因此在進行 HSPICE 模擬時，我們會以達到  $R_{fuse}$  通過電流為 12mA 時，編程電壓為 1.8V 為目標。

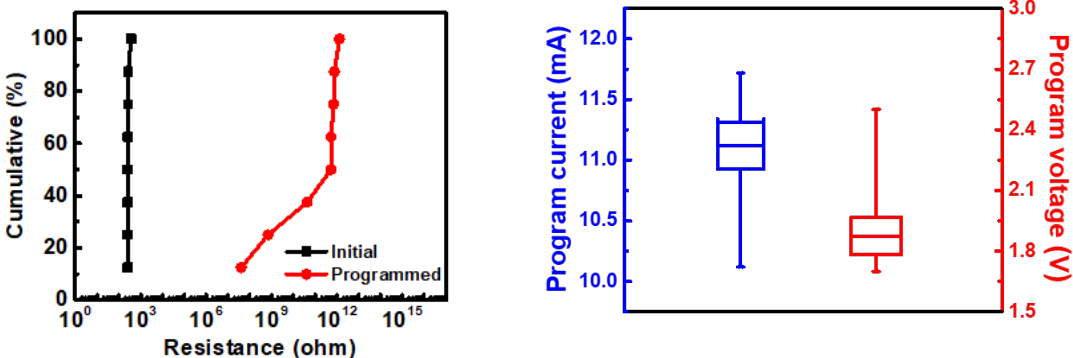


圖 3 編程前與編程後  $R_{fuse}$  變化與編程電流與電壓誤差線

**研究方法：HSPICE 模擬**

在進行完實際量測後，我們利用 HSPICE 來模擬 4X4 與 8X8 的 OTP 陣列，並觀察其編程的電壓、電流特性是否與量測結果相似。根據量測數據，我們將可成功編程 Metal-Fuse 等效電阻的編程電流定為 12mA，而周邊 cell 的  $R_{fuse}$  電流不可大於 10mA，以避免編程到錯誤的 cell。

首先，我們先建立 1X1 的 OTP Cell，使用的製成檔為 28nm。OTP 的架構與圖 2 相同，並在 Source Line, Bit Line 以及 CDVia Line 間加入寄生電阻。

	CDVL	WL	SL	BL
Voltage	0V	0.9V	1.76V	0V

表 2 HSPICE 模擬 1X1 OTP 各端點電壓

表 2 是模擬編程時給予各節點的電壓，編程電壓為 Source Line 端的電壓，在該點電壓大於 1.76V 時流經  $R_{fuse}$  的電流為 12.0461mA，與量測結果的編程電壓與電流值相近。另外，流經  $R_{CDVia}$  的電流約為 8.8mA，流到 NMOS 的 drift current 為 3.2mA，代表 CDVia 可分散約 75% 的編程電流，流到 transistor 的電流降低，也達到 CDVia 最初的目的。因此，接下來的 4X4 與 8X8 陣列都將使用此 1X1 cell。

由於 4X4 陣列與 8X8 陣列的模擬方法完全一樣，因此我們以 8X8 的 OTP 陣列模擬為例。表 3 是模擬矩陣時給予各 input 端點的電壓，因為現在擁有最大壓降的 cell 位在第四、五行的第四、五列，我們選擇第四行第四列的 cell 作為模擬的依據，確保所有 cell 都能達到要求的編程電流。

	CDV	WL	SL	BL
Select	0V	0.9V	1.95V	0V
Unselect	floating	0V	floating	floating

表 3 HSPICE 模擬 OTP 8X8 陣列各端電壓

據圖 4 的模擬結果，當編程電壓大於 1.95V 時，流經選取 cell 的  $R_{fuse}$  的電流值為 12.0354mA，周圍 cell 的  $R_{fuse}$  最大電流為 5.9055mA，皆符合編程標準。接著我們一樣將陣列中所有 cell 流經  $R_{fuse}$  的電流值繪製成 8X8 的電流分布圖。從圖 5 中可發現依然是選取的 cell 擁有最大的電流，而與其同行同列的 cell 共 14 顆 cell 皆有約 5.5mA 的電流，越靠近外圍的 cell 電流會越大，最外圍的 cell 電流甚至將近 6mA。其餘周邊的 cell 電流約 0.8mA 左右。

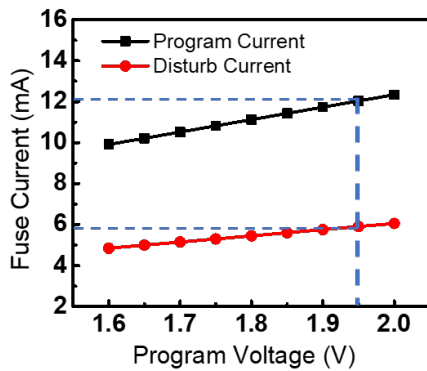


圖 4 8X8 OTP 陣列編程電壓與電流關係圖

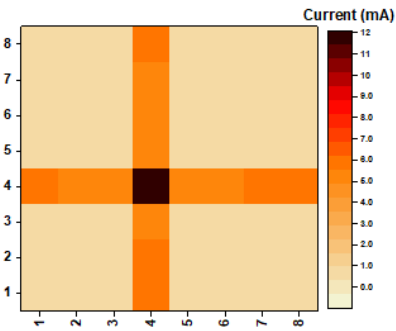


圖 5 8X8 OTP 陣列電流分布圖

### 3. Conclusion

我們透過實際量測 1X1 的 OTP cell 來了解 OTP 的編程特性與標準，當流經  $R_{fuse}$  的編程電流大於約 11mA 時，可以成功編程 OTP，而此時  $R_{fuse}$  形成開路而有極高的電阻，約為編程前的  $10^6$  倍以上。此時，若從 OTP 的 SL、CDV 端給與電壓時，只有從 CDV 至 BL 有電流通過，這是因為 Metal-fuse 已被編程，因此電流無法從 SL 端流至 BL。

接著我們利用量測出的數據訂定 HSPICE 模擬的編程標準並進行 4X4 與 8X8 的 OTP 陣列模擬，尋找編程電壓。編程標準為，編程電流需大於 12mA，而周圍的干擾電流不可大於 10mA，以避免編程到錯誤的 cell。

我們先從 1X1 的 cell 來驗證量測的 OTP 與模擬的 OTP 擁有相同的特性，除了原先的 OTP 架構，我們還加入導線間寄生電阻以得到準確的模擬結果。在完成 1X1 OTP Cell 模擬後，我們建構了 4X4 與 8X8 的陣列。

而根據 4X4 與 8X8 的陣列模擬，我們發現陣列的行列數越多，因寄生電阻增加，要達到 12mA 編程電流所需的編程電壓越大，且與編程目標的 OTP 位在同一行與同一列的 OTP Cell 會有較大的干擾電流，尤其是同一行越靠近 SL, WL 給予電壓的外側 OTP cell，因此我們只需多加注意與目標同行同列 OTP Cell 不要有超過 10mA 的電流經過，避免不必要的編程發生。在這個要求之下，我們在 4X4 與 8X8 的陣列模擬中發現合理的編程電壓區間可以從 1.9V 左右直到 3V，這是一個相當大的範圍。

另外，透過 HSPICE 的模擬，我們了解到在選定編程的 OTP Cell 中，流經 CDVia 與電晶體的電流比例約為 3:1，這也驗證了 Current Divider Via 當初加入了目的。在編程電壓提高時，電晶體的 drift current 不會提高太多，代表電晶體的尺寸不必再增加。

## 4. Reference

- (1) I-Hsin Yang, Li-Yu Yeh, Chrong-Jung Lin and Ya-Chin King, Microelectronics Laboratory, “Current-Divider-Via Assisted Metal-Fuse OTP Memory in FinFET CMOS Technologies”
- (2) Jens Lienig, Matthias Thiele “Fundamentals of Electromigration-Aware Integrated Circuit Design”, chapter 2, page 14
- (3) Jens Lienig, Dresden University of Technology, “Electromigration and Its Impact on Physical Design in Future Technologies”

## 5. 心得感想

從前我們對於 OTP 印象只有它只能被編程一次而已，透過這次專題我們了解了 OTP 的基本原理，以及如何讓它的面積縮小是一個很重要的課題。在我們做專題的也有閱讀一些相關的論文，也學習到除了像我們一樣利用電流分流的方式降低電晶體所需的面積之外，也有另一種思路，是可以朝著直接降低所需的編程電流這個方向努力，這是基於電遷移所達成的條件是足夠大的電流密度。這讓我們了解到做實驗時會有一個實驗目標，而達成這個目標的方式會有很多面向可以努力。

除此之外，在做專題的過程中我們學習到了一些新的技能，像是測量儀器和軟體的操作、製作適合用於研究資料的圖表。同時，我們也發現在這個領域之中，我們還有許多不足，像是一開始在理解電遷移效應的時候，因為缺乏這方面固態物理的基本知識，我們碰到了許多困難、無法理解其中的物理現象。這告訴我們進行研究時，在相關領域的基礎知識是非常重要的，也給了我們未來要如何精進自己的方向。

謝謝林崇榮教授願意成為我們的指導教授，也感謝楊憶欣學姐與葉立榆學姐總是不厭其煩的解答我們的疑惑，並給予我們許多幫助。